



HY17S58

User's Guide

Mixed Signal Microcontroller

Table of Contents

1. 閱讀導覽	8
1.1. 關於這份操作手冊	8
1.2. 名詞定義, Terms and Definition	9
1.2.1. 常用詞彙索引	9
1.2.2. 暫存器相關字彙	10
2. 中央處理器, CPU	11
2.1. 處理器核心, CPU Core	11
2.2. 記憶體, Memory	12
2.2.1. 程式記憶體, Program Memory	13
2.2.2. 資料記憶體, DM	16
2.2.3. 暫存器列表-資料記憶體	21
3. 震盪器、時脈源與功耗管理	35
3.1. 震盪器	35
3.1.1. HAO 震盪器	35
3.1.2. LPO 震盪器	35
3.2. CPU 及週邊電路時脈源	36
3.2.1. 時脈源分配	36
3.2.2. CPU 時脈源	36
3.2.3. CPU 周邊電路時脈源	37
3.3. 暫存器說明-工作時脈源控制器	39
3.4. 功號消耗管理與操作狀態	42
3.4.1. 運行模式	42
3.4.2. 待機模式	42
3.4.3. 休眠模式	42
4. 復位, RESET	43
4.1. 復位事件說明	43
4.1.1. BOR 電源干擾復位	43
4.1.2. BOR1 為省電 BOR	44
4.1.3. BOR2 為精準 BOR	44

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



4.1.4.	SKERR 堆疊錯誤復位	44
4.2.	狀態暫存器	44
4.2.1.	復位狀態的時序圖.....	45
4.3.	暫存器說明-復位狀態.....	46
5.	中斷,INTERRUPT.....	48
5.1.	暫存器說明-中斷.....	49
6.	硬體乘法器.....	55
7.	輸入/輸出埠,I/O.....	56
7.1.	PORT 相關暫存器介紹.....	60
7.1.1.	PTEG 中斷信號產生條件.....	60
7.1.2.	PTPU 上拉電阻控制暫存器.....	60
7.1.3.	TC 輸入/輸出控制暫存器.....	60
7.1.4.	PTIO 狀態控制暫存器.....	60
7.2.	蜂鳴器,Buzzer.....	60
7.3.	輸入/輸出埠 1 ,I/O Port1(以 HY17P58 為例).....	61
7.4.	輸入/輸出埠 2 ,I/O Port2(以 HY17P58 為例).....	62
7.1.	輸入/輸出埠 4 ,I/O Port4(以 HY17P58 為例).....	63
7.2.	輸入/輸出埠 5 ,I/O Port5(以 HY17P58 為例).....	64
7.3.	輸入/輸出埠 6 ,I/O Port6.....	65
7.4.	輸入/輸出埠 7 ,I/O Port7.....	66
7.5.	輸入/輸出埠 8 ,I/O Port8.....	67
7.6.	輸入/輸出埠 9 ,I/O Port9.....	68
7.7.	輸入/輸出埠 10 ,I/O Port10.....	69
7.8.	輸入/輸出埠 11 ,I/O Port11	70
7.9.	暫存器說明-PORT.....	71

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



8.	定電流輸入/輸出埠,I/O(HY17P48 ONLY)	80
8.1.	定電流模使用說明	80
8.1.1.	定電流模式初始設定	80
8.2.	暫存器說明-CC	81
9.	低電壓檢測, LOW VOLTAGE DETECT	82
9.1.	低電壓偵測使用說明	82
9.1.1.	LVD 初始設置	82
9.1.2.	LVD 低電壓發生條件及事件記錄	83
9.1.3.	LVD 啟用方式	83
9.2.	暫存器說明-LVD	84
10.	看門狗,WATCH DOG	85
10.1.	WDT 使用說明	85
10.1.1.	WDT 初始化設置	85
10.1.2.	WDT 中斷事件服務	86
10.1.3.	WDT 啟用	86
10.2.	WDT 控制暫存器列表與說明 :	86
11.	計數器 A1/2,TIMER-A1/2	88
11.1.	暫存器說明-TMA1/2	90
12.	16-BIT 計數器 B,TMB (16-BIT TIMERB)	92
12.1.	TMB 四種計數模式	94
12.1.1.	16-bit 計數器	94
12.1.2.	17-bit 計數器	96
12.1.3.	兩組 8-bit 計數器	98
12.1.4.	8+8-bit 計數器	100
12.2.	PWM 脈衝寬度調變	102
12.2.1.	PWM1O 波形 (16-bit PWM)	103
12.2.2.	PWM2O 波形 (16-bit PWM)	105
12.2.3.	PWM3O 波形 (8-bit PWM)	107
12.2.4.	PWM4O 波形 (8-bit PWM)	109
12.2.5.	PWM5O 波形 (8+8-bit PWM)	111

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



12.2.6.	PWM6O 形 (兩個 16-bit PWM 波形)	115
12.2.7.	PWM7O 波形 (16-bit PWM 波形)	117
12.3.	TMB1 控制暫存器列表與說明 :	119
13.	16-BIT 計數器 C,TMC (16-BIT TIMERC)	122
13.1.	暫存器說明-TMC	124
14.	電源系統,POWER SYSTEM.....	126
14.1.	VDDA 使用說明	126
14.1.1.	VDDA 初始化設置 :	126
14.1.2.	VDDA 使用外部偏壓 :	126
14.1.3.	VDDA 啟用	126
14.2.	暫存器說明-PWR.....	127
15.	類比數位轉換器,ΣADC.....	129
15.1.	Σ ADC 使用說明.....	135
15.1.1.	Σ ADC 初始化設置	135
15.2.	類比通道輸入特性	138
15.2.1.	TPS 初始化設置與計算方式	139
15.2.2.	TPS 範例說明	139
15.3.	暫存器說明- Σ ADC.....	141
16.	8-BIT RESISTANCE LADDER 網路	150
16.1.	暫存器說明-8-bit resistance ladder	153
16.2.	暫存器說明-Waveform Generator	154
17.	OPAMP.....	156
17.1.	暫存器說明- OPAMP	158
17.2.	暫存器說明-低通濾波器	160
18.	可程式放大器, R-TYPE PGA.....	161
18.1.	暫存器說明-可程式放大器	163

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



19. LCD 驅動器	166
19.1. LCD 使用說明	166
19.1.1. 工作頻率與輸出幀幅頻率設置	166
19.1.2. 倍壓電路與 LCD 工作電壓設置	167
19.1.3. 閃爍設置	167
19.1.4. LCD 字節暫存器	167
19.2. LCD 輸出波形	168
19.3. 暫存器說明-LCD	170
20. LED 背光昇壓輸出	175
20.1. 暫存器說明-LED 背光昇壓輸出	176
21. 同步串列通訊介面, SERIAL PERIPHERAL INTERFACE	177
21.1. SPI 使用說明	178
21.2. SPI 主動模式	179
21.3. SPI 被動模式	181
21.4. SPI 主被動模組傳輸方式	184
21.5. 暫存器說明- SPI	187
22. 同步串列通訊介面, INTER-INTEGRATED CIRCUIT SERIAL INTERFACE	189
22.1. 數據傳輸速率計算	191
22.2. 計時功能(Time-Out)	191
22.3. I ² C 串列介面通訊流程圖	192
22.4. I ² C 暫存器說明	198
23. 非同步串列通訊介面, ENHANCED UNIVERSAL ASYNCHRONOUS RECEIVER TRANSMITTER	202
23.1. EUART 使用說明	203
23.1.1. 非同步資料發送設置步驟(x=0 or 2)	203
23.1.2. 非同步資料接收設置步驟(x=0 or 2)	203
23.1.3. 非同步資料接收(9 位元, RS-485 模式) 設置步驟(x=0 or 2)	203

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



23.2.	串列傳輸速率發生器 (BRG)	204
23.2.1.	功耗管理模式下的操作	204
23.2.2.	RC 取樣方式	204
23.2.3.	自動速率	204
23.3.	硬體同位元檢查	206
23.4.	EUART 非同步模式	206
23.4.1.	EUART 非同步發送器 (UART TXIF/RCIF flag 由 0->1 發生中斷)	207
23.5.	暫存器說明- UART1/2	212
24.	內建 EPROM, BUILD-IN EPROM	215
24.1.	暫存器說明- BIE	217
25.	修訂記錄	218

1. 閱讀導覽

1.1. 關於這份操作手冊

本文件所述的應用訊息及其他類似內容敘述僅為提供使用者便利，紘康對於內容的使用與因而引起的後果並不負擔相關責任。規格內容隨時可被更新訊息所替代，使用者有責任必需承擔並確保應用符合規範。

未經紘康授權，不得將紘康產品使用于生命維持系統中作為關鍵器件。紘康有不需事先通知即可修改產品的權力，產品最新訊息，請參考我們的網站：

<http://www.hycontek.com>

注意:

- 本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新。
- 本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
- 本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
- 請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
- 本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
- 本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
- 本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計，採用安全指標，這樣可以避免事故的發生。
- 本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

1.2. 名詞定義, Terms and Definition

1.2.1. 常用詞彙索引

1MW	1MegaWord	
1KB	1KiloByte	
ADC	Analog to Digital Converter	類比數位轉換器
Bit	bit	位元
BOR	Brown-Out Reset	
BSR	Bank Select Register	
Byte	Byte	位元組
CCP	Capture and Compare	擷取器與比較器
CPU	Central Processing Unit	中央處理器
DAC	Digital-to-Analog Converter	數位類比轉換器
DM	Data Memory	資料記憶體
ECAP	Enhance Comparator	增強型比較器
FSR	File Select Register	間接定址指標暫存器
GPR	General Purpose Register	一般用途暫存器
HAO	High Accuracy Oscillator	高精度震盪器
LNOP	Low Noise OP AMP	低雜訊放大器
LPO	Low Power Oscillator	低功率消耗震盪器
LSB	Least Significant Bit	最低有效位元
MEM	Memory	記憶體
MPM	Main Program Memory	
MSB	Most Significant Bit	最高有效位元
OTP	One Time Program-EEPROM	一次性寫入記憶體
PC	Program Counter	程式計數器
PPF	PWM and PFD	脈波寬度調整器與頻率輸出調整器
Σ ADC	Sigma-Delta ADC	類比數位轉換器
SR	Special Register	
SRAM	Static Random Access Memory	靜態隨機存取記憶體
STK	Stack	堆疊
WDT	Watch Dog Timer	看門狗計時器
WREG	Work Register	工作暫存器

1.2.2. 暫存器相關字彙

[]	Register length	暫存器長度
< >	Register value	暫存器內容
ABC[7:0]	ABC register had 0 to 7bit	ABC 暫存器總共有 8 位元
ABC<111>	ABC register had 3bit and value had 111 of binary	ABC 暫存器總共有 3 位元 · 內容為二進制 111
ABC<11x>	x: can be neglected, it can be set as 1 or 0	ABC 暫存器總共有 3 位元 · 內容為二進制 · 可為 110 或 111
rw	Read/Write	可讀可寫
r	Read only	唯讀
r0	Read as 0	讀值只有 0
r1	Read as 1	讀值只有 1
w	Write only	唯寫
w0	Write as 0	寫入值只有 0
w1	Write as 1	寫入值只有 1
h0	cleared by Hardware	硬體 置<0>
h1	set by Hardware	硬體 置<1>
u0	cleared by User	使用者 設置<0>
u1	set by User	使用者 設置<1>
-	Not use	未使用
!	users are forbidden to change	使用者禁止變更
u	unchanged	無法改變
x	unknown	未知
d	depends on condition	依照設定條件

2. 中央處理器, CPU

2.1. 處理器核心, CPU Core

中央處理器的核心 CPU Core(H08)為了使其有較高的執行效率，採用了 Harvard architecture 理念，將程式記憶體與資料記憶體分別獨立且程式記憶體的位址，增加了使用者撰寫程式的便利性。

CPU 特色包含：

- 程式記憶體與資料記憶體各自獨立設計架構，使得指令執行速度提升且提高 CPU 效率。
- 最多 71 個操作指令包含 16-bit 查表、8x8 硬體乘法器、資料記憶體區塊切換與堆疊控制
- 一個指令完成暫存器 A 至暫存器 B 的資料搬移且不改變工作暫存器(Work register)的資料
- 一個指令完成最長 16-bit 的 FSR 暫存器資料搬移與定址 1MW 程式記憶體的查表指令。
- 資料記憶體的操作包含程式計數器(PC)、狀態暫存器(Status)與堆疊暫存器(Stack)的資料搬移。
- 處理器核心為精簡版 H08D 核心。

2.2. 記憶體,Memory

記憶體的構成分為兩種，一為程式記憶體由 OTP 構成另一為資料記憶體由 SRAM 構成。在不同型號的產品上，所規劃的記憶體大小會不一樣，故閱讀各產品的說明書時必須特別留意該產品的規格說明。

程式記憶體：

主記憶體區(Main Program Memory,MPM)

程式計數器(Program Counter,PC)

堆疊(Stack,STK)

資料記憶體：

特殊暫存器(Special Register,SR)

一般暫存器(General Purpose Register,GPR)

記憶體相關暫存器摘要：(x：表示由多個暫存器組成)

PC[12:0]	PCHSR[4:0],PCLATH[4:0],PCLATL[7:0]
TOS[12:0]	TOSH[4:0],TOSL[7:0]
FSRx[9:0]	FSRxH[9:8],FSRxL[7:0]
INDFx	INDF0[7:0],INDF1[7:0],INDF2[7:0]
POINCx	POINC0[7:0], POINC1[7:0], POINC2[7:0]
PODECx	PODEC0[7:0], PODEC1[7:0], PODEC1[7:0]
PRINCx	PRINC0[7:0], PRINC1[7:0], PRINC1[7:0]
PLUSWx	PLUSW0[7:0], PLUSW1[7:0], PLUSW1[7:0]
STKCN	STKFL[0],STKOV[0],STKUN[0],SKPRT[3:0]
PSTAT	SKERR[0]
BSRCN	BSR[1:0]

2.2.1. 程式記憶體, Program Memory

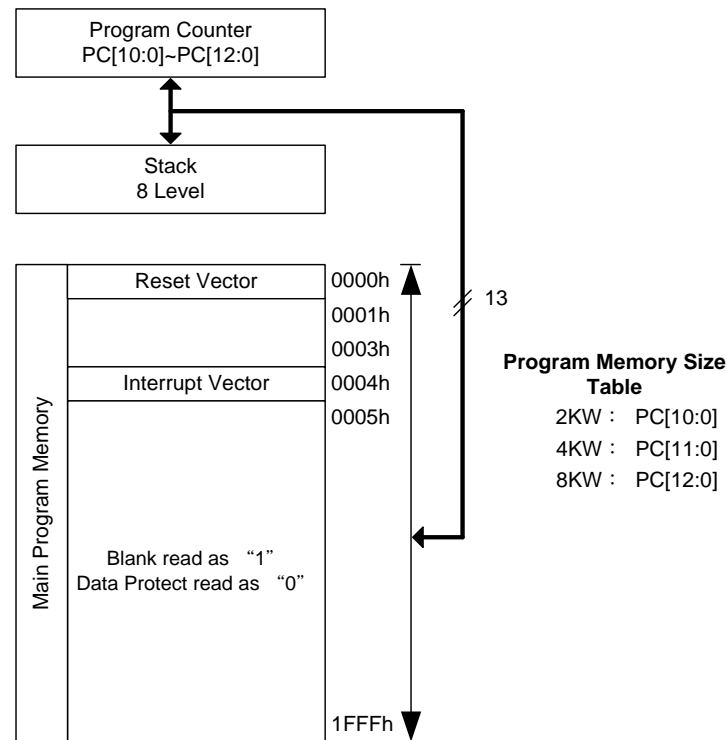


圖 2-1 程式記憶體架構圖

2.2.1.1. 主記憶體, MPM

主記憶體架構如下：

- 中斷服務向量位置(Interrupt Vector)
- 復位向量位置(Reset Vector)

定址能力由 0x0000h 至 0x1FFFh，總計容量為 8192 位元，依不同型號產品大小會有所不同。

晶片在未進行程式寫入時，所有位址的資料型態均為 1；寫入後，位址將依寫入的資料型態呈現 1 或 0。必需注意，程式開發時若模擬軟體(HYIDE)的組譯選項有設置燒錄保護功能，則晶片在燒錄所能讀出的位址資料型態皆為 0。

2.2.1.2. 程式計數器,PC

程式計數器 PC 由位移暫存器 PCSRH、緩衝暫存器 PCLAT 組成，如圖 2-2。

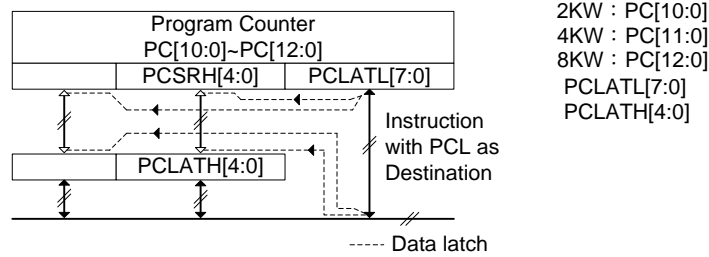


圖 2-2 程式計數器架構圖

程式計數器 PC[12:0]在開發工具所使用的晶片具有 13 位元的資料長度，由兩個特殊暫存器 PCSRH [4:0]與 PCLATL [7:0]組成。其中 PCLATL [7:0]與 PCLATH [4:0] 可直接讀/寫，而 PCSRH [4:0]無法直接讀/寫，必須透過緩衝暫存器 PCLATH [4:0]做間接讀/寫。

- 讀取 PC[12:0]，必須先讀取 PCLATL [7:0]接著讀取 PCLATH [4:0]才能取得正確資料，順序反之則將讀取到不正確的資料。
- 寫入 PC[12:0]，必須先寫入 PCLATH [4:0]最後再寫 PCLATL [7:0]，順序反之會寫入不正確的資料。

2.2.1.3. 堆疊,STK

堆疊 STK 主要由堆疊指標控制暫存器 STKCN、堆疊錯誤旗標 SKERR(Stack Error)與堆疊錯誤復位控制器 SKRST 組成。

當堆疊發生溢位與欠位時可能導致程式有不預期的執行結果，必要時可透過設置重新啟動晶片。在程式開發過程中，透過軟體設置可將堆疊復位控制位元 SKRST¹ 設置<1>，當堆疊發生欠位或溢位時會產生復位信號並將 SKERR 置<1>後重新啟動晶片。

- 滿位：STKFL 置<1>，PC[12:0]不受影響。
- 欠位：STKUN 置<1>，PC[12:0]移至 0x00000h 位置堆疊指標 SKPRT 指向 0 Level。若 SKRST 設置<1>，則欠位後會產生復位信號且 SKERR 置<1>，復位後 STKUN 置<0>。
- 溢位：STKOV 置<1>，PC[12:0]不受影響但 SKPRT 仍停滯於最後一層且會壓入新的數值，即滿位後會保存最近一次壓入的資料。若 SKRST 設置<1>，則溢位後產生復位信號且 SKERR 置<1>，復位後 STKOV 置<0>。
- 錯誤：SKERR 置<1>，晶片已發生堆疊錯誤。若 SKRST 設置<1>，則溢位後產生復位信號且 SKERR 置<1>，復位後 STKUN、STKOV 置<0>。

¹ SKRST 為堆疊錯誤產生復位信號控制位元，無法直接讀/寫只能在程式發展階段透過開發軟體的設置。即程式開發階段必須選定是否在堆疊錯誤時產生復位信號，若選定復位則晶片供電後該位元即被設置 1，反之設置<0>。

2.2.2. 資料記憶體,DM

資料記憶體DM由特殊暫存器 Specially Register,SR 與一般暫存器 General Purpose Register,GPR 組成，且以每 256byte 為一個區塊。區塊 0 與區塊 1 較為特殊，這兩個區塊各自包含了 128byte 的特殊暫存器與 128byte 一般暫存器，而其他的區塊則 256byte 全為一般暫存器如 圖 2-3。

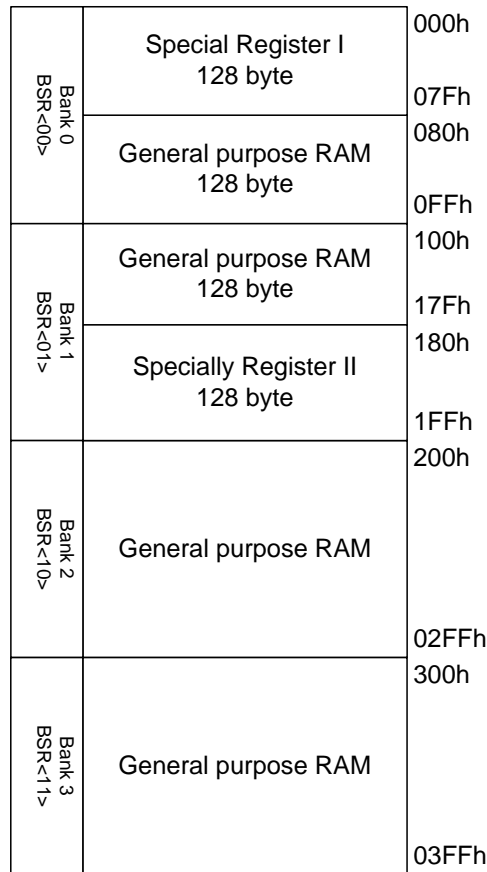


圖 2-3 資料記憶體架構圖

2.2.2.1. 記憶體與指令

H08 指令集可分為 A、B、D 三版本其在記憶體運用有很大的差異性，例如定址能力、硬體乘法器、查表指令、支援功能與參數的定義，在此僅說明指令記憶體參數的定義。詳細的指令參數說明請參見指令集,Instruction 章節。

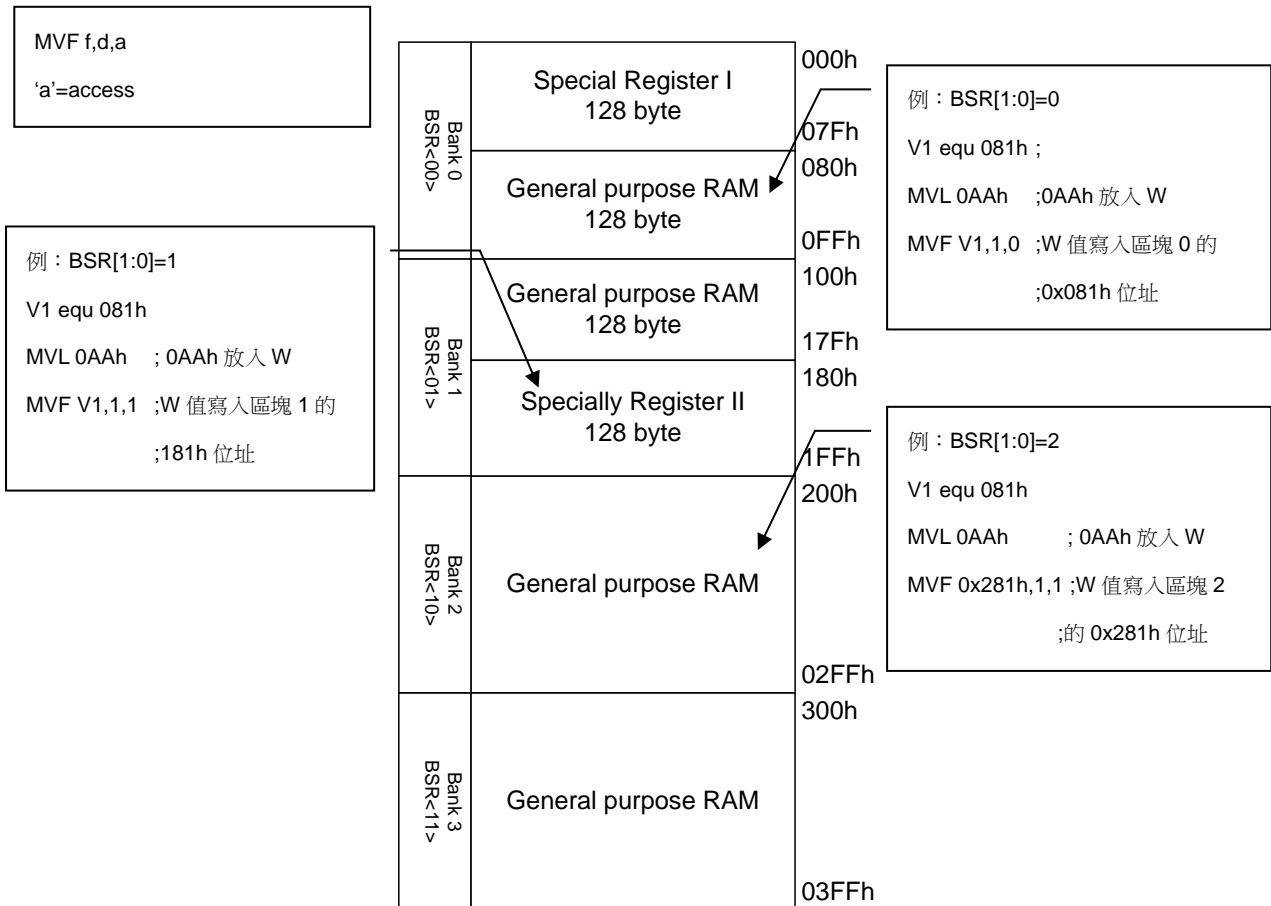
指令集中帶有位址運算功能的指令至多會有“f”、“d”、“a”等三個參數。

- “f” 是指資料(Data)或資料暫存器位址(Data Memory Address)。
- “d” 是指運算後的資料要存放地方。d=0 存於 WREG register、d=1 存於 Data Memory Register。
- “a” 是指定記憶體操作的區塊；a=0 操作於區塊 0、a=1 操作於 BSR[1:0]指定區塊。

2.2.2.2. 區塊選擇控制暫存器

資料記憶體規劃為每 256byte 為一個區塊即 000h ~ 0FFh 為一區塊，若欲讀/寫位址 0FFh 以後的資料暫存器，則需正確的設置區塊控制暫存器 BSR[1:0]與指令的參數“a”，說明如下：

- 當 a = 0 時，無論 BSR[1:0]的指定何區塊，指令對資料記憶體的讀/寫只會在區塊 0。
- 當 a = 1 時，H08D CPU Core 的指令，對資料記憶體的讀/寫會依照 BSR[1:0]所指定的區塊。



範例 2-4 區塊選擇器範例程式與資料記憶體關係

2.2.2.3. 特殊暫存器

特殊暫存器包含 CPU Core 與週邊功能的相關暫存器，主要有控制功能暫存器與資料傳回暫存器。若對資料暫存器內未定義的位址或位址用之位元進行讀取，所讀取到的資料為 0。

在特殊暫存器中專用於搭配指令的暫存器亦有數個，但在此只介紹兩種常用的暫存器一為工作暫存器 WREG，另一為間接定址暫存器 FSR。其餘在此未介紹的特殊暫存器將分散於各章節做詳盡的說明。

2.2.2.3.1. 工作暫存器,WREG

工作暫存器簡稱 W 為搭配指令使用最為頻繁的暫存器，舉凡資料搬移、運算與判斷等等。

2.2.2.3.2. 間接定址暫存器,FSR 與 INDF

FSR 間接定址暫存器由指標暫存器 FSR0[9:0]、FSR1[9:0]、FSR2[9:0]與索引暫存器 INDF0[7:0]、INDF1[7:0]、INDF2[7:0]組成，由於功能相當故只針對 FSR0 做說明。

FSR0[9:0]可分為 FSR0H[1:0]與 FSR0L[7:0]兩個暫存器，不需設置 BSR[1:0]即能定址不同區塊的位址；且透過特殊指令，可達到使用一個指令即可寫入 16-bit 資料。

INDF0[7:0]為索引暫存器，即是可讀取 FSR0[9:0]所指向資料記憶體位址的資料。

值得注意的是 H08D 指令集支援加強型索引暫存器，功能描述如下：

- POINC0[7:0]: 當透過指令讀/寫 POINC0[7:0]暫存器時會發生以下事件
 - 先傳回目前 FSR0[9:0]所指到位址的內容。
 - 然後指標暫存器 FSR0[9:0]的數值加一指向下一個位址。
- PODEC0[7:0]: 當透過指令讀/寫 PODEC0[7:0]暫存器時會發生以下事件
 - 先傳回目前 FSR0[9:0]所指到位址的內容。
 - 然後指標暫存器 FSR0[9:0]的數值減一指向上一個位址。
- PRINC0[7:0]: 當透過指令讀/寫 PRINC0[7:0]暫存器時會發生以下事件
 - 先將指標暫存器 FSR0[9:0]的數值加一指向下一個位址。
 - 再傳回目前 FSR0[9:0]所指到位址的內容。
- PLUSW0 [7:0]: 當透過指令讀/寫 PLUSW0 [7:0]暫存器時會發生以下事件
 - 先將指標暫存器 FSR0[9:0]的數值加上工作暫存器 W 的內容。
 - 再傳回目前 FSR0[9:0]所指到位址的內容。其中 W 的內容為帶有符號位的數值即 $\pm 128d$ 。

2.2.2.3.3. 一般暫存器, General Purpose Register

一般暫存器 GPR 為使用者進行資料儲存、運算、旗標設置等等自由規劃區域。

2.2.2.4. 暫存器說明-資料記憶體控制器

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
000h	INDF0	Contents of FSR0 to address data memoryvalue of FSR0 not changed								XXXX XXXX	***** 1 1 1 1 1 1 1
001h	POINC0	Contents of FSR0 to address data memoryvalue of FSR0 post-incremented								XXXX XXXX	***** 1 1 1 1 1 1 1
002h	PODEC0	Contents of FSR0 to address data memoryvalue of FSR0 post-decremented								XXXX XXXX	***** 1 1 1 1 1 1 1
003h	PRINC0	Contents of FSR0 to address data memoryvalue of FSR0 pre-incremented								XXXX XXXX	***** 1 1 1 1 1 1 1
004h	PLUSW0	Contents of FSR0 to address data memoryvalue of FSR0 offset by W								XXXX XXXX	***** 1 1 1 1 1 1 1
005h	INDF1	Contents of FSR1 to address data memoryvalue of FSR0 not changed								XXXX XXXX	***** 1 1 1 1 1 1 1
006h	POINC1	Contents of FSR1 to address data memoryvalue of FSR0 post-incremented								XXXX XXXX	***** 1 1 1 1 1 1 1
007h	PODEC1	Contents of FSR1 to address data memoryvalue of FSR0 post-decremented								XXXX XXXX	***** 1 1 1 1 1 1 1
008h	PRINC1	Contents of FSR0 to address data memoryvalue of FSR1 pre-incremented								XXXX XXXX	***** 1 1 1 1 1 1 1
009h	PLUSW1	Contents of FSR1 to address data memoryvalue of FSR0 offset by W								XXXX XXXX	***** 1 1 1 1 1 1 1
00Ah	INDF2	Contents of FSR2 to address data memoryvalue of FSR2 not changed								XXXX XXXX	***** 1 1 1 1 1 1 1
00Bh	POINC2	Contents of FSR2 to address data memoryvalue of FSR2 post-incremented								XXXX XXXX	***** 1 1 1 1 1 1 1
00Ch	PODEC2	Contents of FSR2 to address data memoryvalue of FSR2 post-decremented								XXXX XXXX	***** 1 1 1 1 1 1 1
00Dh	PRINC2	Contents of FSR2 to address data memoryvalue of FSR2 pre-incremented								XXXX XXXX	***** 1 1 1 1 1 1 1
00Eh	PLUSW2	Contents of FSR2 to address data memoryvalue of FSR2 offset by W								XXXX XXXX	***** 1 1 1 1 1 1 1
00Fh	FSR0H	-	-	-	-	-	-	FSR0[9]	FSR0[8] XXXX 1 1 1 1 1 1 1
010h	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								XXXX XXXX	***** 1 1 1 1 1 1 1
011h	FSR1H	-	-	-	-	-	-	FSR1[9]	FSR1[8]XXX 1 1 1 1 1 1 1
012h	FSR1L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								XXXX XXXX	***** 1 1 1 1 1 1 1
013h	FSR2H	-	-	-	-	-	-	FSR2[9]	FSR2[8]XXX 1 1 1 1 1 1 1
014h	FSR2L	Indirect Data Memory Address Pointer 0 Low Byte,FSR2[7:0]								XXXX XXXX	***** 1 1 1 1 1 1 1
016h	TOSH	-	-	-	TOS[12]	TOS[11]	TOS[10]	TOS[9]	TOS[8]	..XX XXXX 1 1 1 1 1 1 1
017h	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								XXXX XXXX	***** 1 1 1 1 1 1 1
029h	WREG	Working Register								XXXX XXXX	***** 1 1 1 1 1 1 1
02Ah	BSRCN	-	-	-	-	-	-	BSR[1]	BSR[0] XXXX 1 1 1 1 1 1 1

表 2-2 資料記憶體控制暫存器

INDFx/POINCx/PODECx/PRINCx/PLUSWx: 不同功能性的索引暫存器(x=0、1、2)

INDFx[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

POINCx[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

PODECx[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

PRINCx[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

PLUSWx[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

FSRx: 間接定址的指標暫存器(x=0、1、2)

FSRxH[1:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

FSRxL[7:0]: 詳見 2.2.2.3.2 間接定址暫存器,FSR 與 INDF 說明

WREG: 工作暫存器

WREG[7:0]: 詳見 2.2.2.3.1 工作暫存器,WREG 說明

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

BSRCN: 記憶體區塊讀/寫控制暫存器

位元	名稱	描述
Bit1~0	BSR[1:0]	記憶體讀/寫區塊指標暫存器 <00> 區塊 0 · 位址 0x000h~0x0FFh <01> 區塊 1 · 位址 0x100h~0x1FFh <10> 區塊 0 · 位址 0x200h~0x2FFh <11> 區塊 0 · 位址 0x300h~0x3FFh

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



2.2.3. 暫存器列表-資料記憶體

2.2.3.1. HY17P52 資料記憶體

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
“\$”for event status,“u”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
000h	INDF0	Contents of FSR0 to address data memory value of FSR0 not changed								xxxx xxxx	uuuu uuuu	***** r,r
001h	POINC0	Contents of FSR0 to address data memory value of FSR0 post-incremented								xxxx xxxx	uuuu uuuu	***** r,r
002h	PODEC0	Contents of FSR0 to address data memory value of FSR0 post-decremented								xxxx xxxx	uuuu uuuu	***** r,r
003h	PRINC0	Contents of FSR0 to address data memory value of FSR0 pre-incremented								xxxx xxxx	uuuu uuuu	***** r,r
004h	PLUSW0	Contents of FSR0 to address data memory value of FSR0 offset by W								xxxx xxxx	uuuu uuuu	***** r,r
005h	INDF1	Contents of FSR1 to address data memory value of FSR1 not changed								xxxx xxxx	uuuu uuuu	***** r,r
006h	POINC1	Contents of FSR1 to address data memory value of FSR1 post-incremented								xxxx xxxx	uuuu uuuu	***** r,r
007h	PODEC1	Contents of FSR1 to address data memory value of FSR1 post-decremented								xxxx xxxx	uuuu uuuu	***** r,r
008h	PRINC1	Contents of FSR1 to address data memory value of FSR1 pre-incremented								xxxx xxxx	uuuu uuuu	***** r,r
009h	PLUSW1	Contents of FSR1 to address data memory value of FSR1 offset by W								xxxx xxxx	uuuu uuuu	***** r,r
00Fh	FSR0H	-	-	-	-	-	-	-	FSR0[8] x u	-,-,-,-,-,-,-,-
010h	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	uuuu uuuu	***** r,r
011h	FSR1H	-	-	-	-	-	-	-	FSR1[8] x u	-,-,-,-,-,-,-,-
012h	FSR1L	Indirect Data Memory Address Pointer 0 Low Byte,FSR1[7:0]								xxxx xxxx	uuuu uuuu	***** r,r
016h	TOSH	-	-	-	-	TOS[11:8]		 xxxx uuuu	-,-,-,-,-,-,-,-	
017h	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								xxxx xxxx	uuuu uuuu	***** r,r
018h	SKCN	SKFL	SKUN	SKOV	-	SKPRT[3:0]			000. 0000	u\$. \$\$\$\$	rw 0,rw 0,rw 0,-,-,-,-	
01Ah	PCLATH	-	-	-	-	PC[11:8]		 0000 0000	-,-,-,-,-,-,-,-	
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000	***** r,r
01Dh	TBLPTRH	-	-	-	-	TBLPTR[11:8]		 xxxx uuuu	-,-,-,-,-,-,-,-	
01Eh	TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								xxxx xxxx	uuuu uuuu	***** r,r
01Fh	TBLDH	Program Memory Table Latch High Byte								xxxx xxxx	uuuu uuuu	***** r,r
020h	TBLDL	Program Memory Table Latch Low Byte								xxxx xxxx	uuuu uuuu	***** r,r
021h	PRODH	Product Register of Multiply High Byte								xxxx xxxx	uuuu uuuu	***** r,r
022h	PRODL	Product Register of Multiply Low Byte								xxxx xxxx	uuuu uuuu	***** r,r
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	-	-	E1IE	E0IE	0000 0000	0uuu uuuu	***** r,r
024h	INTE1	TA1IE	-	TXIE	RCIE	-	-	-	-	0000 0000	uuuu uuuu	***** r,r
026h	INTF0	-	TA1CIF	ADIF	WDTIF	-	-	E1IF	E0IF	.000 0000	.uuu uuuu	***** r,r
027h	INTF1	TA1IF	-	TXIF	RCIF	-	-	-	-	0000 0000	uuuu uuuu	***** r,r
029h	WREG	Working Register								xxxx xxxx	uuuu uuuu	***** r,r
02Ah	BSRCN	-	-	-	-	-	-	-	BSR[0] x u	-,-,-,-,-,-,-,-
02Bh	MSTAT	-	-	-	C	DC	N	OV	Z	...x xxxx	...u uuuu	-,-,-,-,-,-,-,-
02Ch	PSTAT	BOR	PD	TO	IDL	RST	SKERR	-	-	\$000 \$0..	uu\$u u\$.	rw 0,rw 0,rw 0,rw 0,rw 0,-,-,-
02Eh	BIECN	1	-	-	ENBVD	VPPHV	ENBCP	BIEWR	BIERD	1.00 \$000	uu\$u u\$.	r1,-,-,-,-,-,-,-,-
02Fh	BIEARH	-	-	1	1	1	1	1	1	0.xx xxxx	u.uu uuuu	-,-,-,-,-,-,-,-
030h	BIEARL	BIE Address Register as BIEAL[5:0]								xxxx xxxx	uuuu uuuu	***** r,r
031h	BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu	***** r,r
032h	BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu	***** r,r
033h	PWRCN	ENBGR	LDOC[2:0]		LDOM[1:0]		ENLDO	CSFON		0000 0000	uuuu u00u	***** r,r
034h	OSCCN0	-	OCS[0]	DHS[1:0]		DMS[2:0]		CUPS		0000 0000	uuuu uuuu	***** r,r
035h	OSCCN1	-	-	DADC[1:0]		-	-	-	LCDS	0000 0000	uuuu uu.	***** r,r
036h	OSCCN2	DLCD[1:0]		-	-	-	HAOM[1:0]		ENHAO	0000 0011	uuuu uu11	***** r,r
037h	CSFCN0	SKRST	HAOTR[6:0]						.1.	-,-,-,-,-,-,-,-
038h	CSFCN1	ENSDRV	-	-	-	-	-	-	-	uuuu uuuu	***** r,r
039h	WDTCN	ENBZ	BZS	DBZ[1:0]		ENWDT		DWDT[2:0]		0000 0000	uuuu \$000	-,-,-,-,-,-,-,-
03Ah	AD1H	ADC1 conversion high byte data register								..00 0000	..uu uuuu	***** r,r
03Bh	AD1M	ADC1 conversion middle byte data register								0000 0000	uuuu uuuu	***** r,r
03Ch	AD1L	ADC1 conversion low byte data register								0000 0000	uuuu uuuu	***** r,r
03Dh	AD1CN0	ENAD1	-	OSR[3:0]				CMFR		0... 0000	uuu. uuuu	***** r,r
03Eh	AD1CN1	-	VREGN	PGAGN[1:0]		ADGN[2:0]			x.xx xxxx	u.uu uuuu	***** r,r	
03Fh	AD1CN2	INIS1	-	-	-	DCSET[3:0]		 xxxx uuuu	***** r,r	

表 2-3 資料記憶體列表

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



"--no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1
 "\$"for event status,". "unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
040h	AD1CN3	INP[3:0]			INN[3:0]					xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
041h	AD1CN4	VRH[1:0]		VRL[1:0]		INX[1:0]		VRIS	INIS	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
042h	AD1CN5	ENACM	-	VCMS	LDOPL	-	-	ENTPS	TPSCH	0000 ..0.	uuuu ..u.	***** 1 1 1 1 1 1 1
043h	LVDCN			PWRS			LVDS[3:0]		LVDO	..00 0000	..uu uuuu	***** 1 1 1 1 1 1 1
044h	TMA1CN	ENTMA1	TMACL1	TMAS1	DTMA1[2:0]			-	-	0000 000.	u0uu uuu.	*,rw 1,*,***,- 1 1 1 1 1 1 1
045h	TMA1R	TMA1 counter Register								0000 0000	uuuu uuuu	rw 0,rw 0,rw 0,rw 0,rw 0,rw 0,rw 0,rw 0,rw 0,rw 0
046h	TMA1C	TMA1C counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0 rw0,rw0,rw0,rw0
047h	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	xxxx xxxx	***** 1 1 1 1 1 1 1
048h	TRISC1	TC1.7	TC1.6	TC1.5	TC1.4	TC1.3	TC1.2	TC1.1	TC1.0	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
049h	PT1DA	-	-	-	-	-	DA1.2	-	-	xxxx x1xx	uuuu uuuu	***** 1 1 1 1 1 1 1
04Ah	PT1PU	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
04Bh	PT1M1	-	-	-	-	INTEG1[1:0]		INTEG0[1:0]		0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
04Ch	PT2	-	-	-	-	-	-	PT2.1	PT2.0	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
04Dh	TRISC2	-	-	-	-	-	-	TC2.1	TC2.0	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
04Fh	PT2PU	-	-	-	-	-	-	PU2.1	PU2.0	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
050h	PT8	-	-	-	-	-	-	PT8.1	PT8.0	xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
051h	TRISC8	-	-	-	-	-	-	TC8.1	TC8.0	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
053h	PT8PU	-	-	-	-	-	-	PU8.1	PU8.0	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
054h	UROCN	ENSP	ENTX	TX9	TX9D	PARITY	-	-	WUE	0000 0..0	uuuu u..u	***** 1 1 1 1 1 1 1
055h	UROSTA	-	RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0010	.uuu uuuu	-,r,r,r,r,r,r,rw 0 1 1 1 1 1 1 1
056h	BA0CN	-	-	-	-	ENCR	RC9	ENADD	ENABD 0000 uuuu	-,r,-,*,*** 1 1 1 1 1 1 1
057h	BG0RH	-	-	-	Baud Rate Generator Register High Byte					...x xxxx	...u uuuu	-,r,-,*,*** 1 1 1 1 1 1 1
058h	BG0RL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
059h	TX0R	UART Transmit Register								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
05Ah	RC0REG	UART Receive Register								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r 1 1 1 1 1 1 1
05Bh	LDCN1	ENLCP	LCDV[2:0]			ENLB	SELPCLK	-	LCDPU	0000 00.0	uuuu uu.u	***** 1 1 1 1 1 1 1
05Ch	LDCN2	-	-	-	-	-	-	LDCBL	LCI00uu	***** 1 1 1 1 1 1 1
05Dh	LDCN3	SCM3[1:0]		SCM2[1:0]		SCM1[1:0]		SCM0[1:0]		1111 1111	uuuu uuuu	***** 1 1 1 1 1 1 1
05Eh	LDCN4	-	-	-	-	-	-	SSG15	SSG14	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
05Fh	LCD0	LCD SEG3[4:7] data				LCD SEG2[3:0] data				xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
060h	LCD1	LCD SEG5[4:7] data				LCD SEG4[3:0] data				xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
061h	LCD2	LCD SEG7[4:7] data				LCD SEG6[3:0] data				xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
062h	LCD3	LCD SEG9[4:7] data				LCD SEG8[3:0] data				xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
063h	LCD4	LCD SEG11[4:7] data				LCD SEG10[3:0] data				xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
064h	LCD5	LCD SEG13[4:7] data				LCD SEG12[3:0] data				xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
065h	LCD6	LCD SEG15[4:7] data				LCD SEG14[3:0] data				xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1 1
180h ~ 17Fh	SRAM as 256Byte									uuuu uuuu	uuuu uuuu	***** 1 1 1 1 1 1 1

表 2-4 資料記憶體列表(續)

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



2.2.3.2. HY17P55/56 資料記憶體

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1

“\$”for event status,“-”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W			
000h	INDF0	Contents of FSR0 to address data memoryvalue of FSR0 not changed								xxxx xxxx	uuuu uuuu	*****			
001h	POINC0	Contents of FSR0 to address data memoryvalue of FSR0 post-incremented								xxxx xxxx	uuuu uuuu	*****			
002h	PODEC0	Contents of FSR0 to address data memoryvalue of FSR0 post-decremented								xxxx xxxx	uuuu uuuu	*****			
003h	PRINC0	Contents of FSR0 to address data memoryvalue of FSR0 pre-incremented								xxxx xxxx	uuuu uuuu	*****			
004h	PLUSW0	Contents of FSR0 to address data memoryvalue of FSR0 offset by W								xxxx xxxx	uuuu uuuu	*****			
005h	INDF1	Contents of FSR1 to address data memoryvalue of FSR1 not changed								xxxx xxxx	uuuu uuuu	*****			
006h	POINC1	Contents of FSR1 to address data memoryvalue of FSR1 post-incremented								xxxx xxxx	uuuu uuuu	*****			
007h	PODEC1	Contents of FSR1 to address data memoryvalue of FSR1 post-decremented								xxxx xxxx	uuuu uuuu	*****			
008h	PRINC1	Contents of FSR1 to address data memoryvalue of FSR1 pre-incremented								xxxx xxxx	uuuu uuuu	*****			
009h	PLUSW1	Contents of FSR1 to address data memoryvalue of FSR1 offset by W								xxxx xxxx	uuuu uuuu	*****			
00Ah	INDF2	Contents of FSR2 to address data memoryvalue of FSR2 not changed								xxxx xxxx	uuuu uuuu	*****			
00Bh	POINC2	Contents of FSR2 to address data memoryvalue of FSR2 post-incremented								xxxx xxxx	uuuu uuuu	*****			
00Ch	PODEC2	Contents of FSR2 to address data memoryvalue of FSR2 post-decremented								xxxx xxxx	uuuu uuuu	*****			
00Dh	PRINC2	Contents of FSR2 to address data memoryvalue of FSR2 pre-incremented								xxxx xxxx	uuuu uuuu	*****			
00Eh	PLUSW2	Contents of FSR2 to address data memoryvalue of FSR2 offset by W								xxxx xxxx	uuuu uuuu	*****			
00Fh	FSR0H	-	-	-	-	-	-	-	FSR0[9:8]	...xx	...uu	*****			
010h	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	uuuu uuuu	*****			
011h	FSR1H	-	-	-	-	-	-	-	FSR1[9:8]	...xx	...uu	*****			
012h	FSR1L	Indirect Data Memory Address Pointer 0 Low Byte,FSR1[7:0]								xxxx xxxx	uuuu uuuu	*****			
013h	FSR2H	-	-	-	-	-	-	-	FSR2[9:8]	...xx	...uu	*****			
014h	FSR2L	Indirect Data Memory Address Pointer 0 Low Byte,FSR2[7:0]								xxxx xxxx	uuuu uuuu	*****			
016h	TOSH	-	-	-	-	-	-	-	TOS[12:8]	...x xxxx	...u uuuu	*****			
017h	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								xxxx xxxx	uuuu uuuu	*****			
018h	SKCN	SKFL	SKUN	SKOV						-	000. 0000	u\$. \$.\$\$\$	rw0,rw0,rw0,-	*****	
01Ah	PCLATH	-	-	-						PC[12:8]	...0 0000	...0 0000	*****		
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000	*****			
01Dh	TBLPTRH	-	-	-						TBLPTR[12:8]	...x xxxx	...u uuuu	*****		
01Eh	TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								xxxx xxxx	uuuu uuuu	*****			
01Fh	TBLDH	Program Memory Table Latch High Byte								xxxx xxxx	uuuu uuuu	*****			
020h	TBLDL	Program Memory Table Latch Low Byte								xxxx xxxx	uuuu uuuu	*****			
021h	PRODH	Product Register of Multiply High Byte								xxxx xxxx	uuuu uuuu	*****			
022h	PRODL	Product Register of Multiply Low Byte								xxxx xxxx	uuuu uuuu	*****			
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	TB1IE			E1IE	E0IE	0000 0000	0uuu uuuu	*****		
024h	INTE1	TA1IE	SPIIE	TXIE	RCIE	I2CERIE	I2CIE	E3IE	E2IE	0000 0000	uuuu uuuu	*****			
025h	INTE2	-	-	-	-	TX2IE	RC2IE	-	BOR2IE	0000 0000	uuuu uuuu	*****			
026h	INTF0	-	TA1CIF	ADIF	WDTIF	TB1IF	-	E1IF	E0IF	.000 0000	.uuu uuuu	*****			
027h	INTF1	TA1IF	SPIIF	TXIF	RCIF	I2CERIF	I2CIF	E3IF	E2IF	0000 0000	uuuu uuuu	*****			
028h	INTF2	-	-	-	-	TX2IF	RC2IF	-	BOR2IF	0000 0000	uuuu uuuu	*****			
029h	WREG	Working Register								xxxx xxxx	uuuu uuuu	*****			
02Ah	BSRCN	-	-	-	-	-	-	-	BSR[1:0]	...xx	...uu	*****			
02Bh	MSTAT	-	-	-	C	DC	N	OV	Z	...x xxxx	...u uuuu	*****			
02Ch	PSTAT	BOR	PD	TO	IDL	RST	SKERR	BOR2LV	GCRstIF	\$000 \$000	uu\$.u u\$.u	rw0,rw0,rw0,rw0,rw0,rw0			
02Eh	BIECN	1	-	-	ENBVD	VPPHV	ENBCP	BIEWR	BIERD	1.00 \$000	1.00 \$uuu	r1,*,*,*,*,*			
02Fh	BIEARH	-	-	1	1	1	1	1	1	0.xx xxxx	u.uu uuuu	*****			
030h	BIEARL	-	-	BIE Address Register as BIEAL[5:0]						xxxx xxxx	uuuu uuuu	*****			
031h	BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu	*****			
032h	BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu	*****			
033h	PWRCN	ENBGR	LDOC[2:0]		LDOM[1:0]		ENLDO	CSFON				0000 0000	uuuu u00u	***** ,wr0,wr0,*	
034h	OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]		CUPS					0000 0000	uuuu uuuu	*****
035h	OSCCN1	CCOPT	LCPS	DADC[1:0]		DTMB[1:0]		TMBS	LCDS				0000 0000	uuuu uu.	*****
036h	OSCCN2	DLCD[1:0]		ENXT	XTS[1:0]		HAOM[1:0]		ENHAO				0000 0001	uuuu uu01	*****
037h	CSFCN0	SKRST	HAOTR[6:0]									.1.	*****	
038h	CSFCN1	ENSDRV	-	-	BOR_TH[2:0]			BORS	ENBOR2				...0 0011	uuuu uuuu	*****
039h	WDTCN	ENBZ	BZS	DBZ[1:0]		ENWDT	DWDWT[2:0]					0000 0000	uuuu \$000	***** rw1,*,*	

表 2-5 資料記憶體列表

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
03Ah	AD1H	ADC1 conversion high byte data register								..00 0000	..uu uuuu*
03Bh	AD1M	ADC1 conversion middle byte data register								0000 0000	uuuu uuuu*
03Ch	AD1L	ADC1 conversion low byte data register								0000 0000	uuuu uuuu*
03Dh	AD1CN0	ENAD1	-	OSR[3:0]			CMFR		000. 0000	uuu. uuuu*	
03Eh	AD1CN1	-	-	VREGN	PGAGN[1:0]		ADGN[2:0]		xxxx xxxx	uuuu uuuu*	
03Fh	AD1CN2	INS1	-	-	-	DCSET[3:0]			xxxx xxxx	uuuu uuuu*	
040h	AD1CN3	INP[3:0]			INN[3:0]			xxxx xxxx	uuuu uuuu*		
041h	AD1CN4	VRH[1:0]		VRL[1:0]		INX[1:0]		VRIS	INIS	0000 0000	uuuu uuuu*
042h	AD1CN5	ENACM	-	VCMS	LDOPL	-	-	ENTPS	TPSCH	0000 0000	uuuu uuuu*
043h	LVDCN	-	-	PWRS	LVDS[3:0]			LVDO		0000 0000	uuuu uuuu*
044h	TMA1CN	ENTMA1	TMA1CL	TMA1S	DTMA1[2:0]		-	-	0000 00.0	u0uu uu.u	*,rw 1,**,*,*,*	
045h	TMA1R	TMA1 counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0,rw0,rw0,rw0,rw0
046h	TMA1C	TMA1C counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0,rw0,rw0,rw0,rw0
047h	TB1Flag	-	PWM7A	PWM6A	PWM5A	PWM4A	PWM3A	PWM2A	PWM1A	..00 0000	..uu uuuu	..,r,f,r f,r,f,r,f
048h	TB1CN0	ENTB1	TB1M[1:0]		TB1RT[1:0]		TB1CL	PWMO1	PWMO0	0000 0000	uuuu u0uu*,rw 1,**
049h	TB1CN1	PA1IV	PWMA1[2:0]			PA0IV	PWMA0[2:0]			0000 0000	uuuu uuuu*
04Ah	TB1RH	TimerB1 counter Register [15:8]								xxxx xxxx	uuuu uuuu	r,r,r,f,r f,r,f,r,f
04Bh	TB1RL	TimerB1 counter Register [7:0]								xxxx xxxx	uuuu uuuu	r,r,r,f,r f,r,f,r,f
04Ch	TB1COH	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu*
04Dh	TB1COL	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu*
04Eh	TB1C1H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu*
04Fh	TB1C1L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu*
050h	TB1C2H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu*
051h	TB1C2L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu*
052h	TC1CN0	-	TC1S[1:0]		-	-	-	-	-	0000 0000	uuuu uuuu	uuuu uuuu
053h	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	xxxx xxxx*
054h	TRISC1	TC1.7	TC1.6	TC1.5	TC1.4	TC1.3	TC1.2	TC1.1	TC1.0	0000 0000	uuuu uuuu*
055h	PT1DA	DA1.7	DA1.6	DA1.5	DA1.4	DA1.3	DA1.2	DA1.1	DA1.0	1111 1111	uuuu uuuu*
056h	PT1PU	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	0000 0000	uuuu uuuu*
057h	PT1M1	-	-	-	-	INTEG1[1:0]		INTEG0[1:0]		0000 0000	uuuu uuuu*
058h	PT1INT	INTEG7	INTEG6	INTEG5	INTEG4	INTEG3	INTEG2	-	-	0000 0000	uuuu uuuu*
059h	PT1INTE	INTE1.7	INTE1.6	INTE1.5	INTE1.4	-	-	-	-	0000 0000	uuuu uuuu*
05Ah	PT1INTF	INTF1.7	INTF1.6	INTF1.5	INTF1.4	-	-	-	-	0000 0000	uuuu uuuu*
05Bh	PT2	-	-	-	-	PT2.3	PT2.2	PT2.1	PT2.0	0000 0000	uuuu uuuu*
05Ch	TRISC2	-	-	-	-	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	uuuu uuuu*
05Dh	PT2DA	-	-	-	-	DA2.3	DA2.2	DA2.1	DA2.0	0000 1111	uuuu uuuu*
05Eh	PT2PU	-	-	-	-	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	uuuu uuuu*
05Fh	PT2INT	-	-	-	-	INTG2.3	INTG2.2	INTG2.1	INTG2.0	0000 0000	uuuu uuuu*
060h	PT2INTE	-	-	-	-	INTE2.3	INTE2.2	INTE2.1	INTE2.0	0000 0000	uuuu uuuu*
061h	PT2INTF	-	-	-	-	INTF2.3	INTF2.2	INTF2.1	INTF2.0	0000 0000	uuuu uuuu*
062h	PT6	PT6.7	PT6.6	PT6.5	PT6.4	PT6.3	PT6.2	PT6.1	PT6.0	xxxx xxxx	uuuu uuuu*
063h	TRISC6	TC6.7	TC6.6	TC6.5	TC6.4	TC6.3	TC6.2	TC6.1	TC6.0	0000 0000	uuuu uuuu*
064h	PT6DA	DA6.7	DA6.6	DA6.5	DA6.4	DA6.3	DA6.2	DA6.1	DA6.0	1111 1111	uuuu uuuu*
065h	PT6PU	PU6.7	PU6.6	PU6.5	PU6.4	PU6.3	PU6.2	PU6.1	PU6.0	0000 0000	uuuu uuuu*
066h	PT7	PT7.7	PT7.6	PT7.5	PT7.4	PT7.3	PT7.2	PT7.1	PT7.0	xxxx xxxx	uuuu uuuu*
067h	TRISC7	TC7.7	TC7.6	TC7.5	TC7.4	TC7.3	TC7.2	TC7.1	TC7.0	0000 0000	uuuu uuuu*
068h	PT7DA	DA7.7	DA7.6	DA7.5	DA7.4	DA7.3	DA7.2	DA7.1	DA7.0	1111 1111	uuuu uuuu*
069h	PT7PU	PU7.7	PU7.6	PU7.5	PU7.4	PU7.3	PU7.2	PU7.1	PU7.0	0000 0000	uuuu uuuu*
06Ah	PT8	PT8.7	PT8.6	PT8.5	PT8.4	PT8.3	PT8.2	PT8.1	PT8.0	xxxx xxxx	uuuu uuuu*
06Bh	TRISC8	TC8.7	TC8.6	TC8.5	TC8.4	TC8.3	TC8.2	TC8.1	TC8.0	0000 0000	uuuu uuuu*
06Ch	PT8DA	DA8.7	DA8.6	DA8.5	DA8.4	DA8.3	DA8.2	DA8.1	DA8.0	1111 1111	uuuu uuuu*
06Dh	PT8PU	PU8.7	PU8.6	PU8.5	PU8.4	PU8.3	PU8.2	PU8.1	PU8.0	0000 0000	uuuu uuuu*

表 2-6 資料記憶體列表(續)

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
06Eh	SSPCN0	ENSSP	CKP	CKE	SMP	-	-	SSPM[1:0]		0000 ..00	uuuu ..uu	***r,*,* r,r,r,r
06Fh	SSPSTA0	SSPBY	SSPOV	-	-	-	-	-	BF	00.. ...0	uu.. ...u	*r,*,* r,r,r,r
070h	SSPBUF0	SSP Receive/Transmit Buffer Register								xxxx xxxx	uuuu uuuu	***** r,r,r,r
071h	CFG0	-	-	-	-	-	GCRst	ENI2CT	ENI2C	0000 0000uuu	-r,*,* r,r,r,r
072h	ACT0	SLAVE	-	-	I2CER	START	STOP	I2CINT	ACK	0000 0000	uuuu uuuu	***** r,r,r,r
073h	STA0	MACTF	SACTF	RDBF	RWF	DF	ACKF	GCF	ARBF	0001 0000	uuuu uuuu	***** r,r,r,r
074h	CRG0	CRG[7:0]								0000 0000	uuuu uuuu	***** r,r,r,r
075h	TOC0	I2CTF	I2C[2:0]			I2CTL[3:0]				0000 0000	uuuu uuuu	***** r,r,r,r
076h	RDB0	RDB[7:1]							RDB[0]	xxxx xxxx	uuuu uuuu	***** r,r,r,r
077h	TDB0	TDB[7:1]							TDB[0]	xxxx xxxx	uuuu uuuu	***** r,r,r,r
078h	SID0	SID0[7:1],The corresponding address of the 7-bit mode							SID0V[0]	0000 0000	uuuu uuuu	***** r,r,r,r
079h	UR0CN	ENSP	ENTX	TX9	TX9D	PARITY	-	-	WUE	0000 0..0	uuuu u..u	***** r,r,r,r
07Ah	UR0STA	-	RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0010	.uuu uuuu	-r,r,r,r r,r,r,r,w 0
07Bh	BA0CN	-	-	-	-	ENCR	RC9	ENADD	ENABD 0000 uuuu	-r,*,* r,r,r,r
07Ch	BG0RH	-	-	-	Baud Rate Generator Register High Byte					...x xxxx	...u uuuu	-r,*,* r,r,r,r
07Dh	BG0RL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	***** r,r,r,r
07Eh	TX0R	UART Transmit Register								xxxx xxxx	uuuu uuuu	***** r,r,r,r
07Fh	RC0REG	UART Receive Register								xxxx xxxx	uuuu uuuu	r,r,r,r r,r,r,r
180h	LCDCN1	ENLCP	LCDV[2:0]			ENLB	SELPCLK	-	LDCPU	0000 00.0	uuuu uu.u	***** r,r,r,r
181h	LCDCN2	-	-	-	-	-	-	LDCBL	LCI	0000 00..	uuuu uu..	***** r,r,r,r
182h	LCDCN3	SCM3[1:0]		SCM2[1:0]		SCM1[1:0]		SCM0[1:0]		0000 0000	uuuu uuuu	***** r,r,r,r
183h	LCDCN4	SSG21	SSG20	SSG19	SSG18	SSG17	SSG16	SSG15	SSG14	0000 0000	uuuu uuuu	***** r,r,r,r
185h	LCDCN6	SSG5[1:0]		SSG4[1:0]		SSG3[1:0]		SSG2[1:0]		0000 0000	uuuu uuuu	***** r,r,r,r
186h	LCDCN7	SSG9[1:0]		SSG8[1:0]		SSG7[1:0]		SSG6[1:0]		0000 0000	uuuu uuuu	***** r,r,r,r
187h	LCDCN8	SSG13[1:0]		SSG12[1:0]		SSG11[1:0]		SSG10[1:0]		0000 0000	uuuu uuuu	***** r,r,r,r
188h	LCD0	LCD SEG3[4:7] data				LCD SEG2[3:0] data				xxxx xxxx	uuuu uuuu	***** r,r,r,r
189h	LCD1	LCD SEG5[4:7] data				LCD SEG4[3:0] data				xxxx xxxx	uuuu uuuu	***** r,r,r,r
18Ah	LCD2	LCD SEG7[4:7] data				LCD SEG6[3:0] data				xxxx xxxx	uuuu uuuu	***** r,r,r,r
18Bh	LCD3	LCD SEG9[4:7] data				LCD SEG8[3:0] data				xxxx xxxx	uuuu uuuu	***** r,r,r,r
18Ch	LCD4	LCD SEG11[4:7] data				LCD SEG10[3:0] data				xxxx xxxx	uuuu uuuu	***** r,r,r,r
18Dh	LCD5	LCD SEG13[4:7] data				LCD SEG12[3:0] data				xxxx xxxx	uuuu uuuu	***** r,r,r,r
18Eh	LCD6	LCD SEG15[4:7] data				LCD SEG14[3:0] data				xxxx xxxx	uuuu uuuu	***** r,r,r,r
18Fh	LCD7	LCD SEG17[4:7] data				LCD SEG16[3:0] data				xxxx xxxx	uuuu uuuu	***** r,r,r,r
190h	LCD8	LCD SEG19[4:7] data				LCD SEG18[3:0] data				xxxx xxxx	uuuu uuuu	***** r,r,r,r
191h	LCD9	LCD SEG21[4:7] data				LCD SEG20[3:0] data				xxxx xxxx	uuuu uuuu	***** r,r,r,r
192h	UR2CN	ENSP2	ENTX2	TX92	TX9D2	PARITY2	-	-	WUE2	0000 0..0	uuuu u..u	***** r,r,r,r
193h	UR2STA	-	RC9D2	PERR2	FERR2	OERR2	RCIDL2	TRMT2	ABDOVF2	.000 0010	.uuu uuuu	-r,r,r,r r,r,r,r,w 0
194h	BA2CN	-	-	-	-	ENCR2	RC92	ENADD2	ENABD2 0000 uuuu	-r,*,* r,r,r,r
195h	BG2RH	-	-	-	Baud Rate Generator Register High Byte					...x xxxx	...u uuuu	-r,*,* r,r,r,r
196h	BG2RL	Baud Rate2 Generator Register Low Byte								xxxx xxxx	uuuu uuuu	***** r,r,r,r
197h	TX2R	UART2 Transmit Register								xxxx xxxx	uuuu uuuu	***** r,r,r,r
198h	RC2REG	UART2 Receive Register								xxxx xxxx	uuuu uuuu	r,r,r,r r,r,r,r
080h ~ 0FFh	SRAM as 128Byte								uuuu uuuu	uuuu uuuu	***** r,r,r,r	
100h ~ 17Fh	SRAM as 128Byte								uuuu uuuu	uuuu uuuu	***** r,r,r,r	
200h ~ 2FFh	SRAM as 256Byte								uuuu uuuu	uuuu uuuu	***** r,r,r,r	

表 2-7 資料記憶體列表(續)

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



2.2.3.3. HY17P58 資料記憶體

00Ch	PODEC2	Contents of FSR2 to address data memoryvalue of FSR2 post-decremented								xxxx xxxx	uuuu uuuu	*****
00Dh	PRINC2	Contents of FSR2 to address data memoryvalue of FSR2 pre-incremented								xxxx xxxx	uuuu uuuu	*****
00Eh	PLUSW2	Contents of FSR2 to address data memoryvalue of FSR2 offset by W								xxxx xxxx	uuuu uuuu	*****
00Fh	FSR0H	-	-	-	-	-	-	-	FSR0[9:8] xxxx uuuu*
010h	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	uuuu uuuu	*****
011h	FSR1H	-	-	-	-	-	-	-	FSR1[9:8]xxxuuu*
012h	FSR1L	Indirect Data Memory Address Pointer 0 Low Byte,FSR1[7:0]								xxxx xxxx	uuuu uuuu	*****
013h	FSR2H	-	-	-	-	-	-	-	FSR2[9:8]xxxuuu*
014h	FSR2L	Indirect Data Memory Address Pointer 0 Low Byte,FSR2[7:0]								xxxx xxxx	uuuu uuuu	*****
016h	TOSH	-	-	-	TOS[12:8]				.xxx xxxx	.uuu uuuu*	
017h	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								xxxx xxxx	uuuu uuuu	*****
018h	SKCN	SKFL	SKUN	SKOV	-	SKPRT[3:0]			000. 0000	u\$. \$\$\$\$	rw 0,rw 0,rw 0,- *	
01Ah	PCLATH	-	-	-	PC[12:8]				.00 0000	.00 0000	*****	
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000	*****
01Dh	TBLPTRH	-	-	-	TBLPTR[12:8]				.xx xxxx	.uu uuuu*	
01Eh	TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								xxxx xxxx	uuuu uuuu	*****
01Fh	TBLDH	Program Memory Table Latch High Byte								xxxx xxxx	uuuu uuuu	*****
020h	TBLDL	Program Memory Table Latch Low Byte								xxxx xxxx	uuuu uuuu	*****
021h	PRODH	Product Register of Multiply High Byte								xxxx xxxx	uuuu uuuu	*****
022h	PRODL	Product Register of Multiply Low Byte								xxxx xxxx	uuuu uuuu	*****
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	TB1IE	-	E1IE	E0IE	0000 0000	0uuu uuuu	*****
024h	INTE1	TA1IE	SPIE	TXIE	RCIE	I2CERIE	I2CIE	E3IE	E2IE	0000 0000	uuuu uuuu	*****
025h	INTE2	TA2IE	TA2CIE	TC11IE	TC10IE	TX2IE	RC2IE	-	BOR2IE	0000 0000	uuuu uuuu	*****
026h	INTF0	-	TA1CIF	ADIF	WDTIF	TB1IF	-	E1IF	E0IF	.000 0000	.uuu uuuu	*****
027h	INTF1	TA1IF	SPIF	TXIF	RCIF	I2CERIF	I2CIF	E3IF	E2IF	0000 0000	uuuu uuuu*
028h	INTF2	TA2IF	TA2CIF	TC1IF	TC0IF	TX2IF	RC2IF	-	BOR2IF	0000 0000	uuuu uuuu	*****
029h	WREG	Working Register								xxxx xxxx	uuuu uuuu	*****
02Ah	BSRCN	-	-	-	-	-	-	BSR[1:0]	 xxxx uuuu*
02Bh	MSTAT	-	-	-	C	DC	N	OV	Z	...x xxxx	...u uuuu*
02Ch	PSTAT	BOR	PD	TO	IDL	RST	SKERR	BOR2LV	GCRstIF	\$000 \$000	uu\$u u\$uu	rw0,rw0,rw0,rw0,rw0,rw0
031h	BIECN	1			ENBVD	VPPHV	ENBCP	BIEWR	BIERD	1.00 \$000	1.00 \$uuu	r1,-,* r,*,*
032h	BIEARH	-		1	1	1	1	1	1	0.xx xxxx	u.uu uuuu*
033h	BIEARL	BIE Address Register as BIEAL[5:0]								xxxx xxxx	uuuu uuuu	*****
034h	BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu	*****
035h	BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu	*****
036h	PWRCN	ENBGR	LDOC[2:0]			LDOM[1:0]		ENLDO	CSFON	0000 0000	uuuu u00u*,w r0,w r0,*
037h	OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]		CUPS	0000 0000	uuuu uuuu	*****	
038h	OSCCN1	COOPT	LCPS	DADC[1:0]		DTMB[1:0]		TMBS	LCDS	0000 0000	uuuu uu.*,*
039h	OSCCN2	DLCD[1:0]		ENXT	XTS[1:0]		HAOM[1:0]		ENHAO	0000 0001	uuuu uu01	*****
03Ah	CSFCN0	SKRST	HAOTR[6:0]						.1.*	
03Bh	CSFCN1	ENSDRV	-	-	BOR_TH[2:0]			BORS	ENBOR2	.0 0011	uuuu uuuu*
03Eh	WDTCN	ENBZ	BZS	DBZ[1:0]		ENWDT	DWDWT[2:0]			0000 0000	uuuu \$000*,rw 1,*,*

表 2-8 資料記憶體列表

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
“\$”for event status,“-”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W			
03Fh	AD1H	ADC1 conversion high byte data register								..00 0000	..uu uuuu	..*.*.*.*.*.*.*.*			
040h	AD1M	ADC1 conversion middle byte data register								0000 0000	uuuu uuuu	*.*.*.*.*.*.*.*			
041h	AD1L	ADC1 conversion low byte data register								0000 0000	uuuu uuuu	*.*.*.*.*.*.*.*			
042h	AD1CN0	ENAD1	-	OSR[3:0]			CMFR			000. 0000	uuu. uuuu	*.*.*.*.*.*.*.*			
043h	AD1CN1	-	-	VREGN	-	ADGN[2:0]			xxxx xxxx	uuuu uuuu	*.*.*.*.*.*.*.*				
044h	AD1CN2	INIS1	-	-	-	DCSET[3:0]			xxxx xxxx	uuuu uuuu	*.*.*.*.*.*.*.*				
045h	AD1CN3	INP[3:0]			INN[3:0]			xxxx xxxx			uuuu uuuu	*.*.*.*.*.*.*.*			
046h	AD1CN4	VRH[1:0]	VRL[1:0]		INX[1:0]		VRIS	INIS	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*		
047h	AD1CN5	ENACM	ENV12	VCMS	LDOPL	-	-	ENTPS	TPSCH	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
048h	LVDCN	-	-	PWRS	LVDS[3:0]			LVDO	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*		
049h	BIACN0	ENPK	ENPKS	ENPKD	PKRST	ENLPF	LPFS[1:0]	ENREFO	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*		
04Ah	DACCN0	-	DANS[2:0]			DAPS[3:0]			0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*		
04Bh	DACCN1	-	-	-	DADCS	DALH	DAOE[1:0]	ENDA	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*		
04Ch	DACCN2	DABIT[7:0]								0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
04Dh	OP1CN0							OP1OS[1:0]	ENOP1	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
04Eh	OP1NET	-	OP1PS[2:0]			-	OP1NS[2:0]			0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
04Fh	OP2CN0							OP2OS[1:0]	ENOP2	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
050h	OP2NET	OP2PS[3:0]			-	OP2NS[2:0]			0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*		
051h	PGACN0	ENCHP	CHM[1:0]		ENHS	-	ENPGA[1:0]			0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
052h	PGACN1	-	-	-	GAINS[1:0]		OPDIEN	ENOPPGA[1:0]			0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*
053h	PGANET1	LNOP1NS[7:0]								0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
054h	PGANET2	LNOP1PS[7:0]								0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
055h	PGANET3	LNOP2NS[7:0]								0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
056h	PGANET4	LNOP2PS[7:0]								0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
057h	PGANET5	LNOP2OS[2:0]			OPCS		LNOP1OS[2:0]			0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
058h	TMA1CN	ENTMA1	TMACL1	TMAS1	DTMA1[2:0]			-	-	0000 00.0			u0uu uu.u	*.*.*.*.*.*.*.*	
059h	TMA1R	TMA1 counter Register								0000 0000			uuuu uuuu	rw0,rw0,rw0,rw0,rw0,rw0,rw0,rw0	
05Ah	TMA1C	TMA1C counter Register								0000 0000			uuuu uuuu	rw0,rw0,rw0,rw0,rw0,rw0,rw0,rw0	
05Bh	TB1Flag	-	PWM7A	PWM6A	PWM5A	PWM4A	PWM3A	PWM2A	PWM1A	..00 0000			..uu uuuu	..*.*.*.*.*.*.*.*	
05Ch	TB1CN0	ENTB1	TB1M[1:0]		TB1RT[1:0]		TB1CL	PWMO1	PWMO0	0000 0000			uuuu u0uu	*.*.*.*.*.*.*.*	
05Dh	TB1CN1	PA1IV	PWMA1[2:0]			PA0IV	PWMA0[2:0]			0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
05Eh	TB1RH	TimerB1 counter Register [15:8]								xxxx xxxx			uuuu uuuu	r,r,r,r,r,r,r,r	
05Fh	TB1RL	TimerB1 counter Register [7:0]								xxxx xxxx			uuuu uuuu	r,r,r,r,r,r,r,r	
060h	TB1C0H	TimerB1 counter Condition Register [15:8]								xxxx xxxx			uuuu uuuu	*.*.*.*.*.*.*.*	
061h	TB1C0L	TimerB1 counter Condition Register [7:0]								xxxx xxxx			uuuu uuuu	*.*.*.*.*.*.*.*	
062h	TB1C1H	TimerB1 counter Condition Register [15:8]								xxxx xxxx			uuuu uuuu	*.*.*.*.*.*.*.*	
063h	TB1C1L	TimerB1 counter Condition Register [7:0]								xxxx xxxx			uuuu uuuu	*.*.*.*.*.*.*.*	
064h	TB1C2H	TimerB1 counter Condition Register [15:8]								xxxx xxxx			uuuu uuuu	*.*.*.*.*.*.*.*	
065h	TB1C2L	TimerB1 counter Condition Register [7:0]								xxxx xxxx			uuuu uuuu	*.*.*.*.*.*.*.*	
066h	TC1CN0	-	TC1S[1:0]		-	-	CPI1P	CPI0P	TCEN	0000 0000			uuuu uuuu	uuuu uuuu	
067h	TC1CN1	CPI1R	CPSS	CPI1S[1:0]		CPI1PS[3:0]			0000 0000			uuuu uuuu	uuuu uuuu		
068h	TC1R0H	Capture 0 High Byte Data Register								xxxx xxxx			uuuu uuuu	uuuu uuuu	
069h	TC1R0L	Capture 0 Low Byte Data Register								xxxx xxxx			uuuu uuuu	uuuu uuuu	
06Ah	TC1R1H	Capture 1 High Byte Data Register								xxxx xxxx			uuuu uuuu	uuuu uuuu	
06Bh	TC1R1L	Capture 1 Low Byte Data Register								xxxx xxxx			uuuu uuuu	uuuu uuuu	
06Ch	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx			xxxx xxxx	*.*.*.*.*.*.*.*	
06Dh	TRISC1	TC1.7	TC1.6	TC1.5	TC1.4	TC1.3	TC1.2	TC1.1	TC1.0	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
06Eh	PT1DA	DA1.7	DA1.6	DA1.5	DA1.4	DA1.3	DA1.2	DA1.1	DA1.0	1111 1111			uuuu uuuu	*.*.*.*.*.*.*.*	
06Fh	PT1PU	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
070h	PT1M1	-	-	-	-	INTEG1[1:0]		INTEG0[1:0]		0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
071h	PT1M2	-	PM1.7[0]	-	PM1.6[0]	-	PM1.5[0]	-	PM1.4[0]	xxxx xxxx			xxxx xxxx	*.*.*.*.*.*.*.*	
072h	PT1INT	INTEG7	INTEG6	INTEG5	INTEG4	INTEG3	INTEG2	-	-	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
073h	PT1INTE	INTE1.7	INTE1.6	INTE1.5	INTE1.4	-	-	-	-	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	
074h	PT1INTF	INTF1.7	INTF1.6	INTF1.5	INTF1.4	-	-	-	-	0000 0000			uuuu uuuu	*.*.*.*.*.*.*.*	

表 2-9 資料記憶體列表(續)

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
“\$”for event status, “-”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
075h	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	0000 0000	uuuu uuuu	*****
076h	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	uuuu uuuu	*****
077h	PT2DA	DA2.7	DA2.6	DA2.5	DA2.4	DA2.3	DA2.2	DA2.1	DA2.0	1111 1111	uuuu uuuu	*****
078h	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	uuuu uuuu	*****
07Bh	PT2INT	INTG2.7	INTG2.6	INTG2.5	INTG2.4	INTG2.3	INTG2.2	INTG2.1	INTG2.0	0000 0000	uuuu uuuu	*****
07Ch	PT2INTE	INTE2.7	INTE2.6	INTE2.5	INTE2.4	INTE2.3	INTE2.2	INTE2.1	INTE2.0	0000 0000	uuuu uuuu	*****
07Dh	PT2INTF	INTF2.7	INTF2.6	INTF2.5	INTF2.4	INTF2.3	INTF2.2	INTF2.1	INTF2.0	0000 0000	uuuu uuuu	*****
180h	LCDCN1	ENLCP	LCDV[2:0]			ENLB	SELCLK	-	LCDPU	0000 00.0	uuuu uu.u	*****
181h	LCDCN2						LCDTYPE	LCDBL		0000 0000	uuuu uuuu	*****
182h	LCDCN3	SCM3[1:0]		SCM2[1:0]		SCM1[1:0]		SCM0[1:0]		0000 0000	uuuu uuuu	*****
183h	LCDCN4	SSG21	SSG20	SSG19	SSG18	SSG17	SSG16	SSG15	SSG14	0000 0000	uuuu uuuu	*****
184h	LCDCN5	SSG41	SSG40	SSG39	SSG38	SSG37	SSG36	SSG35	SSG34	0000 0000	uuuu uuuu	*****
185h	LCDCN6	SSG5[1:0]		SSG4[1:0]		SSG3[1:0]		SSG2[1:0]		0000 0000	uuuu uuuu	*****
186h	LCDCN7	SSG9[1:0]		SSG8[1:0]		SSG7[1:0]		SSG6[1:0]		0000 0000	uuuu uuuu	*****
187h	LCDCN8	SSG13[1:0]		SSG12[1:0]		SSG11[1:0]		SSG10[1:0]		0000 0000	uuuu uuuu	*****
188h	LCDCN9	SSG25[1:0]		SSG24[1:0]		SSG23[1:0]		SSG22[1:0]		0000 0000	uuuu uuuu	*****
189h	LCDCN10	SSG29[1:1]		SSG28[1:1]		SSG27[1:1]		SSG26[1:1]		0000 0000	uuuu uuuu	*****
18Ah	LCDCN11	SSG33[1:1]		SSG32[1:1]		SSG31[1:1]		SSG30[1:1]		0000 0000	uuuu uuuu	*****
18Bh	LCD0	LCD SEG3[4:7] data				LCD SEG2[3:0] data				xxxx xxxx	uuuu uuuu	*****
18Ch	LCD1	LCD SEG5[4:7] data				LCD SEG4[3:0] data				xxxx xxxx	uuuu uuuu	*****
18Dh	LCD2	LCD SEG7[7:4] data				LCD SEG6[3:0] data				xxxx xxxx	uuuu uuuu	*****
18Eh	LCD3	LCD SEG9[7:4] data				LCD SEG8[3:0] data				xxxx xxxx	uuuu uuuu	*****
18Fh	LCD4	LCD SEG11[7:4] data				LCD SEG10[3:0] data				xxxx xxxx	uuuu uuuu	*****
190h	LCD5	LCD SEG13[7:4] data				LCD SEG12[3:0] data				xxxx xxxx	uuuu uuuu	*****
191h	LCD6	LCD SEG15[4:7] data				LCD SEG14[3:0] data				xxxx xxxx	uuuu uuuu	*****
192h	LCD7	LCD SEG17[4:7] data				LCD SEG16[3:0] data				xxxx xxxx	uuuu uuuu	*****
193h	LCD8	LCD SEG19[4:7] data				LCD SEG18[3:0] data				xxxx xxxx	uuuu uuuu	*****
194h	LCD9	LCD SEG21[4:7] data				LCD SEG20[3:0] data				xxxx xxxx	uuuu uuuu	*****
195h	LCD10	LCD SEG23[4:7] data				LCD SEG22[3:0] data				xxxx xxxx	uuuu uuuu	*****
196h	LCD11	LCD SEG25[4:7] data				LCD SEG24[3:0] data				xxxx xxxx	uuuu uuuu	*****
197h	LCD12	LCD SEG27[4:7] data				LCD SEG26[3:0] data				xxxx xxxx	uuuu uuuu	*****
198h	LCD13	LCD SEG29[4:7] data				LCD SEG28[3:0] data				xxxx xxxx	uuuu uuuu	*****
199h	LCD14	LCD SEG31[4:7] data				LCD SEG30[3:0] data				xxxx xxxx	uuuu uuuu	*****
19Ah	LCD15	LCD SEG33[4:7] data				LCD SEG32[3:0] data				xxxx xxxx	uuuu uuuu	*****
19Bh	LCD16	LCD SEG35[4:7] data				LCD SEG34[3:0] data				xxxx xxxx	uuuu uuuu	*****
19Ch	LCD17	LCD SEG37[4:7] data				LCD SEG36[3:0] data				xxxx xxxx	uuuu uuuu	*****
19Dh	LCD18	LCD SEG39[4:7] data				LCD SEG38[3:0] data				xxxx xxxx	uuuu uuuu	*****
19Eh	LCD19	LCD SEG41[4:7] data				LCD SEG40[3:0] data				xxxx xxxx	uuuu uuuu	*****
19Fh	PT4	PT4.7	PT4.6	PT4.5	PT4.4	-	-	-	-	xxxx xxxx	xxxx xxxx	*****
1A1h	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	-	-	-	-	1111 0000	uuuu uuuu	*****
1A2h	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	-	-	-	-	0000 0000	uuuu uuuu	*****
1A5h	PT4INT	INTG4.7	INTG4.6	INTG4.5	INTG4.4	-	-	-	-	0000 0000	uuuu uuuu	*****
1A6h	PT4INTE	INTE4.7	INTE4.6	INTE4.5	INTE4.4	-	-	-	-	0000 0000	uuuu uuuu	*****
1A7h	PT4INTF	INTF4.7	INTF4.6	INTF4.5	INTF4.4	-	-	-	-	0000 0000	uuuu uuuu	*****
1AAh	PT5	-	-	-	-	PT5.3	PT5.2	PT5.1	PT5.0	xxxx xxxx	xxxx xxxx	*****
1ACh	PT5DA	-	-	-	-	DA5.3	DA5.2	DA5.1	DA5.0	0000 1111	uuuu uuuu	*****
1ADh	PT5PU	-	-	-	-	PU5.3	PU5.2	PU5.1	PU5.0	0000 0000	uuuu uuuu	*****
1B0h	PT5INT	-	-	-	-	INTG5.3	INTG5.2	INTG5.1	INTG5.0	0000 0000	uuuu uuuu	*****
1B1h	PT5INTE	-	-	-	-	INTE5.3	INTE5.2	INTE5.1	INTE5.0	0000 0000	uuuu uuuu	*****
1B2h	PT5INTF	-	-	-	-	INTF5.3	INTF5.2	INTF5.1	INTF5.0	0000 0000	uuuu uuuu	*****
1B5h	PT6	PT6.7	PT6.6	PT6.5	PT6.4	PT6.3	PT6.2	PT6.1	PT6.0	xxxx xxxx	uuuu uuuu	*****
1B6h	TRISC6	TC6.7	TC6.6	TC6.5	TC6.4	TC6.3	TC6.2	TC6.1	TC6.0	0000 0000	uuuu uuuu	*****
1B7h	PT6DA	DA6.7	DA6.6	DA6.5	DA6.4	DA6.3	DA6.2	DA6.1	DA6.0	1111 1111	uuuu uuuu	*****
1B8h	PT6PU	PU6.7	PU6.6	PU6.5	PU6.4	PU6.3	PU6.2	PU6.1	PU6.0	0000 0000	uuuu uuuu	*****

表 2-10 資料記憶體列表(續)

HY17S58 Emulate Chip User' Guide

Embedded ΣADC
8-Bit RISC-like Mixed Signal Microcontroller



“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W		
1B9h	PT7	PT7.7	PT7.6	PT7.5	PT7.4	PT7.3	PT7.2	PT7.1	PT7.0	xxxx xxxx	uuuu uuuu	*****		
1BAh	TRISC7	TC7.7	TC7.6	TC7.5	TC7.4	TC7.3	TC7.2	TC7.1	TC7.0	0000 0000	uuuu uuuu	*****		
1BBh	PT7DA	DA7.7	DA7.6	DA7.5	DA7.4	DA7.3	DA7.2	DA7.1	DA7.0	1111 1111	uuuu uuuu	*****		
1BCh	PT7PU	PU7.7	PU7.6	PU7.5	PU7.4	PU7.3	PU7.2	PU7.1	PU7.0	0000 0000	uuuu uuuu	*****		
1BDh	PT8	PT8.7	PT8.6	PT8.5	PT8.4	PT8.3	PT8.2	PT8.1	PT8.0	xxxx xxxx	uuuu uuuu	*****		
1BEh	TRISC8	TC8.7	TC8.6	TC8.5	TC8.4	TC8.3	TC8.2	TC8.1	TC8.0	0000 0000	uuuu uuuu	*****		
1BFh	PT8DA	DA8.7	DA8.6	DA8.5	DA8.4	DA8.3	DA8.2	DA8.1	DA8.0	1111 1111	uuuu uuuu	*****		
1C0h	PT8PU	PU8.7	PU8.6	PU8.5	PU8.4	PU8.3	PU8.2	PU8.1	PU8.0	0000 0000	uuuu uuuu	*****		
1C1h	PT9	PT9.7	PT9.6	PT9.5	PT9.4	PT9.3	PT9.2	PT9.1	PT9.0	xxxx xxxx	uuuu uuuu	*****		
1C2h	TRISC9	TC9.7	TC9.6	TC9.5	TC9.4	TC9.3	TC9.2	TC9.1	TC9.0	0000 0000	uuuu uuuu	*****		
1C3h	PT9DA	DA9.7	DA9.6	DA9.5	DA9.4	DA9.3	DA9.2	DA9.1	DA9.0	1111 1111	uuuu uuuu	*****		
1C4h	PT9PU	PU9.7	PU9.6	PU9.5	PU9.4	PU9.3	PU9.2	PU9.1	PU9.0	0000 0000	uuuu uuuu	*****		
1C5h	PT10	PT10.7	PT10.6	PT10.5	PT10.4	PT10.3	PT10.2	PT10.1	PT10.0	xxxx xxxx	uuuu uuuu	*****		
1C6h	TRISC10	TC10.7	TC10.6	TC10.5	TC10.4	TC10.3	TC10.2	TC10.1	TC10.0	0000 0000	uuuu uuuu	*****		
1C7h	PT10DA	DA10.7	DA10.6	DA10.5	DA10.4	DA10.3	DA10.2	DA10.1	DA10.0	1111 1111	uuuu uuuu	*****		
1C8h	PT10PU	PU10.7	PU10.6	PU10.5	PU10.4	PU10.3	PU10.2	PU10.1	PU10.0	0000 0000	uuuu uuuu	*****		
1C9h	PT11	-	-	-	-	PT11.3	PT11.2	PT11.1	PT11.0	xxxx xxxx	uuuu uuuu	*****		
1CAh	TRISC11	-	-	-	-	TC11.3	TC11.2	TC11.1	TC11.0	0000 0000	uuuu uuuu	*****		
1CBh	PT11DA	-	-	-	-	DA11.3	DA11.2	DA11.1	DA11.0	0000 1111	uuuu uuuu	*****		
1CCh	PT11PU	-	-	-	-	PU11.3	PU11.2	PU11.1	PU11.0	0000 0000	uuuu uuuu	*****		
1CEh	SSPCN0	ENSSP	CKP	CKE	SMP	-	-	SSPM[1:0]		0000 ..00	uuuu ..uu	*****		
1CFh	SSPSTA0	SSPBY	SSPOV	-	-	-	-	-	BF	00.. ...0	uu.. ...u	*****		
1D0h	SSPBUF0	SSP Receive/Transmit Buffer Register									xxxx xxxx	uuuu uuuu	*****	
1D1h	CFG0	-	-	-	-	-	GCRst	ENI2CT	ENI2C	0000 0000 uuuu	*****		
1D2h	ACT0	SLAVE	-	-	I2CER	START	STOP	I2CINT		0000 0000	uuuu uuuu	*****		
1D3h	STA0	MACTF	SACTF	RDBF	RWF	DF	ACKF	GCF	ARBF	0001 0000	uuuu uuuu	*****		
1D4h	CRG0	CRG[7:0]									0000 0000	uuuu uuuu	*****	
1D5h	TOC0	I2CTF	DI2C[2:0]			I2CTL[3:0]				0000 0000	uuuu uuuu	*****		
1D6h	RDB0	RDB[7:1]							RDB[0]		xxxx xxxx	uuuu uuuu	*****	
1D7h	TDB0	TDB0[7:1]							TDB0[0]		xxxx xxxx	uuuu uuuu	*****	
1D8h	SID0	SID0[7:1].The corresponding address of the 7-bit mode									0000 0000	uuuu uuuu	*****	
1D9h	UR0CN	ENSP	ENTX	TX9	TX9D	PARITY	-	-	WUE	0000 0..0	uuuu u..u	*****		
1DAh	UR0STA	-	RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	..00 0010	..uu uuuu	~.r.r.f.r.f.r.f.r.w0		
1DBh	BA0CN	-	-	-	-	ENCR	RC9	ENADD	ENABD	... 0000	... uuuu	~.r.r.f.r.f.r.f.r.f		
1DCh	BG0RH	-	-	-	Baud Rate Generator Register High Byte							...x xxxx	...u uuuu	~.r.r.f.r.f.r.f.r.f
1DDh	BG0RL	Baud Rate Generator Register Low Byte									xxxx xxxx	uuuu uuuu	*****	
1DEh	TXOR	UART Transmit Register									xxxx xxxx	uuuu uuuu	*****	
1DFh	RC0REG	UART Receive Register									xxxx xxxx	uuuu uuuu	r.f.f.f.r.f.f.f	
1E0h	UR2CN	ENSP2	ENTX2	TX92	TX9D2	PARITY2	-	-	WUE2	0000 0..0	uuuu u..u	*****		
1E1h	UR2STA	-	RC9D2	PERR2	FERR2	OERR2	RCIDL2	TRMT2	ABDOVF2	..00 0010	..uu uuuu	~.r.f.f.f.r.f.f.r.f.r.w0		
1E2h	BA2CN	-	-	-	-	ENCR2	RC92	ENADD2	ENABD2	... 0000	... uuuu	~.r.f.f.f.r.f.f.r.f.f		
1E3h	BG2RH	-	-	-	Baud Rate Generator Register High Byte							...x xxxx	...u uuuu	~.r.r.f.r.f.r.f.r.f
1E4h	BG2RL	Baud Rate2 Generator Register Low Byte									xxxx xxxx	uuuu uuuu	*****	
1E5h	TX2R	UART2 Transmit Register									xxxx xxxx	uuuu uuuu	*****	
1E6h	RC2REG	UART2 Receive Register									xxxx xxxx	uuuu uuuu	r.f.f.f.r.f.f.f	
1E7h	TMA2CN	ENTMA2	TMA2L2	TMA2S	DTMA2[2:0]			-	-	0000 00..	u0uu uu..	*,r.w1,*,*,*,*,*-		
1E8h	TMA2R	TMA2 counter Register									0000 0000	uuuu uuuu	r.w0,r.w0,r.w0,r.w0,r.w0,r.w0,r.w0	
1E9h	TMA2C	TMA2C counter Register									0000 0000	uuuu uuuu	r.w0,r.w0,r.w0,r.w0,r.w0,r.w0,r.w0	
1EAh	LEDCN			ENLEDP	VGGS	ENBLOUT	LEDS[2:0]			0000 0000	uuuu uuuu	*****		
1EBh	IQ0										0000 0000	uuuu uuuu	*****	
1ECh	IQ1	IQOffset[5:0]							IQMODE	IQINV	0000 0000	uuuu uuuu	*****	
1EDh	DGCON1				DGRST	DGDIV[2:0]			DGEN	0000 0000	uuuu uuuu	*****		
1EEh	DGCON2	DGRP[5:0]									0000 0000	uuuu uuuu	*****	
080h - 0FFh	SRAM as 128Byte									uuuu uuuu	uuuu uuuu	*****		
100h - 17Fh	SRAM as 128Byte									uuuu uuuu	uuuu uuuu	*****		
200h - 2FFh	SRAM as 256Byte									uuuu uuuu	uuuu uuuu	*****		
300h - 33Fh	SRAM as 64Byte									uuuu uuuu	uuuu uuuu	*****		

表 2-11 資料記憶體列表(續)

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



2.2.3.4. HY17P48 資料記憶體

“-”no use, “r”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
“\$”for event status, “x”unimplemented bit, “u”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
000h	INDF0	Contents of FSR0 to address data memory value of FSR0 not changed								xxxx xxxx	uuuu uuuu	*****
001h	POINC0	Contents of FSR0 to address data memory value of FSR0 post-increment								xxxx xxxx	uuuu uuuu	*****
002h	PODEC0	Contents of FSR0 to address data memory value of FSR0 post-decrement								xxxx xxxx	uuuu uuuu	*****
003h	PRINC0	Contents of FSR0 to address data memory value of FSR0 pre-increment								xxxx xxxx	uuuu uuuu	*****
004h	PLUSW0	Contents of FSR0 to address data memory value of FSR0 offset by W								xxxx xxxx	uuuu uuuu	*****
005h	INDF1	Contents of FSR1 to address data memory value of FSR1 not changed								xxxx xxxx	uuuu uuuu	*****
006h	POINC1	Contents of FSR1 to address data memory value of FSR1 post-increment								xxxx xxxx	uuuu uuuu	*****
007h	PODEC1	Contents of FSR1 to address data memory value of FSR1 post-decrement								xxxx xxxx	uuuu uuuu	*****
008h	PRINC1	Contents of FSR1 to address data memory value of FSR1 pre-increment								xxxx xxxx	uuuu uuuu	*****
009h	PLUSW1	Contents of FSR1 to address data memory value of FSR1 offset by W								xxxx xxxx	uuuu uuuu	*****
00Ah	INDF2	Contents of FSR2 to address data memory value of FSR2 not changed								xxxx xxxx	uuuu uuuu	*****
00Bh	POINC2	Contents of FSR2 to address data memory value of FSR2 post-increment								xxxx xxxx	uuuu uuuu	*****
00Ch	PODEC2	Contents of FSR2 to address data memory value of FSR2 post-decrement								xxxx xxxx	uuuu uuuu	*****
00Dh	PRINC2	Contents of FSR2 to address data memory value of FSR2 pre-increment								xxxx xxxx	uuuu uuuu	*****
00Eh	PLUSW2	Contents of FSR2 to address data memory value of FSR2 offset by W								xxxx xxxx	uuuu uuuu	*****
00Fh	FSR0H	-	-	-	-	-	-	-	FSR0[9:8]	... xxxx	... uuuu*
010h	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte, FSR0[7:0]								xxxx xxxx	uuuu uuuu	*****
011h	FSR1H	-	-	-	-	-	-	-	FSR1[9:8]xxxuuu*
012h	FSR1L	Indirect Data Memory Address Pointer 0 Low Byte, FSR1[7:0]								xxxx xxxx	uuuu uuuu	*****
013h	FSR2H	-	-	-	-	-	-	-	FSR2[9:8]xxxuuu*
014h	FSR2L	Indirect Data Memory Address Pointer 0 Low Byte, FSR2[7:0]								xxxx xxxx	uuuu uuuu	*****
016h	TOSH	-	-	-	TOS[12:8]				.xxx xxxx	.uuu uuuu*	
017h	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								xxxx xxxx	uuuu uuuu	*****
018h	SKCN	SKFL	SKUN	SKOV	-	SKPRT[3:0]			000. 0000	u\$\$ \$\$\$\$	rw0, rw0, rw0, -*
01Ah	PCLATH	-	-	-	PC[12:8]				.00 0000	.00 0000	*****	
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000	*****
01Dh	TBLPTRH	-	-	-	TBLPTR[12:8]				.xx xxxx	.uu uuuu*	
01Eh	TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								xxxx xxxx	uuuu uuuu	*****
01Fh	TBLDH	Program Memory Table Latch High Byte								xxxx xxxx	uuuu uuuu	*****
020h	TBLDL	Program Memory Table Latch Low Byte								xxxx xxxx	uuuu uuuu	*****
021h	PRODH	Product Register of Multiply High Byte								xxxx xxxx	uuuu uuuu	*****
022h	PRODL	Product Register of Multiply Low Byte								xxxx xxxx	uuuu uuuu	*****
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	TB1IE	-	-	E0IE	0000 0000	0uuu uuuu	*****
024h	INTE1	TA1IE	SPIIE	TXIE	RCIE	I2CERIE	I2CIE	-	E2IE	0000 0000	uuuu uuuu	*****
025h	INTE2	TA2IE	TA2CIE	TC12IE	TC11IE	TX2IE	RC2IE	-	BOR2IE	0000 0000	uuuu uuuu	*****
026h	INTF0	-	TA1CIF	ADIF	WDTIF	TB1IF	-	-	E0IF	.000 0000	.uuu uuuu	*****
027h	INTF1	TA1IF	SPIIF	TXIF	RCIF	I2CERIF	I2CIF	-	E2IF	0000 0000	uuuu uuuu	*****
028h	INTF2	TA2IF	TA2CIF	TC2IF	TC1IF	TX2IF	RC2IF	-	BOR2IF	0000 0000	uuuu uuuu	*****
029h	WREG	Working Register								xxxx xxxx	uuuu uuuu	*****
02Ah	BSRCN	-	-	-	-	-	-	-	BSR[1:0]xxuu*
02Bh	MSTAT	-	-	-	C	DC	N	OV	Z	... x xxxx	... u uuuu*
02Ch	PSTAT	BOR	PD	TO	IDL	RST	SKERR	BOR2LV	GCRstIF	\$000 \$000	uu\$u u\$uu	rw0, rw0, rw0, rw0 rw0, rw0, r, rw0
02Eh	INTE3	-	-	-	-	-	-	I2CER2IE	I2C2IE	0000 0000	uuuu uuuu	*****
030h	INTF3	-	-	-	-	-	-	I2CER2IF	I2C2IF	0000 0000	uuuu uuuu	*****
031h	BIECN	1	ENBVD			VPPHV	ENBCP	BIEWR	BIERD	1.00 \$000	1.00 \$uuu	r1, .., .., r, .., ..
033h	BIEARL	BIE Address Register as BIEAL[5:0]								xxxx xxxx	uuuu uuuu	*****
034h	BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu	*****
035h	BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu	*****
036h	PWRCN	ENBGR	LDOC[2:0]			LDOM[1:0]	ENLDO	CSFON		1000 0000	uuuu uu0u	*****
037h	OSCCN0	OSCS[1:0]		DHS[1:0]	DMS[2:0]		CUPS		0000 0000	uuuu uuuu	*****	
038h	OSCCN1	CCOPT	LCPS	DADC[1:0]	DTMB[1:0]	TMBS	-		0000 0000	uuuu uu.	*****	
039h	OSCCN2	-	-	ENXT	XTS[1:0]	HAOM[1:0]	ENHAO		0000 0001	uuuu uu1	*****	

表 2-12 資料記憶體列表

HY17S58 Emulate Chip User' Guide

Embedded ΣADC
8-Bit RISC-like Mixed Signal Microcontroller



"r"no use,""read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1
"\$"for event status,"u"unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W	
03Ah	CSFCN0	SKRST	HAOTR[6:0]							..1..
03Bh	CSFCN1	ENSDRV	-	-	BOR_TH[2:0]		BORS	ENBOR2		...0 0011	uuuu uuuu	
03Eh	WDTCN	ENBZ	BZS	BZ[1:0]		ENWDT	DWDWT[2:0]			0000 0000	uuuu \$000	
03Fh	AD1H	ADC1 conversion high byte data register									..00 0000	..uu uuuu
040h	AD1M	ADC1 conversion middle byte data register									0000 0000	uuuu uuuu
041h	AD1L	ADC1 conversion low byte data register									0000 0000	uuuu uuuu
042h	AD1CN0	ENAD1	-	OSR[3:0]			CMFR			000. 0000	uuu. uuuu	
043h	AD1CN1	-	-	VREGN	PGAGN[1:0]		ADGN[2:0]			xxxx xxxx	uuuu uuuu	
044h	AD1CN2	INIS	-	-	-	DCSET[3:0]				xxxx xxxx	uuuu uuuu	
045h	AD1CN3	INP[3:0]			INN[3:0]					xxxx xxxx	uuuu uuuu	
046h	AD1CN4	VRH[1:0]	VRL[1:0]	INX[1:0]	VRIS	INIS				0000 0000	uuuu uuuu	
047h	AD1CN5	ENACM	-	VCMS	LDOPL	-	TPSCP	ENTPS	TPSCH	0000 0000	uuuu uuuu	
048h	LVDCN	-	-	PWRS	LVDS[3:0]			LVDO		0000 0000	uuuu uuuu	
049h	TMA1CN	ENTMA1	TMAA1	TMAS1	DTMA1[2:0]		-			0000 00.0	u0uu uu.u	*rw 1.....*	
04Ah	TMA1R	TMA1 counter Register									0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0,rw0,rw0,rw0,rw0
04Bh	TMA1C	TMA1C counter Register									0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0,rw0,rw0,rw0,rw0
04Ch	TB1Flag	-	PWM7A	PWM6A	PWM5A	PWM4A	PWM3A	PWM2A	PWM1A	.000 0000	.uuu uuuu	
04Dh	TB1CN0	ENTB1	TB1M[1:0]		TB1RT[1:0]		TB1CL	PWMO1	PWMO0	0000 0000	uuuu u0uu	
04Eh	TB1CN1	PA1IV	PWMA1[2:0]		PA0IV	PWMA0[2:0]				0000 0000	uuuu uuuu	
04Fh	TB1RH	TimerB1 counter Register [15:8]									xxxx xxxx	uuuu uuuu
050h	TB1RL	TimerB1 counter Register [7:0]									xxxx xxxx	uuuu uuuu
051h	TB1C0H	TimerB1 counter Condition Register [15:8]									xxxx xxxx	uuuu uuuu
052h	TB1C0L	TimerB1 counter Condition Register [7:0]									xxxx xxxx	uuuu uuuu
053h	TB1C1H	TimerB1 counter Condition Register [15:8]									xxxx xxxx	uuuu uuuu
054h	TB1C1L	TimerB1 counter Condition Register [7:0]									xxxx xxxx	uuuu uuuu
055h	TB1C2H	TimerB1 counter Condition Register [15:8]									xxxx xxxx	uuuu uuuu
056h	TB1C2L	TimerB1 counter Condition Register [7:0]									xxxx xxxx	uuuu uuuu
057h	TC1CN0	TC1S[1:0]				CP1P	CP1P	TCEN		0000 0000	uuuu uuuu	uuuu uuuu	
058h	TC1CN1	CP1R	CPSS	CP1S[1:0]		CP1PS[3:0]				0000 0000	uuuu uuuu	uuuu uuuu	
059h	TC1R0H	Capture 0 High Byte Data Register									xxxx xxxx	uuuu uuuu	uuuu uuuu
05Ah	TC1R0L	Capture 0 Low Byte Data Register									xxxx xxxx	uuuu uuuu	uuuu uuuu
05Bh	TC1R1H	Capture 1 High Byte Data Register									xxxx xxxx	uuuu uuuu	uuuu uuuu
05Ch	TC1R1L	Capture 1 Low Byte Data Register									xxxx xxxx	uuuu uuuu	uuuu uuuu
05Dh	PT1	-	-	-	-	-	PT1.2	-	PT1.0	xxxx xxxx	xxxx xxxx	
05Eh	TRISC1	-	-	-	-	-	TC1.2	-	TC1.0	0000 0000	uuuu uuuu	
05Fh	PT1DA	-	-	-	-	-	DA1.2	-	DA1.0	1111 1111	uuuu uuuu	
060h	PT1PU	-	-	-	-	-	PU1.2	-	PU1.0	0000 0000	uuuu uuuu	
061h	PT1M1	-	-	-	-	-	INTEG0[1:0]			0000 0000	uuuu uuuu	
063h	PT1INT	-	-	-	-	-	INTEG2	-	-	0000 0000	uuuu uuuu	
064h	PT2	-	-	-	-	PT2.3	PT2.2	PT2.1	PT2.0	0000 0000	uuuu uuuu	
065h	TRISC2	-	-	-	-	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	uuuu uuuu	
066h	PT2DA	-	-	-	-	DA2.3	DA2.2	DA2.1	DA2.0	1111 1111	uuuu uuuu	
067h	PT2PU	-	-	-	-	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	uuuu uuuu	
06Ah	PT2INT	-	-	-	-	INTG2.3	INTG2.2	INTG2.1	INTG2.0	0000 0000	uuuu uuuu	
06Bh	PT2INTE	-	-	-	-	INTE2.3	INTE2.2	INTE2.1	INTE2.0	0000 0000	uuuu uuuu	
06Ch	PT2INTF	-	-	-	-	INTF2.3	INTF2.2	INTF2.1	INTF2.0	0000 0000	uuuu uuuu	
06Dh	PT4	PT4.7	PT4.6	PT4.5	PT4.4	-	-	-	-	xxxx xxxx	xxxx xxxx	
06Fh	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	-	-	-	-	1111 0000	uuuu uuuu	
070h	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	-	-	-	-	0000 0000	uuuu uuuu	
073h	PT4INT	INTG4.7	INTG4.6	INTG4.5	INTG4.4	-	-	-	-	0000 0000	uuuu uuuu	
074h	PT4INTE	INTE4.7	INTE4.6	INTE4.5	INTE4.4	-	-	-	-	0000 0000	uuuu uuuu	
075h	PT4INTF	INTF4.7	INTF4.6	INTF4.5	INTF4.4	-	-	-	-	0000 0000	uuuu uuuu	
076h	PT12	PT12.7	PT12.6	PT12.5	PT12.4	PT12.3	PT12.2	PT12.1	PT12.0	xxxx xxxx	uuuu uuuu	
077h	TRISC12	TC12.7	TC12.6	TC12.5	TC12.4	TC12.3	TC12.2	TC12.1	TC12.0	0000 0000	uuuu uuuu	
078h	PT12DA	DA12.7	DA12.6	DA12.5	DA12.4	DA12.3	DA12.2	DA12.1	DA12.0	1111 1111	uuuu uuuu	
079h	PT12PU	PU12.7	PU12.6	PU12.5	PU12.4	PU12.3	PU12.2	PU12.1	PU12.0	0000 0000	uuuu uuuu	

表 2-13 資料記憶體列表

HY17S58 Emulate Chip User' Guide

Embedded ΣADC
8-Bit RISC-like Mixed Signal Microcontroller



“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
“\$”for event status,“-”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
07Ah	TMA2CN	ENTMA2	TMA2CL2	TMA2S	DTMA2[2:0]			-	-	0000 00..	u0uu uu..	*,rw1,*,*,*,*,-
07Bh	TMA2R	TMA2 counter Register								0000 0000	uuuu uuuu	w0,rw0,rw0,rw0,rw0,rw0,rw0,rw0
07Ch	TMA2C	TMA2C counter Register								0000 0000	uuuu uuuu	w0,rw0,rw0,rw0,rw0,rw0,rw0,rw0
07Dh	SSPCN0	ENSSP	CKP	CKE	SMP	-	-	SSPM[1:0]		0000 ..00	uuuu ..uu	****,*,*,*
07Eh	SSPSTA0	SSPBY	SSPOV	-	-	-	-	-	BF	00.. ..0	uu.. ..u	*,*,*,*,*,*
07Fh	SSPBUF0	SSP Receive/Transmit Buffer Register								xxxx xxxx	uuuu uuuu	*****
180h	CFG0	-	-	-	-	-	GCRst	ENI2CT	ENI2C	0000 0000uuu	-,*,*,*,*,*
181h	ACT0	SLAVE	-	-	I2CER	START	STOP	I2CINT	ACK	0000 0000	uuuu uuuu	*****
182h	STA0	MACTF	SACTF	RDBF	RWF	DF	ACKF	GCF	ARBF	0001 0000	uuuu uuuu	*****
183h	CRG0	CRG[7:0]								0000 0000	uuuu uuuu	*****
184h	TOC0	I2CTF	DI2C[2:0]			I2CTL[3:0]				0000 0000	uuuu uuuu	*****
185h	RDB0	RDB[7:1]							RDB[0]	xxxx xxxx	uuuu uuuu	*****
186h	TDB0	TDB[7:1]							TDB[0]	xxxx xxxx	uuuu uuuu	*****
187h	SID0	SID0[7:1],The corresponding address of the 7-bit mode							SID0V[0]	0000 0000	uuuu uuuu	*****
188h	CFG2	-	-	-	-	-	GCRst	ENI2CT	ENI2C	0000 0000uuu	-,*,*,*,*,*
189h	ACT2	SLAVE	-	-	I2CER	START	STOP	I2CINT	ACK	0000 0000	uuuu uuuu	*****
18Ah	STA2	MACTF	SACTF	RDBF	RWF	DF	ACKF	GCF	ARBF	0001 0000	uuuu uuuu	*****
18Bh	CRG2	CRG[7:0]								0000 0000	uuuu uuuu	*****
18Ch	TOC2	I2CTF	DI2C[2:0]			I2CTL[3:0]				0000 0000	uuuu uuuu	*****
18Dh	RDB2	RDB[7:1]							RDB[0]	xxxx xxxx	uuuu uuuu	*****
18Eh	TDB2	TDB[7:1]							TDB[0]	xxxx xxxx	uuuu uuuu	*****
18Fh	SID2	SID0[7:1],The corresponding address of the 7-bit mode							SID0V[0]	0000 0000	uuuu uuuu	*****
190h	UR0CN	ENSP	ENTX	TX9	TX9D	PARITY	-	-	WUE	0000 0..0	uuuu u..u	****,*,*,*
191h	UR0STA	-	RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0010	.uuu uuuu	-,r,r,r,r,r,r,w0
192h	BA0CN	-	-	-	-	ENCR	RC9	ENADD	ENABD 0000 uuuu	-,*,*,*,*,*
193h	BG0RH	-	-	-	Baud Rate Generator Register High Byte				...x xxxx	...u uuuu	-,*,*,*,*,*	
194h	BG0RL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	*****
195h	TX0R	UART Transmit Register								xxxx xxxx	uuuu uuuu	*****
196h	RC0REG	UART Receive Register								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
197h	UR2CN	ENSP2	ENTX2	TX92	TX9D2	PARITY2	-	-	WUE2	0000 0..0	uuuu u..u	****,*,*,*
198h	UR2STA	-	RC9D2	PERR2	FERR2	OERR2	RCIDL2	TRMT2	ABDOVF2	.000 0010	.uuu uuuu	-,r,r,r,r,r,r,w0
199h	BA2CN	-	-	-	-	ENCR2	RC92	ENADD2	ENABD2 0000 uuuu	-,*,*,*,*,*
19Ah	BG2RH	-	-	-	Baud Rate Generator Register High Byte				...x xxxx	...u uuuu	-,*,*,*,*,*	
19Bh	BG2RL	Baud Rate2 Generator Register Low Byte								xxxx xxxx	uuuu uuuu	*****
19Ch	TX2R	UART2 Transmit Register								xxxx xxxx	uuuu uuuu	*****
19Dh	RC2REG	UART2 Receive Register								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
19Eh	CCNT	-	-	-	-	CCLevel[2:0]			xxxx x000	uuuu uuuu	*****	
19Fh	ENCCMode	ENCC7	ENCC6	ENCC5	ENCC4	ENCC3	ENCC2	ENCC1	ENCC0	0000 0000	uuuu uuuu	*****
1B0h	PT1AIE	-	-	-	-	-	AIE12	-	-	uuuu u0u0	uuuu u0u0	*****
1B3h	PT4AIE	AIE47	AIE46	AIE45	AIE44	-	-	-	-	0000 uuuu	0000 uuuu	*****
080h ~ 0FFh	SRAM as 128Byte								uuuu uuuu	uuuu uuuu	*****	
100h ~ 17Fh	SRAM as 128Byte								uuuu uuuu	uuuu uuuu	*****	
200h ~ 2FFh	SRAM as 256Byte								uuuu uuuu	uuuu uuuu	*****	

表 2-14 資料記憶體列表

HY17S58 Emulate Chip User' Guide

Embedded ΣADC
8-Bit RISC-like Mixed Signal Microcontroller



2.2.3.5. HY17P51 資料記憶體

“.”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
000h	INDF0	Contents of FSR0 to address data memory value of FSR0 not changed								xxxx xxxx	uuuu uuuu	***** r r r
001h	POINC0	Contents of FSR0 to address data memory value of FSR0 post-incremented								xxxx xxxx	uuuu uuuu	***** r r r
002h	PODEC0	Contents of FSR0 to address data memory value of FSR0 post-decremented								xxxx xxxx	uuuu uuuu	***** r r r
003h	PRINC0	Contents of FSR0 to address data memory value of FSR0 pre-incremented								xxxx xxxx	uuuu uuuu	***** r r r
004h	PLUSW0	Contents of FSR0 to address data memory value of FSR0 offset by W								xxxx xxxx	uuuu uuuu	***** r r r
005h	INDF1	Contents of FSR1 to address data memory value of FSR1 not changed								xxxx xxxx	uuuu uuuu	***** r r r
006h	POINC1	Contents of FSR1 to address data memory value of FSR1 post-incremented								xxxx xxxx	uuuu uuuu	***** r r r
007h	PODEC1	Contents of FSR1 to address data memory value of FSR1 post-decremented								xxxx xxxx	uuuu uuuu	***** r r r
008h	PRINC1	Contents of FSR1 to address data memory value of FSR1 pre-incremented								xxxx xxxx	uuuu uuuu	***** r r r
009h	PLUSW1	Contents of FSR1 to address data memory value of FSR1 offset by W								xxxx xxxx	uuuu uuuu	***** r r r
00Ah	INDF2	Contents of FSR2 to address data memory value of FSR2 not changed								xxxx xxxx	uuuu uuuu	***** r r r
00Bh	POINC2	Contents of FSR2 to address data memory value of FSR2 post-incremented								xxxx xxxx	uuuu uuuu	***** r r r
00Ch	PODEC2	Contents of FSR2 to address data memory value of FSR2 post-decremented								xxxx xxxx	uuuu uuuu	***** r r r
00Dh	PRINC2	Contents of FSR2 to address data memory value of FSR2 pre-incremented								xxxx xxxx	uuuu uuuu	***** r r r
00Eh	PLUSW2	Contents of FSR2 to address data memory value of FSR2 offset by W								xxxx xxxx	uuuu uuuu	***** r r r
00Fh	FSROH	-	-	-	-	-	-	-	FSR0[8]xu* r r r
010h	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	uuuu uuuu	***** r r r
011h	FSR1H	-	-	-	-	-	-	-	FSR1[8]xu* r r r
012h	FSR1L	Indirect Data Memory Address Pointer 0 Low Byte,FSR1[7:0]								xxxx xxxx	uuuu uuuu	***** r r r
016h	TOSH	-	-	-	-	TOS[11:8]		xxxxuuuu* r r r	
017h	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								xxxx xxxx	uuuu uuuu	***** r r r
018h	SKCN	SKFL	SKUN	SKOV	-	SKPRT[3:0]			000.0000	u\$\$.\$\$\$	rw 0,rw 0,rw 0,-***	
01Ah	PCLATH	-	-	-	-	PC[11:8]		00000000* r r r	
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000	***** r r r
01Dh	TBLPTRH	-	-	-	-	TBLPTR11:8]		xxxxuuuu* r r r	
01Eh	TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								xxxx xxxx	uuuu uuuu	***** r r r
01Fh	TBLDH	Program Memory Table Latch High Byte								xxxx xxxx	uuuu uuuu	***** r r r
020h	TBLDL	Program Memory Table Latch Low Byte								xxxx xxxx	uuuu uuuu	***** r r r
021h	PRODH	Product Register of Multiply High Byte								xxxx xxxx	uuuu uuuu	***** r r r
022h	PRODL	Product Register of Multiply Low Byte								xxxx xxxx	uuuu uuuu	***** r r r
023h	INTE0	GIE	TA1CIE	ADIE	WDTIE	-	-	E1IE	E0IE	0000 0000	0uuu uuuu	***** r r r
024h	INTE1	TA1IE	-	TXIE	RCIE	-	-	-	-	0000 0000	uuuu uuuu	***** r r r
026h	INTF0	-	TA1CIF	ADIF	WDTIF	-	-	E1IF	E0IF	.000 0000	.uuu uuuu	***** r r r
027h	INTF1	TA1IF	-	TXIF	RCIF	-	-	-	-	0000 0000	uuuu uuuu	***** r r r
029h	WREG	Working Register								xxxx xxxx	uuuu uuuu	***** r r r
02Ah	BSRCN	-	-	-	-	-	-	-	BSR[0]xu* r r r
02Bh	MSTAT	-	-	-	C	DC	N	OV	Z	...x xxxx	...u uuuu* r r r
02Ch	PSTAT	BOR	PD	TO	IDL	RST	SKERR	-	-	\$000 \$0..	uu\$u u\$..	rw0,rw0,rw0,rw0,rw0,-,-
02Eh	BIECN	1	-	-	ENBVD	VPPHV	ENBCP	BIEWR	BIERD	1.00 \$000	1.00 \$uuu	r1,* r1,*
02Fh	BIEARH	-	-	1	1	1	1	1	1	0.xx xxxx	u.uu uuuu	***** r r r
030h	BIEARL	BIE Address Register as BIEAL[5:0]								xxxx xxxx	uuuu uuuu	***** r r r
031h	BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu	***** r r r
032h	BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu	***** r r r
033h	PWRCN	ENBGR	LDOC[2:0]		LDOM[1:0]		ENLDO	CSFON		1000 0000	uuuu uu0u	***** r r r
034h	OSCCN0	-	OSCS[0]	DHS[1:0]	DMS[2:0]		CUPS		0000 0000	uuuu uuuu	***** r r r	
035h	OSCCN1	CCOPT	-	DADC[1:0]	-	-	-	LCDS	0000 0000	uuuu uuuu	***** r r r	
036h	OSCCN2	DLCD[1:0]	-	-	-	HAOM[1:0]		ENHAO	0000 0011	uuuu uu11	***** r r r	
037h	CSFCN0	SKRST	HAOTR[6:0]						.1.* r r r	
038h	CSFCN1	ENSDRV	-	-	-	-	-	-	uuuu uuuu	***** r r r	
039h	WDTCN	ENBZ	BZS	BZ[1:0]		ENWDT	DWDWT[2:0]		0000 0000	uuuu \$000* r r r	
03Ah	AD1H	ADC1 conversion high byte data register								..00 0000	..uu uuuu* r r r
03Bh	AD1M	ADC1 conversion middle byte data register								0000 0000	uuuu uuuu	***** r r r
03Ch	AD1L	ADC1 conversion low byte data register								0000 0000	uuuu uuuu	***** r r r

表 2-15 資料記憶體列表

HY17S58 Emulate Chip User' Guide

Embedded ΣADC
8-Bit RISC-like Mixed Signal Microcontroller



“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
“\$”for event status,“?”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	R/W
03Dh	AD1CN0	ENAD1	OSR[3:0]			CMFR				0000 0000	uuuu uuuu	***** r r r r
03Eh	AD1CN1	-	VREGN	PGAGN[1:0]		ADGN[2:0]			xxxx xxxx	uuuu uuuu	***** r r r r	
03Fh	AD1CN2	INIS1	-	-	CHFlag	DCSET[3:0]			xxxx xxxx	uuuu uuuu	***** r r r r	
040h	AD1CN3	INP[3:0]			INN[3:0]				xxxx xxxx	uuuu uuuu	***** r r r r	
041h	AD1CN4	VRH[1:0]		VRL[1:0]		INX[1:0]		VRIS	INIS	0000 0000	uuuu uuuu	***** r r r r
042h	AD1CN5	ENACM	-	VCMS	LDOPL	-	ENTPS	TPSCH		0000 0000	uuuu uuuu	***** r r r r
043h	LVDCN	-	-	PWRS	LVDS[3:0]			LVDO		0000 0000	uuuu uuuu	***** r r r r
044h	TMA1CN	ENTMA1	TMACL1	TMAS1	DTMA1[2:0]		-			0000 0000	u0uu uuuu	*,rw 1,*****
045h	TMA1R	TMA 1 counter Register								0000 0000	uuuu uuuu	rw0, rw0, rw0, rw0 rw0, rw0, rw0, rw0
046h	TMA1C	TMA 1C counter Register								0000 0000	uuuu uuuu	rw0, rw0, rw0, rw0 rw0, rw0, rw0, rw0
047h	PT1	-	-	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	xxxx xxxx	***** r r r r
048h	TRISC1	-	-	TC1.5	TC1.4	TC1.3	TC1.2	TC1.1	TC1.0	xx00 0000	uuuu uuuu	***** r r r r
049h	PT1DA	-	-	-	-	-	DA1.2	-	-	xxxx x0xx	uuuu uuuu	***** r r r r
04Ah	PT1PU	-	-	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	xx11 1111	uuuu uuuu	***** r r r r
04Bh	PT1M1	-	-	-	-	INTEG1[1:0]		INTEG0[1:0]		0000 0000	uuuu uuuu	***** r r r r
04Ch	PT8	-	-	-	-	-	-	PT8.1	PT8.0	xxxx xxxx	uuuu uuuu	***** r r r r
04Dh	TRISC8	-	-	-	-	-	-	TC8.1	TC8.0	xxxx xx00	uuuu uuuu	***** r r r r
04Eh	PT8DA	-	-	-	-	-	-	DA8.1	DA8.0	xxxx xx00	uuuu uuuu	***** r r r r
04Fh	PT8PU	-	-	-	-	-	-	P8.1	P8.0	xxxx xx11	uuuu uuuu	***** r r r r
050h	UR0CN	ENSP	ENTX	TX9	TX9D	PARITY	-	-	WUE	0000 0..0	uuuu u..u	***** r r r r
051h	UR0STA	-	RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0010	.uuu uuuu	-,r,r,r,r,r,r,rw 0
052h	BA0CN	-	-	-	-	ENCR	RC9	ENADD	ENABD 0000 uuuu	-,-,-,-,***** r r r r
053h	BG0RH	-	-	-	Baud Rate Generator Register High Byte				...x xxxx	...u uuuu	-,-,-,-,***** r r r r	
054h	BG0RL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	***** r r r r
055h	TX0R	UART Transmit Register								xxxx xxxx	uuuu uuuu	***** r r r r
056h	RC0REG	UART Receive Register								xxxx xxxx	uuuu uuuu	***** r r r r
057h	LCDCN1	ENLCP	LCDV[2:0]			ENLB	SELPCLK	-	-	0000 0000	uuuu uuuu	***** r r r r
058h	LCDCN2	-	-	-	-	-	-	LCDBL	LCI00uu	***** r r r r
059h	LCDCN3	SCM3[1:0]		SCM2[1:0]		SCM1[1:0]		SCM0[1:0]		1111 1111	uuuu uuuu	***** r r r r
05Ah	LCDCN4	-	-	-	-	-	-	SSG15	SSG14	0000 0000	uuuu uuuu	***** r r r r
05Bh	LCD0	LCD SEG3[4:7] data			LCD SEG2[3:0] data				xxxx xxxx	uuuu uuuu	***** r r r r	
05Ch	LCD1	LCD SEG5[4:7] data			LCD SEG4[3:0] data				xxxx xxxx	uuuu uuuu	***** r r r r	
05Dh	LCD2	LCD SEG7[4:7] data			LCD SEG6[3:0] data				xxxx xxxx	uuuu uuuu	***** r r r r	
05Eh	LCD3	LCD SEG9[4:7] data			LCD SEG8[3:0] data				xxxx xxxx	uuuu uuuu	***** r r r r	
05Fh	LCD4	LCD SEG11[4:7] data			LCD SEG10[3:0] data				xxxx xxxx	uuuu uuuu	***** r r r r	
060h	LCD5	LCD SEG13[4:7] data			LCD SEG12[3:0] data				xxxx xxxx	uuuu uuuu	***** r r r r	
061h	LCD6	LCD SEG15[4:7] data			LCD SEG14[3:0] data				xxxx xxxx	uuuu uuuu	***** r r r r	
080h ~ 17Fh	SRAM as 256Byte									uuuu uuuu	uuuu uuuu	***** r r r r

表 2-5 資料記憶體列表(續)

3. 震盪器、時脈源與功耗管理

HY17P 系列具有 HAO、LPO 兩個時脈源，如 表 3-1。透過時脈控制器暫存器的設置可彈性的分配與管理 CPU 與週邊工作頻率，更能適當調整晶片消耗功率達到節約能源的目的。

時脈控制暫存器摘要：

OSCCN0 OSCS[1:0], DHS[1:0], DMS[2:0], CUPS

OSCCN1 LCPS, DADC[1:0], DTMB[1:0], TMBS, LCDS

OSCCN2 DLCD[1:0], ENXT, XTS[1:0], HAOM[1:0], ENHAO

符號	頻率	頻率源控制器 CLKCN[7:0]配置		指令執行狀態	
		ENHAO	HAOM[1:0]	SLP	IDLE
HAO	1.843MHz	1	00	停止	震盪
	3.686MHz	1	01	停止	震盪
	-	1	10	停止	震盪
	7.834MHz	1	11	停止	震盪
LPO	14.5KHz	晶片上電後即起振		停止	震盪

表 3-1 內部 RC 震盪器參數、頻率控制器配置與指令狀態

3.1. 震盪器

3.1.1. HAO 震盪器

HAO 為內部高速 RC 震盪器，典型輸出頻率為 1.843~7.834MHz。

HY17P 系列產品在 CPU 使用其他的震盪器作為工作時脈源時，可透過 ENHAO 設置<0>將 HAO 震盪器關閉。

3.1.2. LPO 震盪器

LPO 為內部低速 RC 震盪器，典型的輸出頻率為 14.5KHz。主要應用於低速省電的 CPU 工作模式時脈源。

HY17P 系列產品在執行 Sleep 指令後 LPO 震盪器會被關閉，而當晶片被喚醒時 LPO 將自動開啟振盪器。

3.2. CPU 及週邊電路時脈源

3.2.1. 時脈源分配

兩組震盪器輸出(HS_CK、LS_CK)會先經過前置工作時脈分配器進行啟用/停止、切換與預先除頻後再進入晶片的 CPU 與各週邊電路。如圖 3-1 所示。

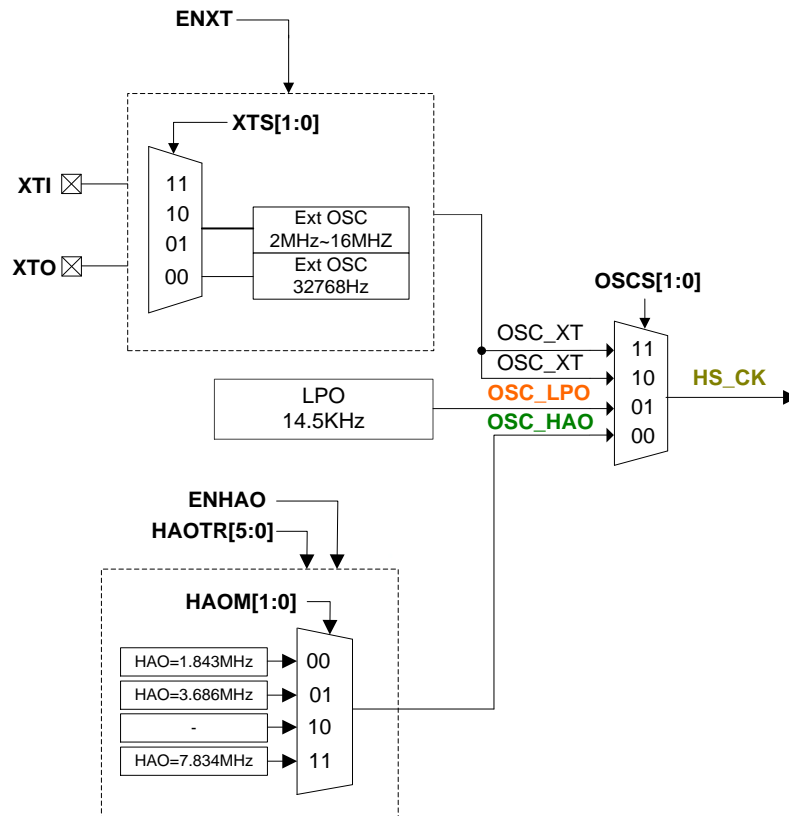


圖 3-1 前置工作時脈分配器

3.2.2. CPU 時脈源

CPU 有多種工作頻率可以選擇，透過 CPUS 可選擇工作頻率來自 HS_CK 或 DHS_CK。

指令工作頻率則採 1/4 的 CPU_CK 設計且分頻出 INTR_CK 的頻率源。

- 操作 Σ ADC 時，建議 CPU 使用 HS_CK 後分頻當工作頻率，以得到較佳的性能。
- 當 CPU_CK 的頻率與指令執行週期，如表如圖 3-2。表 3-2 簡略列出 CPU 工作頻率與指令週期的關係。

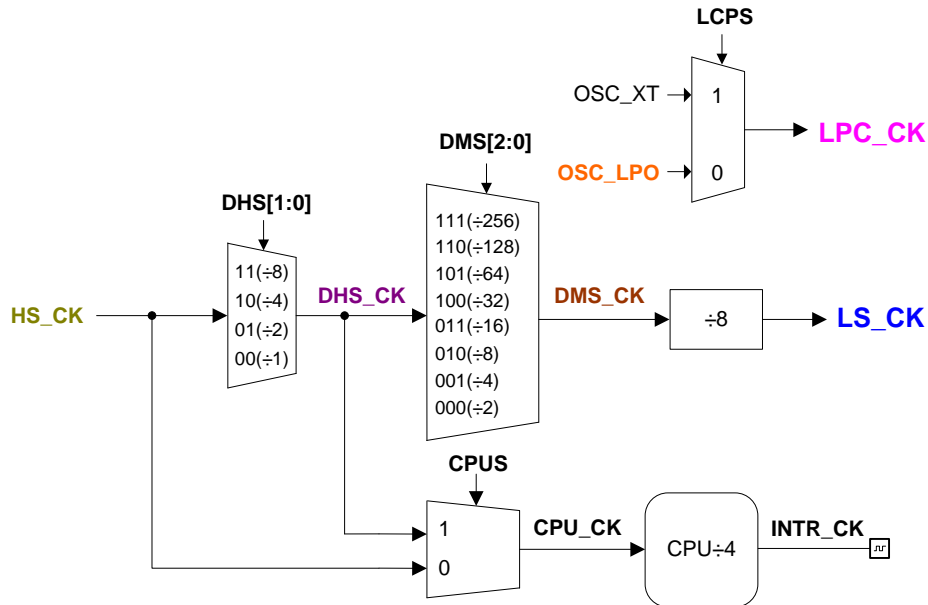


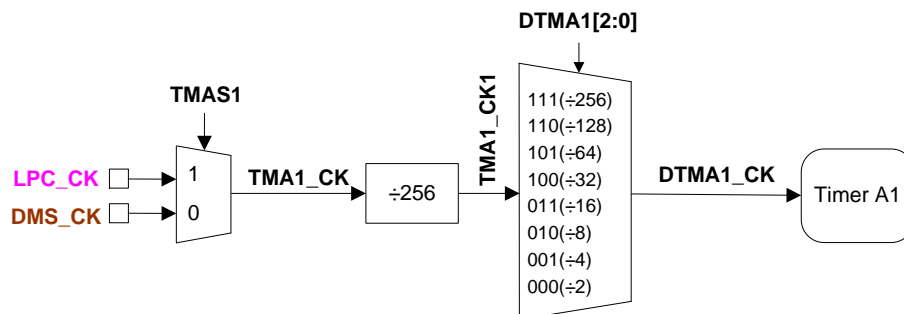
圖 3-2 CPU 與週邊工作時脈

CPU_CK \ 工作頻率	CPU		指令	
	頻率	頻率	週期	
7.834MHZ	7.834MHZ	1.96MHZ	0.51us	
3.686MHZ	3.686MHZ	0.92MHZ	1.08us	
1.843MHZ	1.843MHZ	0.46MHZ	2.17us	
32.768KHZ	32.768KHZ	16.384KHZ	122.07us	
14.5KHZ	14.5KHZ	3.625KHZ	275.86us	

表 3-2 CPU 工作頻率與指令執行週期

3.2.3. CPU 周邊電路時脈源

HY17P 系列週邊電路的工作時脈係由不同的分配控制器與預除頻器進行配置，該配置將於各週邊單元作詳細說明故於此只附上週邊工作時脈配置圖，如圖 3-3。



HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

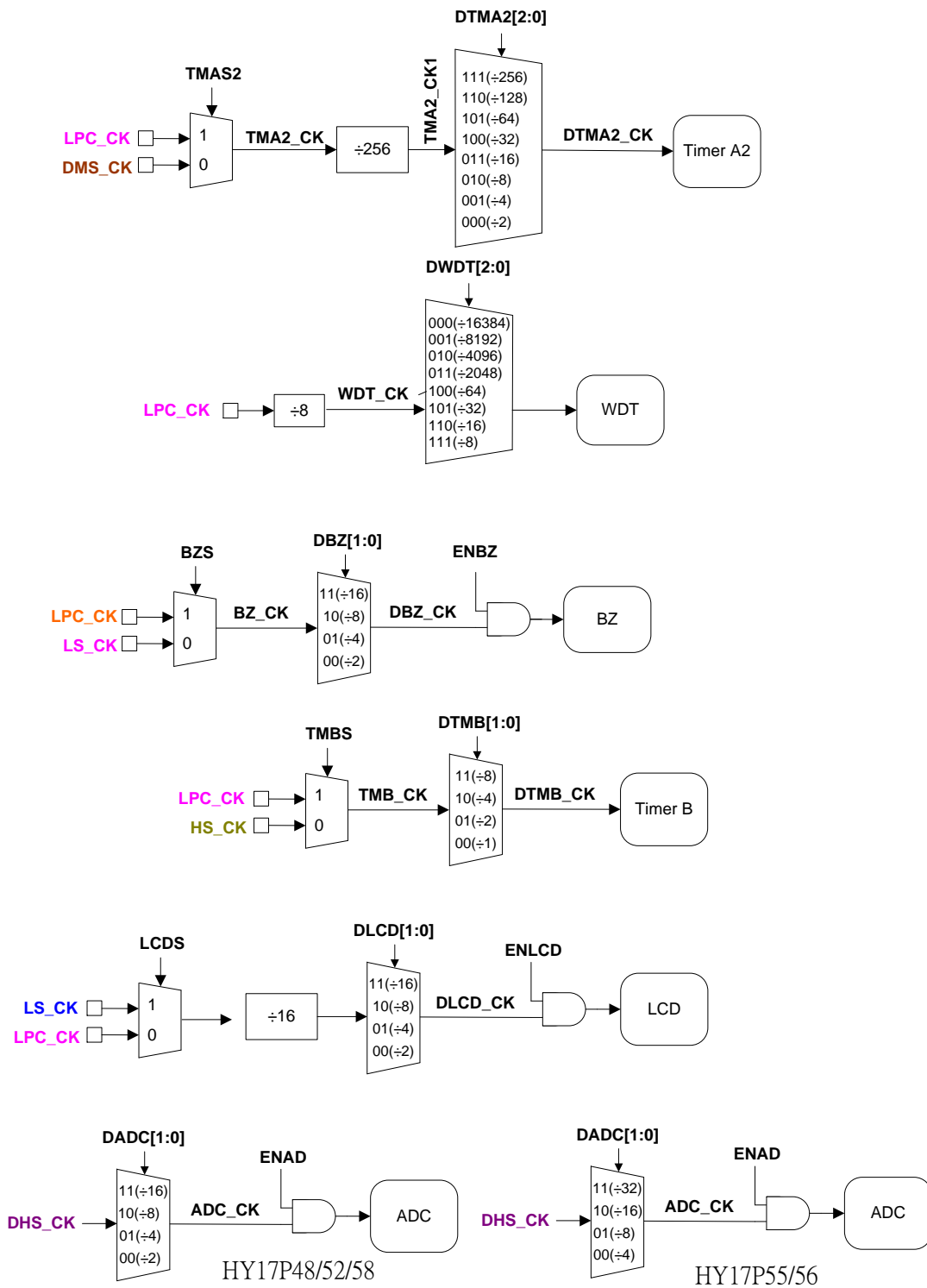


圖 3-3 週邊工作時脈配置圖

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

3.3. 暫存器說明-工作時脈源控制器

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
PWRCN								CSFON	0000 0000	uuuu u00u	*,*,*,*,wr0,wr0,*
OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]			CUPS	0000 0000	uuuu uuuu	*,*,*,*,*,*
OSCCN1		LCPS	DADC[1:0]		DTMB[1:0]		TMBS	LCDS	0000 0000	uuuu uuu.	*,*,*,*,*,-
OSCCN2	DLCD[1:0]		ENXT	XTS[1:0]		HAOM[1:0]		ENHAO	0000 0011	uuuu uu11	*,*,*,*,*,*,f
CSFCN0			HAOTR[5:0]					0u	.,.,.,.,.,.,*

表 3-3 工作時脈源控制暫存器

OSCCN0[7:0] : 晶片工作頻率控制暫存器

位元	名稱	描述
Bit7~6	OSCS[1:0]	HS_CK 的頻率選擇器 <00>OSC_HAO <01>OSC_LPO <10> OSC_XT <11>OSC_XT
Bit5~4	DHS[1:0]	DHS_CK 的頻器分配選擇器 <00>HS_CK ÷ 1 <01>HS_CK ÷ 2 <10>HS_CK ÷ 4 <11>HS_CK ÷ 8
Bit3~1	DMS[2:0]	DMS_CK 的頻器分配選擇器 <000>DHS_CK ÷ 2 <001>DHS_CK ÷ 4 <010>DHS_CK ÷ 8 <011>DHS_CK ÷ 16 <100>DHS_CK ÷ 32 <101>DHS_CK ÷ 64 <110>DHS_CK ÷ 128 <111>DHS_CK ÷ 256
Bit0	CUPS	CPU_CK 的頻率選擇器 <0>HS_CK <1>DHS_CK

OSCCN1[7:0] : 晶片工作頻率控制暫存器

位元	名稱	描述
Bit6	LCPS	LPC_CK 的頻率擇器 <0>OSC_LPO <1>OSC_XT

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



位元	名稱	描述																								
Bit5~4	DADC[1:0]	ADC_CK 的頻率分配選擇器 <table border="1"> <thead> <tr> <th colspan="2">HY17P48/52/58</th> <th colspan="2">HY17P55/56</th> </tr> <tr> <th>DADC[1:0]</th> <th>Pre-scale</th> <th>DADC[1:0]</th> <th>Pre-scale</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>DHS_CK le2</td> <td>00</td> <td>DHS_CK le4</td> </tr> <tr> <td>01</td> <td>DHS_CK le4</td> <td>01</td> <td>DHS_CK le8</td> </tr> <tr> <td>10</td> <td>DHS_CK le8</td> <td>10</td> <td>DHS_CK le16</td> </tr> <tr> <td>11</td> <td>DHS_CK le16</td> <td>11</td> <td>DHS_CK le32</td> </tr> </tbody> </table>	HY17P48/52/58		HY17P55/56		DADC[1:0]	Pre-scale	DADC[1:0]	Pre-scale	00	DHS_CK le2	00	DHS_CK le4	01	DHS_CK le4	01	DHS_CK le8	10	DHS_CK le8	10	DHS_CK le16	11	DHS_CK le16	11	DHS_CK le32
HY17P48/52/58		HY17P55/56																								
DADC[1:0]	Pre-scale	DADC[1:0]	Pre-scale																							
00	DHS_CK le2	00	DHS_CK le4																							
01	DHS_CK le4	01	DHS_CK le8																							
10	DHS_CK le8	10	DHS_CK le16																							
11	DHS_CK le16	11	DHS_CK le32																							
Bit3~2	DTMB[1:0]	DTMB_CK 的頻率分配選擇器 <table border="1"> <thead> <tr> <th>DTMB[1:0]</th> <th>Pre-scale</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>TMB_CK ÷ 1</td> </tr> <tr> <td>01</td> <td>TMB_CK ÷ 2</td> </tr> <tr> <td>10</td> <td>TMB_CK ÷ 4</td> </tr> <tr> <td>11</td> <td>TMB_CK ÷ 8</td> </tr> </tbody> </table>	DTMB[1:0]	Pre-scale	00	TMB_CK ÷ 1	01	TMB_CK ÷ 2	10	TMB_CK ÷ 4	11	TMB_CK ÷ 8														
DTMB[1:0]	Pre-scale																									
00	TMB_CK ÷ 1																									
01	TMB_CK ÷ 2																									
10	TMB_CK ÷ 4																									
11	TMB_CK ÷ 8																									
Bit1	TMBS	TMB_CK 的頻率選擇器 <0>HS_CK <1>LPC_CK																								
Bit0	LCDS	LCD_CK 選擇控制制器。 <0> LPC_CK <1> LS_CK																								

OSCCN2[7:0]：晶片工作頻率控制暫存器

位元	名稱	描述										
Bit7~6	DLCD[1:0]	DLCD_CK 頻率分配控制器 注意：在 LCD Mode 時候 DLCD 為除頻分配控制器 <table border="1"> <thead> <tr> <th>DLCD[1:0]</th> <th>Pre-scale</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>LCD_CK le2</td> </tr> <tr> <td>01</td> <td>LCD_CK le4</td> </tr> <tr> <td>10</td> <td>LCD_CK le8</td> </tr> <tr> <td>11</td> <td>LCD_CK le16</td> </tr> </tbody> </table>	DLCD[1:0]	Pre-scale	00	LCD_CK le2	01	LCD_CK le4	10	LCD_CK le8	11	LCD_CK le16
DLCD[1:0]	Pre-scale											
00	LCD_CK le2											
01	LCD_CK le4											
10	LCD_CK le8											
11	LCD_CK le16											
Bit5	ENXT	外部震盪器 XT 啟用控制制器 <0>關閉外部 XT 震盪器 <1>啟用外部 XT 震盪器										

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



位元	名稱	描述										
Bit4~3	XTS[1:0]	外部震盪器震盪頻率選擇器 <table border="1"> <thead> <tr> <th>XTS[1:0]</th> <th>外部震盪器頻率範圍</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>~ 32768Hz(正常驅動)</td> </tr> <tr> <td>01</td> <td>~ 32768Hz(加強驅動電流)</td> </tr> <tr> <td>10</td> <td>2M (low power)</td> </tr> <tr> <td>11</td> <td>2~ 16MHz</td> </tr> </tbody> </table>	XTS[1:0]	外部震盪器頻率範圍	00	~ 32768Hz(正常驅動)	01	~ 32768Hz(加強驅動電流)	10	2M (low power)	11	2~ 16MHz
XTS[1:0]	外部震盪器頻率範圍											
00	~ 32768Hz(正常驅動)											
01	~ 32768Hz(加強驅動電流)											
10	2M (low power)											
11	2~ 16MHz											
Bit2~1	HAOM[1:0]	內部震盪器 HAO 震盪頻率選擇器 <table border="1"> <thead> <tr> <th>HAOM[1:0]</th> <th>HAO 震盪頻率</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>1.843 MHz</td> </tr> <tr> <td>01</td> <td>3.686 MHz</td> </tr> <tr> <td>10</td> <td>不可設置</td> </tr> <tr> <td>11</td> <td>7.834 MHz</td> </tr> </tbody> </table>	HAOM[1:0]	HAO 震盪頻率	00	1.843 MHz	01	3.686 MHz	10	不可設置	11	7.834 MHz
HAOM[1:0]	HAO 震盪頻率											
00	1.843 MHz											
01	3.686 MHz											
10	不可設置											
11	7.834 MHz											
Bit0	ENHAO	內部 HAO 啟用控制位 <0> 停止 <1> 啟用										

PWRCN[7:0]線性穩壓器與類比共地控制暫存器

位元	名稱	描述
Bit0	CSFON	CSF(Chip Special Function)啟用寫入控制器 <0> 不啟用 CSF 功能 <1> 啟用 CSF 寫入功能，當使用者需要進行此區控制暫存器設置時，必須將 CSFON[0]設置<1>才能寫入 CSFCN0[7:0]及 CSFCN1[7:0]。

CSFCN0[7:0]特殊控制位暫存器

位元	名稱	描述
Bit6~0	HAOTR	HAO 頻率中心調整控制器 <0000000>調整 34.00%(最大) . <1000000>中心點 0.00% . <1111111>調整 -34%(最小)

3.4. 功號消耗管理與操作狀態

HY17P 系列 CPU 提供三種工作模式讓使用者可以再執行效能與省電得到最佳管理，三種模式分別為運行模式、待機模式(IDLE)、休眠模式(SLEEP)。

3.4.1. 運行模式

運行模式主要只 CPU 依循時脈源處理所有發生的事件，此時晶片所有周邊皆可以正常運作且功率消耗在同時脈下時處於最大的狀態。

3.4.2. 待機模式

待機模式是透過 IDLE 指令進入待機模式中，主要指 CPU 進入節能的狀態即停止運作等待喚醒，並將 PSTAT 暫存器的 IDLEB 旗標置<1>。在此模式下晶片周邊仍正常運作，當周邊產生中斷事件時將會喚醒 CPU。另外，看門狗計數終了產生的信號在此模式下屬於中斷事件而非復位信號。

在待機模式下，CPU 為暫停模式，停在 IDLE 指令下，其內部震盪器均不受影響也未關閉，使用者若為達更節能狀態，需視應用情形，適時關閉周邊或者震盪器等資源。而晶片則必須透過外部中斷源，或者其他周邊資源中斷訊號達到離開待機模式狀態。

在待機模式下，若遇到中斷而離開待機模式時，則需要 2 個指令週期時間才能回到中斷向量 04H 位置。若在待機模式下，CPU 頻率源為內部 LPO，且內部 HAO 被關閉的情況下。而在喚醒之後啟動 HAO 震盪器，則需要 2 個 LPO 指令週期，加上 128 個 HAO 指令周期的起振時間

3.4.3. 休眠模式

休眠模式是透過 SLP 指令進入休眠模式中，主要指晶片處於停止運作狀態 CPU、內部震盪器(HAO 與 LPO)與外部震盪器(XT)將停止工作，週邊使用 HAO、LPO、XT 等相關時脈源亦停止運作並將 PTATUS 復位暫存器的 PD 旗標位元置<1>在此模式下，晶片將處於等待中斷事件進行喚醒，因為部分週邊雖停止運作但其功能仍處於開啟狀態，故為了達到休眠模式晶片功耗處於最低的情況下非用於喚醒晶片的週邊必需做進一步的功能關閉。

在休眠模式前，若 CPU 頻率源為 HAO 頻率源，則在休眠後遇到中斷源而離開休眠模式時，重新啟動 HAO 頻率源則需要 1024 個 HAO 個指令時間。若 CPU 頻率源為 LPO 頻率源，則在休眠後遇到中斷源而離開休眠模式時，重新啟動 LPO 頻率源則需要 1024 個 LPO 指令時間。

4. 復位,RESET

HY17P 系列的復位線路包含以下幾種事件來觸發復位訊號，復位方塊圖如 圖 4-1。

- **BOR** 電源干擾復位。
- **RST** 外部復位輸入引腳。
- **WDT** 看門狗復位。
- **SKERR** 堆疊錯誤復位。(使用者決定)

操作狀態暫存器摘要：

PSTAT POR[0],PD[0],TO[0],IDL[0],SKERR[0],BOR2LV[0],GCRstlF[0]

PWRCN CSFON[0]

CSFCN0 SKRST[0]

CSFCN1 BOR_TH[2:0],BORS[0],ENBOR2[0]

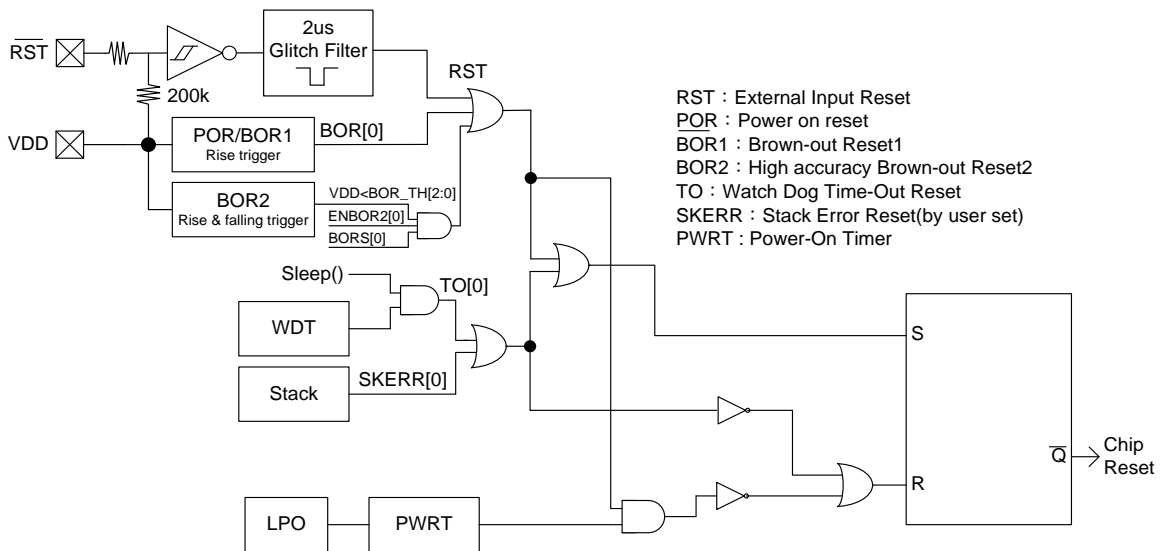


圖 4-1 復位方塊圖

這些復位事件可區分為硬體復位及軟體復位，說明如表 4-1。CPU 經復位後程式由 0x0000h 啟動。

復位種類	事件	符號	說明
硬體復位	BOR	A-RESET	CPU 重新啟動，須等待內部震盪器啟動計數完成後方能進入正常工作狀態。
	RST		
低階復位	WDT	I-RESET	僅清除部分暫存器，CPU 快速回到正常工作狀態。
	SKERR		

表 4-1 復位等級表

4.1. 復位事件說明

4.1.1. BOR 電源干擾復位

當 CPU 在上電過程或電源受外界干擾時，CPU 會由不正常工作的過低工作電壓進入正常工作電壓。因此，如 CPU 在過低工作電壓時無法處於復位狀態，將會造成 CPU 當機使週邊電路工作異常。所以必須靠著 BOR 線路功能，在偵測到工作電壓受到干擾且電壓準位低於設計值，會產生復位信號使晶片進入重新啟動狀態，直至回復工作電壓才會解除復位信號使晶片進入正常工作模式。

4.1.2. BOR1 為省電 BOR

當發生 BOR 復位時，PSTAT[7:0]暫存器中的 BOR 旗標會被置<1>以記錄發生的事件。

BOR1 線路會產生約 0.2uA 的電流消耗，無法透過程式或其他設置方式使其關閉。

4.1.3. BOR2 為精準 BOR

BOR2 預設會透過 POR/BOR1 觸發啟動，BOR2 功能可以透過軟件關閉。關閉位元 ENBOR2[0]在 normal mode 使用者可以操作。該位元具有保護，需要連動開關啟動才可以有效設置。

觸發 BOR2 行為可以設定為晶片 Reset 或是中斷 BOR2IF 旗標。

控制位元 BORS[0]在正常模式使用者可以操作。該位元具有保護，需要連動開關 CSFON[0]啟動才可以有效設置。

4.1.4. SKERR 堆疊錯誤復位

程式發生堆疊溢位或欠位時會產生復位信號使晶片進入快速啟動狀態。當發生 SKERR 堆疊錯誤復位時 PSTAT[7:0]暫存器中的 SKERR 旗標會被置<1>以記錄發生的事件。詳細的操作說明請參見 *記憶體,Memory* 章節。

4.2. 狀態暫存器

晶片的操作狀態顯示於 PSTAT[7:0]復位暫存器，相互間關係如表 4-2。

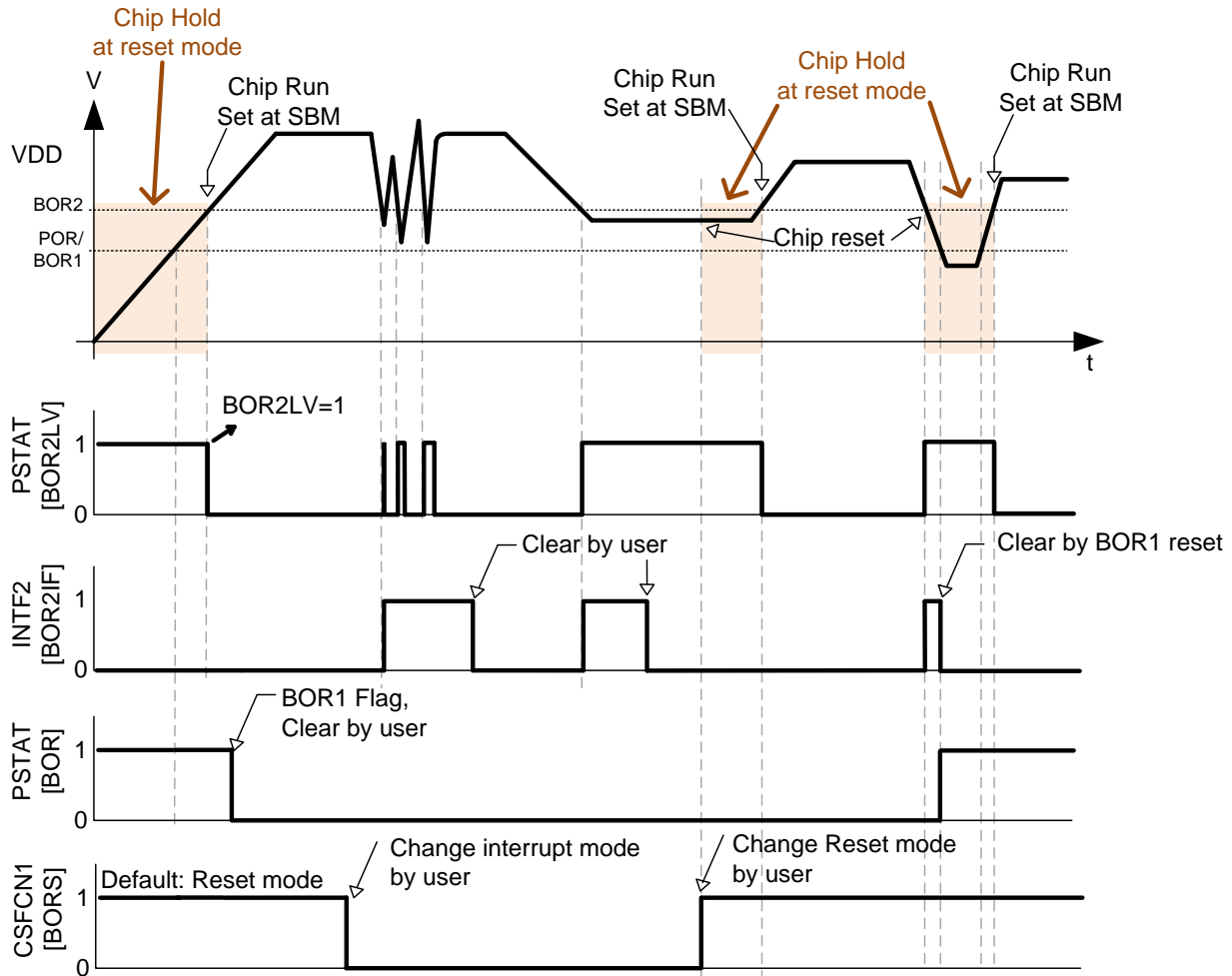
“0”：未發生，“1”：已發生，“u”：不改變，“-”：未使用

名稱/狀態	位址	7	6	5	4	3	2	1	0
PSTAT	02CH	BOR	PD	TO	IDL	RST	SKERR	-	-
硬體復位 (A-RESET)	BOR	1	0	0	0	0	0	-	-
	RST	0	0	0	0	1	0	-	-
軟體復位 (I-RESET)	WDT	u	u	1	u	u	u	-	-
	SKERR	u	u	u	u	u	1	-	-

表 4-2 復位狀態旗標關係表

4.2.1. 復位狀態的時序圖

硬體復位信號發生後至晶片進入操作狀態的時序圖，如圖 4-2。不同復位信號信號發生後至晶片進入操作狀態的時間。



*. BOR2 觸發後, Power up count: $1024 \text{ HAO} + 1024 \text{ LPO} = 1024 * (1/1.843\text{Mhz}) + 1024 * (1/14\text{Khz}) = 73.7\text{msec}$.

圖 4-2 復位及操作模式與狀態旗標時序圖

“-”：無定義

復位信號	延遲時間			操作狀態		
	符號	T1	T2	運行	待機	休眠
BOR	t_{RST}	T1 + T2		有效	有效	有效
SKERR	-	-		有效	無效	無效

表 4-3 復位狀態的延遲時間與操作狀態關係表

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



4.3. 暫存器說明-復位狀態

"·"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1 "\$"for event status,"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE2								BOR2IE	0000 0000	uuuu uuuu	* ** *
INTF2								BOR2IF	0000 0000	uuuu uuuu	* ** *
PSTAT	BOR	PD	TO	IDL	RST	SKERR	BOR2LV	GCRstIF	\$000 \$000	uu\$u u\$uu	w0,rw0,rw0,rw0 rw0,rw0,rw0,rw0
PWRCN								CSFON	0000 0000	uuuu u00u	* ** * *,wr0,*
CSFCN0	SKRST								.1..	* ** * *,wr0,*
CSFCN1				BOR_TH[2:0]		BORS	ENBOR2		...0 0011	uuuu uuuu	* ** *

表 4-4 復位暫存器

INTE2/INTF2: 詳見 中斷,Interrupt 章節

PSTAT: 狀態暫存器

位元	名稱	描述
Bit7	BOR	電源干擾復位旗標, <0> 清除需透過指令。 <1> BOR 發生作用時置<1>。
Bit6	PD	休眠狀態旗標 <0> 清除需透過 BOR、RST 或指令。 <1> 執行 SLEEP 指令時置<1>。
Bit5	TO	看門狗計時器旗標 <0> 清除需透過 BOR、RST 或指令。 <1> 看門狗計數終了時置<1>。
Bit4	IDL	待機狀態旗標 <0> 清除需透過 BOR、RST 或指令。 <1> 執行 IDLE 指令時置<1>。
Bit3	RST	外部 RST 引腳低電位復位事件旗標 <0> 未發生 RST 引腳復位事件 <1> 已發生 RST 引腳復位事件；清除需透過 BOR、或指令
Bit2	SKERR	堆疊錯誤復位旗標 <0> 清除需透過 BOR、RST 或指令。 <1> 堆疊錯誤時置<1>。
Bit1	BOR2LV	BOR2 狀態旗標 <0> 表示 VDD 電壓>BOR_TH[2:0] <1> 表示 VDD 電壓<=BOR_TH[2:0]
Bit0	GCRstIF	I ² C Reset 命令旗標 <0> 未發生 <1> 已發生

PWRCN[7:0]:線性穩壓器與類比共地控制暫存器

位元	名稱	描述
----	----	----

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



位元	名稱	描述
Bit0	CSFON	CSF(Chip Special Function)啟用寫入控制器 <0> 不啟用 CSF 功能 <1> 啟用 CSF 寫入功能，當使用者需要進行此區控制暫存器設置時，必須將 CSFON[0]設置<1>才能寫入 CSFCN0[7:0]及 CSFCN1[7:0]。

CSFCN0: 特殊控制位暫存器 0

位元	名稱	描述
Bit7	SKRST	堆疊錯誤復位控制器 <0> 不啟用錯誤復位晶片 <1> 啟用錯誤復位晶片

※ CSFCN0 在正常模式使用者可以操作，該位元具有保護，需要須將 CSFON[0]設為 1，才能修改此位元設定。

CSFCN1: 特殊控制位暫存器 1

位元	名稱	描述																											
Bit4~2	BOR_TH[2:0]	BOR2 偵測電壓設定 <table border="1"> <thead> <tr> <th>BOR_TH[2:0]</th> <th>BOR2 電壓</th> <th>說明</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>1.7V</td> <td>為晶片上電預設值。</td> </tr> <tr> <td>001</td> <td>2.0V</td> <td>當電池使用 1.5V*2，則電池為 2V(=1V*2)表示低電壓</td> </tr> <tr> <td>010</td> <td>2.2V</td> <td></td> </tr> <tr> <td>011</td> <td>2.5V</td> <td>for VDDA=2.4V mode, VDD>=2.45V</td> </tr> <tr> <td>100</td> <td>2.75V</td> <td>當電池使用 1.5V*3，則電池為 2.7V(=0.9V*3)表示低電壓</td> </tr> <tr> <td>101</td> <td>3.0V</td> <td>當電池使用 1.5V*3，則電池為 3V(=1V*3)表示低電壓</td> </tr> <tr> <td>110</td> <td>3.65V</td> <td>當電池使用 1.5V*4，則電池為 3.6V(=0.9V*4)表示低電壓</td> </tr> <tr> <td>111</td> <td>4.0V</td> <td>當電池使用 1.5V*4，則電池為 3.6V(=1.0V*4)表示低電壓</td> </tr> </tbody> </table>	BOR_TH[2:0]	BOR2 電壓	說明	000	1.7V	為晶片上電預設值。	001	2.0V	當電池使用 1.5V*2，則電池為 2V(=1V*2)表示低電壓	010	2.2V		011	2.5V	for VDDA=2.4V mode, VDD>=2.45V	100	2.75V	當電池使用 1.5V*3，則電池為 2.7V(=0.9V*3)表示低電壓	101	3.0V	當電池使用 1.5V*3，則電池為 3V(=1V*3)表示低電壓	110	3.65V	當電池使用 1.5V*4，則電池為 3.6V(=0.9V*4)表示低電壓	111	4.0V	當電池使用 1.5V*4，則電池為 3.6V(=1.0V*4)表示低電壓
BOR_TH[2:0]	BOR2 電壓	說明																											
000	1.7V	為晶片上電預設值。																											
001	2.0V	當電池使用 1.5V*2，則電池為 2V(=1V*2)表示低電壓																											
010	2.2V																												
011	2.5V	for VDDA=2.4V mode, VDD>=2.45V																											
100	2.75V	當電池使用 1.5V*3，則電池為 2.7V(=0.9V*3)表示低電壓																											
101	3.0V	當電池使用 1.5V*3，則電池為 3V(=1V*3)表示低電壓																											
110	3.65V	當電池使用 1.5V*4，則電池為 3.6V(=0.9V*4)表示低電壓																											
111	4.0V	當電池使用 1.5V*4，則電池為 3.6V(=1.0V*4)表示低電壓																											
Bit1	BORS	BOR2 行為設定 <0> BOR2 為中斷喚醒功能，BOR2IE=1 且 BOR2IF=1 時，產生中斷事件。 <1> BOR2 為晶片重置功能，BOR2IF=0 時重置晶片。為晶片上電預設值。																											
Bit0	ENBOR2	BOR2 啟用與關閉控制器 <0> 關閉 BOR2 <1> 啟用 BOR2																											

※ CSFCN1 在正常模式使用者可以操作，該位元具有保護，需要須將 CSFON[0]設為 1，才能修改此位元設定。

5. 中斷, Interrupt

中斷 Interrupt 由中斷啟用控制器 INTE 與中斷事件旗標 INTF 組成。中斷服務 Interrupt service 成立時若產生中斷事件，將使得程式計數器 PC 跳至程式記憶體的中斷向量位址 0x0004h 執行中斷服務程式。

中斷控制暫存器暫存器摘要：

INTE0	GIE, TA1CIE, ADIE, WDTIE, TB1IE, E1IE, E0IE
INTE1	TA1IE, SPIIE, TXIE, RCIE, I2CERIE, I2CIE, E3IE, E2IE
INTE2	TA2IE, TA2CIE, TC11IE, TC10IE, TX2IE, RC2IE, BOR2IE
INTF0	TA1CIF, ADIF, WDTIF, TB1IF, E1IF, E0IF
INTF1	TA1IF, SPIIF, TXIF, RCIF, I2CERIF, I2CIF, E3IF, E2IF
INTF2	TA2IF, TA2CIF, TC11IF, TC10IF, TX2IF, RC2IF, BOR2IF
PT1INTE	INTE1.7, INTE1.6, INTE1.5, INTE1.4
PT1INTF	INTF1.7, INTF1.6, INTF1.5, INTF1.4
PT2INTE	INTE2.7, INTE2.6, INTE2.5, INTE2.4, INTE2.3, INTE2.2, INTE2.1, INTE2.0
PT2INTF	INTF2.7, INTF2.6, INTF2.5, INTF2.4, INTF2.3, INTF2.2, INTF2.1, INTF2.0

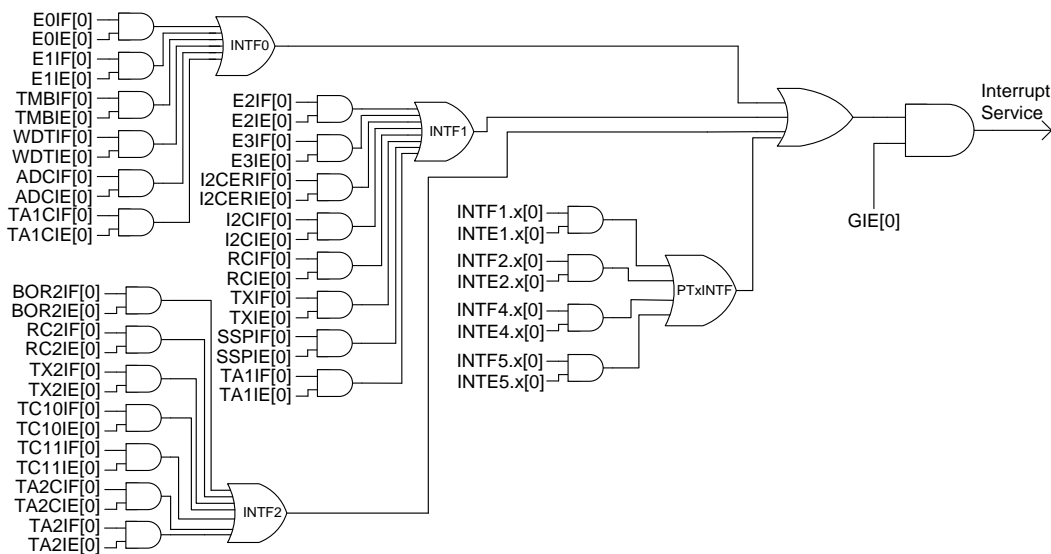


圖 5-1 中斷向量方塊圖

中斷服務事件的節制器共有兩層，最高層為中斷服務控制器 GIE、次一層為中斷事件的啟用控制位元。

- 啟用中斷事件只需將相對於中斷事件啟用控制器 $INTEx[7:0]$ 的控制器設置 <1> 即可；反之，設置 <0> 則為關閉中斷事件。
- 啟用中斷服務只需將相對於中斷控制暫存器 $INTE0[7:0]$ 的中斷服務控制器 GIE 設置 <1> 即可；反之，設置 <0> 則為關閉中斷服務。

當進入中斷服務向量時 GIE 會自動被置 <0>，在中斷服務程式執行完畢後欲返回中斷發生位址時可直接執行中斷返回指令 RETI，此時 GIE 將自動被置 <1>；或執行返回指令 RET，此時 GIE 狀態維持 0。

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



5.1. 暫存器說明-中斷

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE0	GIE	TA1CIE	ADIE	WDTIE	TB1IE	-	E1IE	E0IE	0000 0000	0uuu uuuu	***** 1 1 1 1 1 1 1
INTE1	TA1IE	SPIIE	TXIE	RCIE	I2CERIE	I2CIE	E3IE	E2IE	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
INTE2	TA2IE	TA2CIE	TC11IE	TC10IE	TX2IE	RC2IE	-	BOR2IE	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
INTF0	-	TA1CIF	ADIF	WDTIF	TB1IF	-	E1IF	E0IF	.000 0000	.uuu uuuu	***** 1 1 1 1 1 1 1
INTF1	TA1IF	SPIIF	TXIF	RCIF	I2CERIF	I2CIF	E3IF	E2IF	0000 0000	uuuu uuuu	*** r, r, ** 1 1 1 1 1 1 1
INTF2	TA2IF	TA2CIF	TC1IF	TC0IF	TX2IF	RC2IF	-	BOR2IF	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
PT1INTE	INTE1.7	INTE1.6	INTE1.5	INTE1.4	-	-	-	-	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
PT1INTF	INTF1.7	INTF1.6	INTF1.5	INTF1.4	-	-	-	-	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
PT2INTE	INTE2.7	INTE2.6	INTE2.5	INTE2.4	INTE2.3	INTE2.2	INTE2.1	INTE2.0	0000 0000	uuuu uuuu	
PT2INTF	INTF2.7	INTF2.6	INTF2.5	INTF2.4	INTF2.3	INTF2.2	INTF2.1	INTF2.0	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
PT4INTE	INTE4.7	INTE4.6	INTE4.5	INTE4.4	-	-	-	-	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
PT4INTF	INTF4.7	INTF4.6	INTF4.5	INTF4.4	-	-	-	-	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
PT5INTE	-	-	-	-	INTE5.3	INTE5.2	INTE5.1	INTE5.0	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1
PT5INTF	-	-	-	-	INTF5.3	INTF5.2	INTF5.1	INTF5.0	0000 0000	uuuu uuuu	***** 1 1 1 1 1 1 1

表 5-1 中斷暫存器

INTE0: 中斷啟用控制暫存器 0

位元	名稱	描述
Bit7	GIE	中斷服務控制器 <0> 關閉。 <1> 啟用。
Bit6	TA1CIE	Timer-A1 比較事件啟用控制器 <0> 關閉。 <1> 啟用。(比較事件/計數器 A1)
Bit5	ADCIE	ADC 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(類比數位轉換器, Σ ADC)
Bit4	WDTIE	Watch Dog 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(看門狗,WDT)
Bit3	TMBIE	Timer-B 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(計時/計數器 B,TMB)
Bit1	E1IE	輸入引腳 1 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(外部輸入引腳,PT1.1)
Bit0	E0IE	輸入引腳 0 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(外部輸入引腳,PT1.0)

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

INTE1: 中斷啟用控制暫存器 1

位元	名稱	描述
Bit7	TA1IE	Timer-A1 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(計時/計數器 A1,TMA1)
Bit6	SPIIE	SPI 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(通訊介面,SPI)
Bit5	TXIE	TX 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(通訊介面,EUART)
Bit4	RCIE	RC 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(通訊介面,EUART)
Bit3	I2CERIE	週邊 I2C 錯誤中斷向量服務控制器 <0>關閉 I2C 中斷向量服務 <1>啟用 I2C 中斷向量服務
Bit2	I2CIE	週邊 I2C 中斷向量服務控制器 <1>啟用 I2C 中斷向量服務 <0>關閉 I2C 中斷向量服務
Bit1	E3IE	輸入引腳 3 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(外部輸入引腳,PT1.3)
Bit0	E2IE	輸入引腳 2 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(外部輸入引腳,PT1.2)

INTE2: 中斷啟用控制暫存器 2

位元	名稱	描述
Bit7	TA2IE	Timer-A2 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(計時/計數器 A2,TMA2)
Bit6	TA2CIE	Timer-A2 比較事件啟用控制器 <0> 關閉。 <1> 啟用。(比較事件/計數器 A2)

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

位元	名稱	描述
Bit5	TC11IE	週邊 TMC11 中斷向量服務控制器 <1> 啟用 TMC11 中斷向量服務 <0> 關閉 TMC11 中斷向量服務
Bit4	TC10IE	週邊 TMC10 中斷向量服務控制器 <1> 啟用 TMC10 中斷向量服務 <0> 關閉 TMC10 中斷向量服務
Bit3	TX2IE	TX2 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(通訊介面,EUART2)
Bit2	RC2IE	RC2 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。(通訊介面,EUART2)
Bit0	BOR2IE	BOR2 中斷事件啟用控制器 <0> 關閉。 <1> 啟用。

INTF0: 中斷事件旗標暫存器 0

位元	名稱	描述
Bit6	TA1CIF	Timer-A1 比較事件旗標 <0> 關閉。 <1> 啟用。(比較事件/計數器 A1)
Bit5	ADCIF	ADC 中斷事件旗標 <0> 未發生。 <1> 已發生。(類比數位轉換器, Σ ADC)
Bit4	WDTIF	Watch Dog 中斷事件旗標 <0> 未發生。 <1> 已發生。(看門狗,WDT)
Bit3	TMBIF	Timer-B 中斷事件旗標 <0> 未發生。 <1> 已發生。(計時/計數器 B,TMB)
Bit1	E1IF	輸入引腳 1 中斷事件旗標 <0> 未發生。 <1> 已發生。(外部輸入引腳,PT1.1)
Bit0	E0IF	輸入引腳 0 中斷事件旗標 <0> 未發生。 <1> 已發生。(外部輸入引腳,PT1.0)

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

INTF1: 中斷事件旗標暫存器 1

位元	名稱	描述
Bit7	TA1IF	Timer-A1 中斷事件旗標 <0> 未發生。 <1> 已發生。(計時/計數器 A1,TMA1)
Bit6	SPIIF	SPI 中斷事件旗標 <0> 未發生。 <1> 已發生。(通訊介面,SPI)
Bit5	TXIF	TX 中斷事件旗標 <0> 未發生。 <1> 已發生。(通訊介面,EUART1)
Bit4	RCIF	RC 中斷事件旗標 <0> 未發生。 <1> 已發生。(通訊介面,EUART1)
Bit3	I2CERIF	週邊 I ² C 錯誤中斷事件旗標控制器 <0>未發生 I ² C 中斷事件 <1>已發生 I ² C 中斷事件
Bit2	I2CIF	週邊 I ² C 中斷事件旗標控制器 <0>未發生 I ² C 中斷事件 <1>已發生 I ² C 中斷事件
Bit1	E3IF	輸入引腳 3 中斷事件旗標 <0> 未發生。 <1> 已發生。(外部輸入引腳,PT1.3)
Bit0	E2IF	輸入引腳 2 中斷事件旗標 <0> 未發生。 <1> 已發生。(外部輸入引腳,PT1.2)

INTF2: 中斷事件旗標暫存器 2

位元	名稱	描述
Bit7	TA2IF	Timer-A2 中斷事件旗標 <0> 未發生。 <1> 已發生。(計時/計數器 A2,TMA2)
Bit6	TA2CIF	Timer-A2 比較事件旗標 <0> 關閉。 <1> 啟用。(比較事件/計數器 A2)
Bit5	TC1IF	週邊 TMCI1 中斷事件旗標控制器 <1>已發生 TMCI1 中斷事件 <0>未發生 TMCI1 中斷事件

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

位元	名稱	描述
Bit4	TC0IF	週邊 TMCIO 中斷事件旗標控制器 <1>已發生 TMCIO 中斷事件 <0>未發生 TMCIO 中斷事件
Bit3	TX2IF	TX 中斷事件旗標 <0> 未發生。 <1> 已發生。(通訊介面,EUART2)
Bit2	RC2IF	RC 中斷事件旗標 <0> 未發生。 <1> 已發生。(通訊介面,EUART2)
Bit0	BOR2IF	BOR2 中斷事件旗標 <0> 未發生。 <1> 已發生。

PT1INTE: PT1 I/O 中斷事件啟用控制器

位元	名稱	描述
Bit7~4	INTE1.x	中斷事件啟用控制器 ($4 \leq x \leq 7$) <0>關閉。(預設) <1>啟用。

PT1INTF: PT1 I/O 中斷事件旗標

位元	名稱	描述
Bit7~4	INTF1.x	中斷事件旗標 ($4 \leq x \leq 7$) <0>關閉。(預設) <1>啟用。

PT2INT: PT2 I/O 中斷信號產生條件

位元	名稱	描述
Bit7~0	INTG2.x	中斷信號產生條件 ($0 \leq x \leq 7$) <0>下降緣 ($1 \rightarrow 0$) (預設) <1>上升緣 ($0 \rightarrow 1$)

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

PT2INTE: PT2 I/O 中斷事件啟用控制器

位元	名稱	描述
Bit7~0	INTE2.x	中斷事件啟用控制器 ($0 \leq x \leq 7$) <0> 關閉。(預設) <1> 啟用。

PT2INTF: PT2 I/O 中斷事件旗標

位元	名稱	描述
Bit7~0	INTF2.x	中斷事件旗標 ($0 \leq x \leq 7$) <0> 關閉。(預設) <1> 啟用。

PT4INTE: PT4 I/O 中斷事件啟用控制器

位元	名稱	描述
Bit7~4	INTE4.x	中斷事件啟用控制器 ($4 \leq x \leq 7$) <0> 關閉。(預設) <1> 啟用。

PT4INTF: PT4 I/O 中斷事件旗標

位元	名稱	描述
Bit7~4	INTF4.x	中斷事件旗標 ($4 \leq x \leq 7$) <0> 關閉。(預設) <1> 啟用。

PT5INTE: PT5 I/O 中斷事件啟用控制器

位元	名稱	描述
Bit3~0	INTE5.x	中斷事件啟用控制器 ($0 \leq x \leq 3$) <0> 關閉。(預設) <1> 啟用。

PT5INTF: PT5 I/O 中斷事件旗標

位元	名稱	描述
Bit3~0	INTF5.x	中斷事件旗標 ($0 \leq x \leq 3$) <0> 關閉。(預設) <1> 啟用。

6. 硬體乘法器

H08D 指令集具有 8x8 硬體乘法器的處理指令“MULF 和 MULL”。8x8 硬體乘法器的運算結果會放至乘法器暫存器 PRODH[7:0]與 PRODL[7:0]且不會改變 PSTAT[7:0]狀態暫存器中的任何標誌。而 PRODH[7:0]與 PRODL[7:0]為唯讀暫存器，使用時必須注意。

硬體乘法器可進行有號數與無號數運算，如範例 6-1 與範例 6-2

例 1 : $V1 \times V2 = V$

```
MVL    V1
MVF    BUF0,1,0    ; V1 值放入記憶體區塊 0 的 BUF0 暫存器
MVL    V2          ; V2 值放入 W 暫存器。
MULF   BUF0,0      ; 執行 V1 x V2 並將運算結果放入 PRODH/L
```

範例 6-1 無號數運算

例 2 : $N1 \times N2 = N, s=7, B$

```
MVL    N1          ; N1 值放入 W 暫存器
MVF    BUF0,1,0    ; N1 值放入記憶體區塊 0 的 BUF0 暫存器
MVL    N2          ; N2 值放入 W 暫存器。
MVF    BUF1,1,0    ; N2 值放入 BUF1 暫存器。
MULF   BUF0,0      ; 執行 V1 x V2 並將運算結果放入 PRODH/L
MVFF   PRODH,SWP   ; 將 PRODH 暫存器內的值放入 SWP 暫存器
BTSZ   BUF0,s      ; 判斷 N1，若為負數則
SUBF   SWP,1,0     ; 將 SWP - N2 放入 SWP 暫存器
MVF    BUF0,0,0    ; 將 N1 值放入 W 暫存器
BTSZ   BUF1,s      ; 判斷 N2，若為負數則
SUBF   SWP,1,0     ; 將 SWP - N1 放入 SWP 運算處理後，N = SWP/PRODL
; -----
; N1=07Fh,N2=0FFh 乘法器運算後得到 PRODH/L = 7E81h
; 判斷 N1 是否為負數，若是負數則將 PRODH - N2
; 判斷 N2 是否為負數，若是負數則將 PRODH - N1
; 運算處理後即可得到有號數 N 的值
; 7Fh x FFh = 7Fh x ( 0FFh - 100h )
;           = 7Fh x 0FFh - 7Fh x 100h
;           = 7E81h - 7F00h
;           = FF81h
```

範例 6-2 有號數運算

7. 輸入/輸出埠,I/O

輸入/輸出埠 I/O 每個引腳為一個埠，可作數位的輸入與輸出通道。每個埠由一組暫存器做控制。

I/O 相關暫存器摘要：

PT	PT1[7:0], PT2[7:0], PT4[7:4], PT5[5:0], PT6[7:0], PT7[7:0], PT8[7:0], PT9[7:0], PT10[7:0], PT11[3:0]
TRISC	TC1[7:0], TC2[7:0], TC6[7:0], TC7[7:0], TC8[7:0], TC9[7:0], TC10[7:0], TC11[3:0],
PTDA	DA1[2], DA4[7:4], DA5[5:0],
PTPU	PU1[7:0], PU2[7:0], PU4[7:4], PU5[5:0],
PT1M1	INTEG1[1:0], INTEG0[1:0]
PT1INT	INTEG7[0], INTEG6[0], INTEG5[0], INTEG4[0], INTEG3[0], INTEG2[0],
PT2INT	INTG2.7, INTG2.6, INTG2.5, INTG2.4, INTG2.3, INTG2.2, INTG2.1, INTG2.0

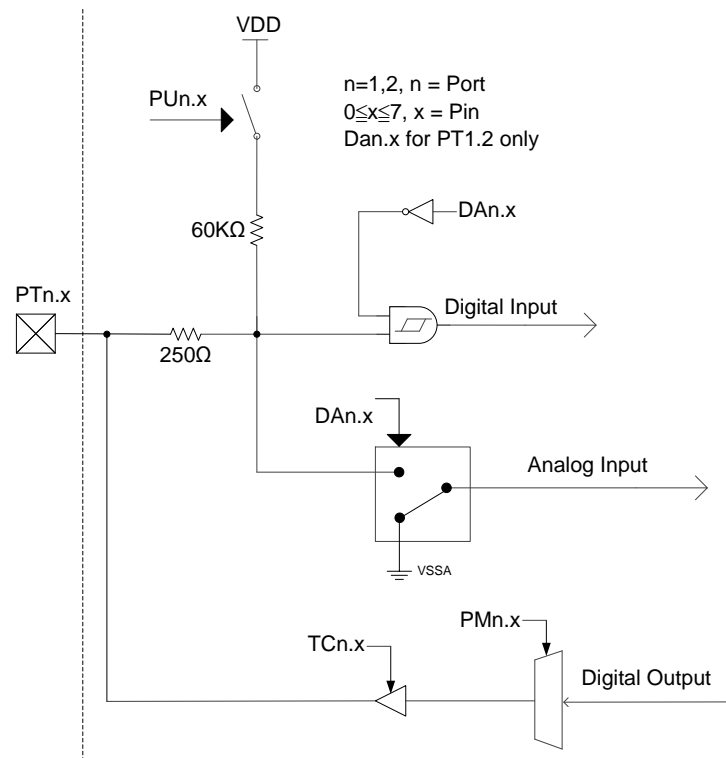


圖 7-1 I/O PORT1~2 架構方塊圖

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

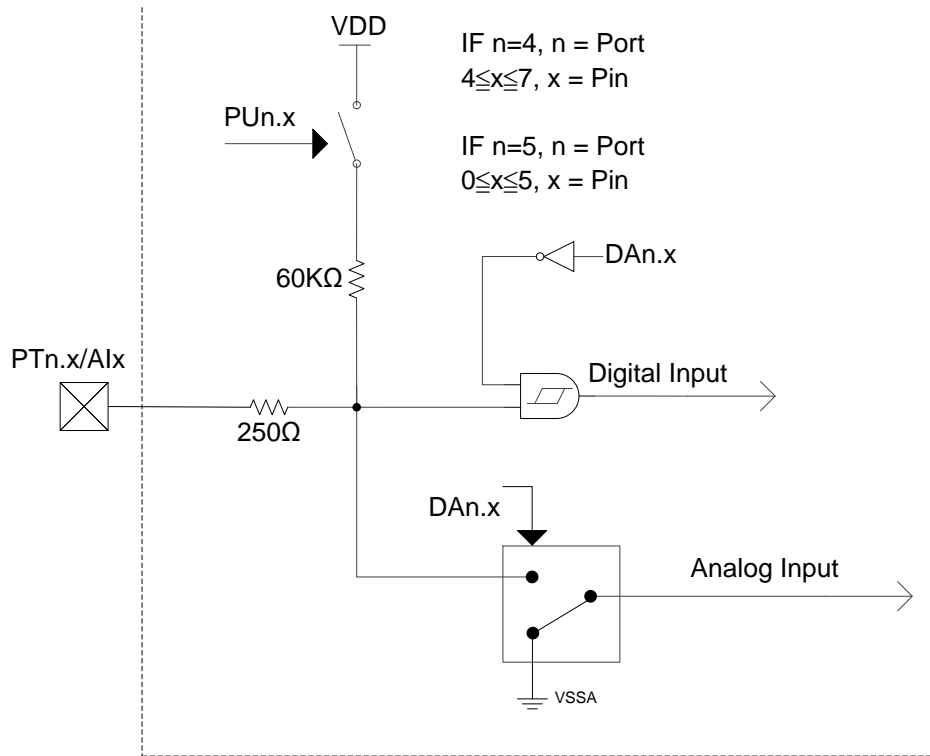
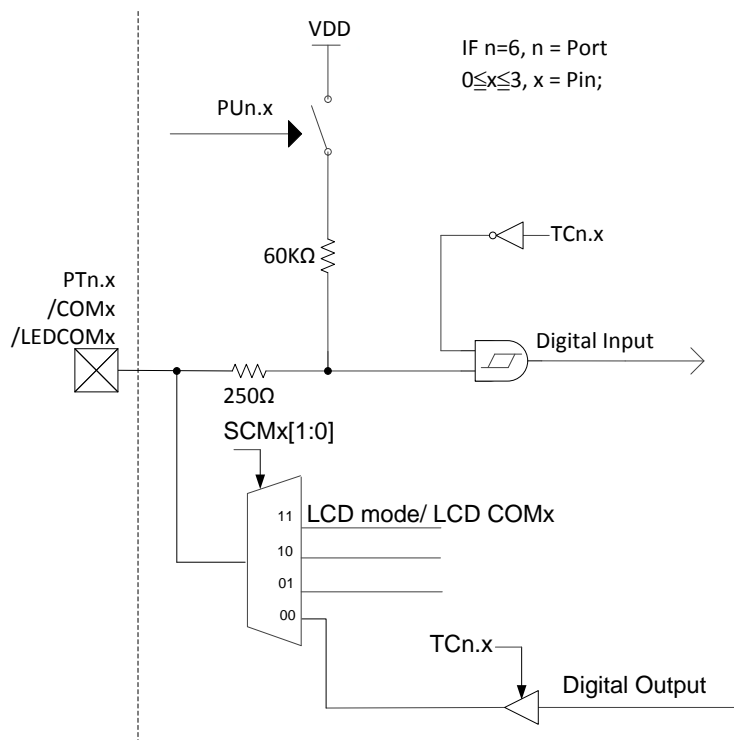


圖 7-2 I/O PORT4/5 架構方塊圖



HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

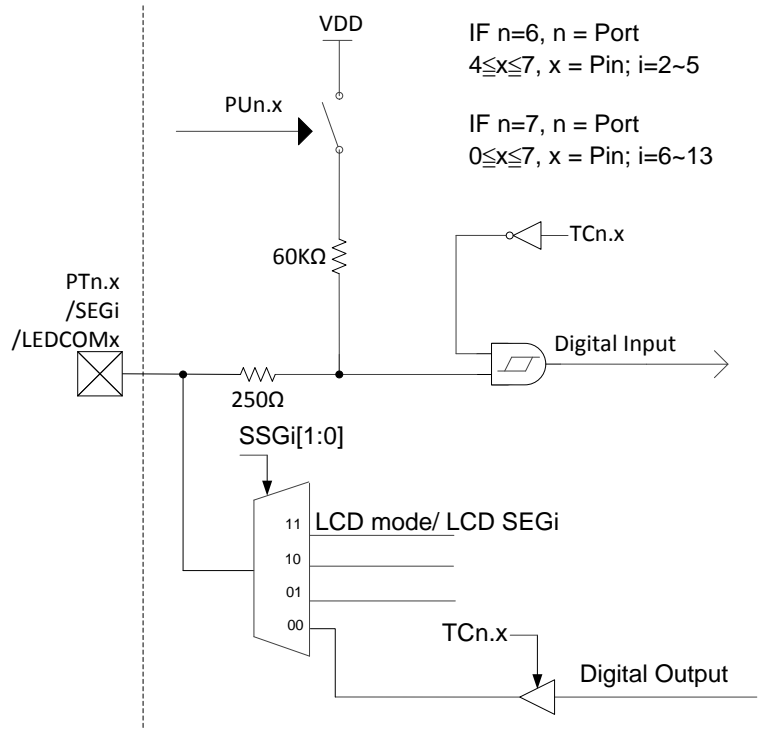


圖 7-3 I/O PORT6~7 架構方塊圖

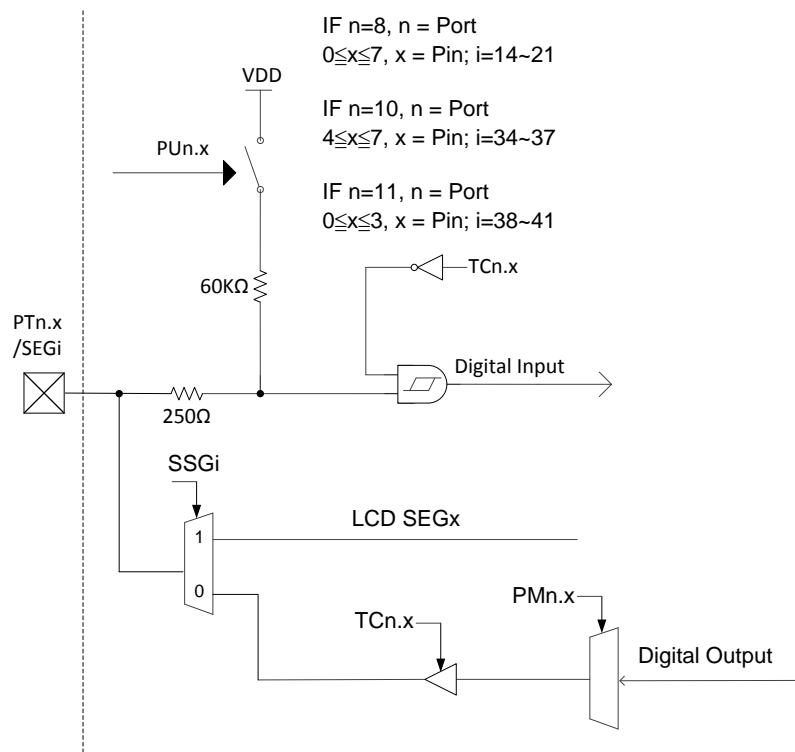


圖 7-4 I/O PORT8,10,11 架構方塊圖

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

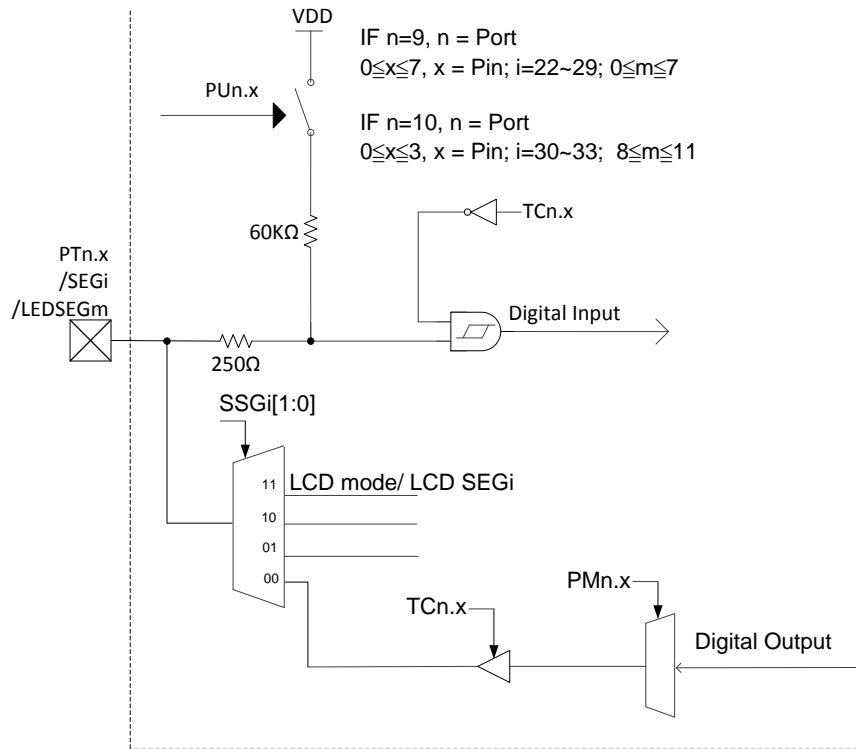


圖 7-5 I/O PORT9~10 架構方塊圖

7.1. PORT 相關暫存器介紹

PORT 主要提供數位的信號輸入與輸出引腳。

7.1.1. PTEG 中斷信號產生條件

I/O 外部輸入電位屬於何種變化時產生中斷信號，電位變化條件可分上升緣 (0→1) 變化、下降緣 (1→0) 變化與電位轉態 (0→1 或 1→0) 變化。

7.1.2. PTPU 上拉電阻控制暫存器

設定 I/O 上拉電阻功能是否啟用，設置<1>則 I/O 啟用、設置<0>斷開。在晶片進入休眠模式前，若 I/O 設置為數位輸入狀態且外部電路連接方式會造成 I/O 有浮接現象時即可啟用上拉電阻，以避免 I/O 浮接而導致晶片進入休眠模式後產生漏電流。

7.1.3. TC 輸入/輸出控制暫存器

選擇 I/O 為輸入或輸出，設置<1>I/O 為輸出狀態、設置<0>為輸入狀態。當 I/O 設定為輸入狀態，則在晶片進入休眠模式時必須給定一明確的輸入電位，不可讓 I/O 呈現浮接狀態，以避免造成晶片產生漏電現象。

7.1.4. PTIO 狀態控制暫存器

當 I/O 被設置為輸入則在相對的暫存器位置可以讀得目前 I/O 的狀態，讀值 1 則此時的 I/O 輸入高電位、讀值 0 則此時的 I/O 輸入低電位。

當 I/O 被設置為輸出則在相對的暫存器位置可以控制輸出狀態，設置<1>則 I/O 輸出為高電位、設置<0>則 I/O 輸出為低電位。

7.2. 蜂鳴器,Buzzer

BZ 可產生多種不同的頻率以推動外部蜂鳴器，由 BZS 選擇工作頻率源，BZ 工作頻率預除頻器 BBZ[1:0] 可設置多種輸出頻率。

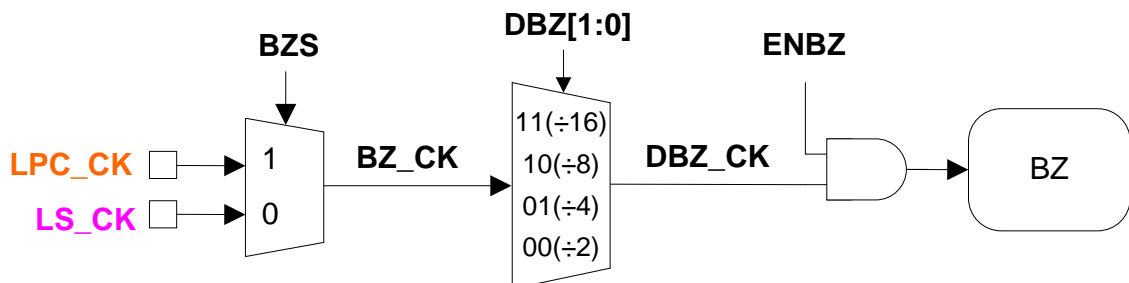


圖 7-6 BZ 方塊圖

7.3. 輸入/輸出埠 1 ,I/O Port1(以 HY17P58 為例)

“i”：輸入,“o”：輸出,“a”：類比,“s”：史密斯觸發,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PM[0]	
PT1.0	i/o	s/c	x	-	-	數位輸入/輸出引腳
INT0	l	s	0	-	-	外部中斷源
SDI	i	s	0	-	-	SPI 通訊介面 SDI 引腳
TCI2	i	s	0	-	-	TimerC 頻率輸入接口
PT1.1	i/o	s/c	x	-	-	數位輸入/輸出引腳
INT1	l	s	0	-	-	外部中斷源
SCE	l	s	0	-	-	SPI 通訊介面 SCE 引腳
TBI0	i	s	0	-	-	TimerB 啟動輸入接口
PT1.2	i/o	s/c	x	0	-	數位輸入/輸出引腳
INT2	l	s	0	0	-	外部中斷源
LVDIN	a	a	0	1	-	LVD 外部信號輸入引腳
PT1.3	i/o	s/c	x	-	-	數位輸入/輸出引腳
INT3	i	s	0	-	-	外部中斷源
RC	i	s	0	-	-	EUART 通訊介面 RC 引腳
PT1.4	i/o	s/c	x	-	0	數位輸入/輸出引腳
INT4	i	s	0	-	0	外部中斷源
TX	o	c	1	-	1	EUART 通訊介面 TX 引腳
PT1.5	i/o	s/c	x	-	0	數位輸入/輸出引腳
INT5	i	s	0	-	0	外部中斷源
SDO	o	c	1	-	1	SPI 通訊介面 SDO 引腳
TBI1	i	s	0	-	0	TimerB 啟動輸入接口
PT1.6	i/o	s/c	x	-	0	數位輸入/輸出引腳
INT6	i	s	0	-	0	外部中斷源
SCK	i/o	s	1/0	-	1	SPI 通訊介面 SCK 引腳· Master Mode 時 TC 為“1”· Slave Mode 時 TC 為“0”
PT1.7	i/o	s/c	x	-	0	數位輸入/輸出引腳
INT7	i	s	0	-	0	外部中斷源
BZ	o	c	1	--	1	Buzzer 輸出引腳

表 7-1 PORT1 功能

7.4. 輸入/輸出埠 2 ,I/O Port2(以 HY17P58 為例)

“i”：輸入,“o”：輸出,“a”：類比,“s”：史密斯觸發,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PM[0]	
PT2.0	i/o	s/c	x	-	-	數位輸入/輸出引腳
INT2.0	i	s	0	-	-	外部中斷源
XTO	a	a	0	-	-	外部震盪器引腳
PT2.1	i/o	s/c	x	-	-	數位輸入/輸出引腳
INT2.1	i	S	0	-	-	外部中斷源
XTI	a	A	0	-	-	外部震盪器引腳
PT2.2	i/o	s/c	x	-	0	數位輸入/輸出引腳
INT2.2	i	s	0	-	0	外部中斷源
SCL	i/o	s	1	-	1	I ² C 通訊介面引腳
PT2.3	i/o	s/c	x	-	-	數位輸入/輸出引腳
INT2.3	i	s	0	-	-	外部中斷源
SDA	i/o	s	1	-	-	I ² C 通訊介面引腳
PT2.4	i/o	s/c	x	-	-	數位輸入/輸出引腳
INT2.4	i	s	0	-	-	外部中斷源
RC2	i/o	s	0	-	-	EUART2 通訊介面接口
PT2.5	i/o	s/c	x	-	0	數位輸入/輸出引腳
INT2.5	i	s	0	-	0	外部中斷源
TX2	o	s	1	-	1	EUART2 通訊介面接口
PT2.6	i/o	s/c	x	-	-	數位輸入/輸出引腳
INT2.6	i	s	0	-	-	外部中斷源
TCI1	i	s	0	-	-	TimerC 頻率輸入接口
PT2.7	i/o	s/c	x	-	-	數位輸入/輸出引腳
INT2.7	i	s	0	-	-	外部中斷源
TBI2	i	s	0	-	-	TimerB 啟動輸入接口

表 7-2 PORT2 功能

7.1. 輸入/輸出埠 4 ,I/O Port4(以 HY17P58 為例)

“i”：輸入,“o”：輸出,“a”：類比,“s”：史密斯觸發,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PM[0]	
PT4.4	i	s	x	0	-	數位輸入引腳
AI4	a	a	0	1	-	類比輸入通道
RFIN	a	a	0	1	-	RF1/RF2 參考電阻輸入端
OPO2	a	a	0	1	-	R2ROP2 輸出
PT4.5	i	s	x	0	-	數位輸入引腳
AI5	a	a	0	1	-	類比輸入通道
RF1OUT	a	a	0	1	-	RF1 參考電阻輸出端
PT4.6	i	s	x	0	-	數位輸入引腳
AI6	a	a	0	1	-	類比輸入通道
RF2OUT	a	a	0	1	-	RF2 參考電阻輸出端
PT4.7	i	s	x	0	-	數位輸入引腳
AI7	a	a	0	1	-	類比輸入通道
FIR	a	a	0	1	-	體脂測量輸入接口(右腳掌)

表 7-3 PORT4 功能

7.2. 輸入/輸出埠 5 ,I/O Port5(以 HY17P58 為例)

“i”：輸入,“o”：輸出,“a”：類比,“s”：史密斯觸發,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PM[0]	
PT5.0	i	s	-	0	-	數位輸入引腳
AI8	a	a	-	1	-	類比輸入通道
FVL	a	a	-	1	-	體脂測量輸入接口(左腳跟)
LNOP2O	a	a	-	1	-	LNOP2 輸出
PT5.1	i	s	-	0	-	數位輸入引腳
AI9	a	a	-	1	-	類比輸入通道
FIL	a	a	-	1	-	體脂測量輸入接口(左腳掌)
PT5.2	i	s	-	0	-	數位輸入引腳
AI10	a	a	-	1	-	類比輸入通道
FVR	a	a	-	1	-	體脂測量輸入接口(右腳跟)
PT5.3	i	s	-	0	-	數位輸入引腳
AI11	a	a	-	1	-	類比輸入通道

表 7-4 PORT5 功能

7.3. 輸入/輸出埠 6 ,I/O Port6

“i”：輸入,“o”：輸出,“a”：類比,“s”：史密斯觸發,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PU[0]	
PT6.0	i/o	s/c	x	0	x	數位輸入/輸出引腳
COM0	o	a	0	-	0	LCD Common 輸出
PT6.1	i/o	s/c	x	0	x	數位輸入/輸出引腳
COM1	o	a	0	-	0	LCD Common 輸出
PT6.2	i/o	s/c	x	0	x	數位輸入/輸出引腳
COM2	o	a	0	-	0	LCD Common 輸出
PT6.3	i/o	s/c	x	0	x	數位輸入/輸出引腳
COM3	o	a	0	-	0	LCD Common 輸出
PT6.4	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG2	o	a	0	-	0	LCD Segment 輸出
PT6.5	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG3	o	a	0	-	0	LCD Segment 輸出
PT6.6	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG4	o	a	0	-	0	LCD Segment 輸出
PT6.7	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG5	o	a	0	-	0	LCD Segment 輸出

表 7-5 PORT6 功能

7.4. 輸入/輸出埠 7 ,I/O Port7

“i”：輸入,“o”：輸出,“a”：類比,“s”：史密斯觸發,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PU[0]	
PT7.0	i/o	s/c	x	0	x-	數位輸入/輸出引腳
SEG6	o	a	0	-	0	LCD Segment 輸出
PT7.1	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG7	o	a	0	-	0	LCD Segment 輸出
PT7.2	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG8	o	a	0	-	0	LCD Segment 輸出
PT7.3	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG9	o	a	0	-	0	LCD Segment 輸出
PT7.4	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG10	o	a	0	-	0	LCD Segment 輸出
PT7.5	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG11	o	a	0	-	0	LCD Segment 輸出
PT7.6	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG12	o	a	0	-	0	LCD Segment 輸出
PT7.7	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG13	o	a	0	-	0	LCD Segment 輸出

表 7-6 PORT7 功能

7.5. 輸入/輸出埠 8 ,I/O Port8

“i”：輸入,“o”：輸出,“a”：類比,“s”：史密斯觸發,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PI[0]	
PT8.0	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG14	o	a	0	-	0	LCD Segment 輸出
PT8.1	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG15	o	a	0	-	0	LCD Segment 輸出
PT8.2	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG16	o	a	0	-	0	LCD Segment 輸出
PT8.3	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG17	o	a	0	-	0	LCD Segment 輸出
PT8.4	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG18	o	a	0	-	0	LCD Segment 輸出
PT8.5	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG19	o	a	0	-	0	LCD Segment 輸出
PT8.6	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG20	o	a	0	-	0	LCD Segment 輸出
PT8.7	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG21	o	a	0	-	0	LCD Segment 輸出

表 7-7 PORT8 功能

7.6. 輸入/輸出埠 9 ,I/O Port9

“i”：輸入,“o”：輸出,“a”：類比,“s”：史密斯觸發,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PU[1:0]	
PT9.0	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG22	o	a	0	-	0	LCD Segment 輸出
PT9.1	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG23	o	a	0	-	0	LCD Segment 輸出
PT9.2	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG24	o	a	0	-	0	LCD Segment 輸出
PT9.3	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG25	o	a	0	-	0	LCD Segment 輸出
PT9.4	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG26	o	a	0	-	0	LCD Segment 輸出
PT9.5	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG27	o	a	0	-	0	LCD Segment 輸出
PT9.6	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG28	o	a	0	-	0	LCD Segment 輸出
PT9.7	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG29	o	a	0	-	0	LCD Segment 輸出

表 7-8 PORT9 功能

7.7. 輸入/輸出埠 10 ,I/O Port10

“i”：輸入,“o”：輸出,“a”：類比,“s”：史密斯觸發,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PU[1:0]	
PT10.0	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG30	o	a	0	-	0	LCD Segment 輸出
PT10.1	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG31	o	a	0	-	0	LCD Segment 輸出
PT10.2	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG32	o	a	0	-	0	LCD Segment 輸出
PT10.3	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG33	o	a	0	-	0	LCD Segment 輸出
PT10.4	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG34	o	a	0	-	0	LCD Segment 輸出
PT10.5	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG35	o	a	0	-	0	LCD Segment 輸出
PT10.6	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG36	o	a	0	-	0	LCD Segment 輸出
PT10.7	i/o	s/c	x	0	x	數位輸入/輸出引腳
SEG37	o	a	0	-	0	LCD Segment 輸出

表 7-9 PORT10 功能

7.8. 輸入/輸出埠 11 ,I/O Port11

“i”：輸入,“o”：輸出,“a”：類比,“s”：史密斯觸發,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置				描述
	型式	緩衝	TC[0]	DA[0]	PU[1:0]	PM[0]	
PT11.0	i/o	s/c	x	0	x	-	數位輸入/輸出引腳
SEG38	o	a	0	-	0	-	LCD Segment 輸出
PT11.1	i/o	s/c	x	0	x	-	數位輸入/輸出引腳
SEG39	o	a	0	-	0	-	LCD Segment 輸出
PT11.2	i/o	s/c	x	0	x	-	數位輸入/輸出引腳
SEG40	o	a	0	-	0	0	LCD Segment 輸出
PWM1	o	c	1	-		1	PWM1 輸出接口
PT11.3	i/o	s/c	x	0	x	-	數位輸入/輸出引腳
SEG41	o	a	0	-	0	0	LCD Segment 輸出
PWM0	o	c	1	-		1	PWM0 輸出接口

表 7-10 PORT11 功能

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



7.9. 暫存器說明-PORT

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1

“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE0	GIE	-	ADIE	WDTIE	TB1IE	TMAIE	E1IE	E0IE	0000 0000	0uuu uuuu	*****
INTE1	-						E3IE	E2IE	0000 0000	uuuu uuuu	*****
INTF0	-	-	ADIF	WDTIF	TB1IF	TMAIF	E1IF	E0IF	.000 0000	.uuu uuuu	*****
INTF1	-						E3IF	E2IF	0000 0000	uuuu uuuu	***r,r**
WDTCN	ENBZ	BZS	BZ[1:0]		ENWDT	DWD[2:0]			0000 0000	uuuu \$000	-.***rw1,***
PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	xxxx xxxx	*****
TRISC1	TC1.7	TC1.6	TC1.5	TC1.4	TC1.3	TC1.2	TC1.1	TC1.0	0000 0000	uuuu uuuu	*****
PT1DA	-	-	-	-	-	DA1.2	-	-	0000 0000	uuuu uuuu	*****
PT1PU	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	0000 0000	uuuu uuuu	*****
PT1M1	-	-	-	-	INTEG1[1:0]		INTEG0[1:0]		0000 0000	uuuu uuuu	*****
PT1INT	INTEG7	INTEG6	INTEG5	INTEG4	INTEG3		-		0000 0000	uuuu uuuu	*****
PT1INTE	INTE1.7	INTE1.6	INTE1.5	INTE1.4	-	-	-	-	0000 0000	uuuu uuuu	*****
PT1INTF	INTF1.7	INTF1.6	INTF1.5	INTF1.4	-		-		0000 0000	uuuu uuuu	*****
PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	0000 0000	uuuu uuuu	*****
TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	uuuu uuuu	*****
PT2DA	DA2.7	DA2.6	DA2.5	DA2.4	DA2.3	DA2.2	DA2.1	DA2.0	1111 1111	uuuu uuuu	*****
PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	uuuu uuuu	*****
PT2INT	INTG2.7	INTG2.6	INTG2.5	INTG2.4	INTG2.3	INTG2.2	INTG2.1	INTG2.0	0000 0000	uuuu uuuu	*****
PT2INTE	INTE2.7	INTE2.6	INTE2.5	INTE2.4	INTE2.3	INTE2.2	INTE2.1	INTE2.0	0000 0000	uuuu uuuu	
PT2INTF	INTF2.7	INTF2.6	INTF2.5	INTF2.4	INTF2.3	INTF2.2	INTF2.1	INTF2.0	0000 0000	uuuu uuuu	*****
PT4	PT4.7	PT4.6	PT4.5	PT4.4	-	-	-	-	xxxx xxxx	xxxx xxxx	*****
TRISC4	TC4.7	TC4.6	TC4.5	TC4.4	-	-	-	-	0000 0000	uuuu uuuu	*****
PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	-	-	-	-	1111 1111	uuuu uuuu	*****
PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	-	-	-	-	0000 0000	uuuu uuuu	*****
PT4INT	INTG4.7	INTG4.6	INTG4.5	INTG4.4	-	-	-	-	0000 0000	uuuu uuuu	*****
PT4INTE	INTE4.7	INTE4.6	INTE4.5	INTE4.4	-	-	-	-	0000 0000	uuuu uuuu	*****
PT4INTF	INTF4.7	INTF4.6	INTF4.5	INTF4.4	-	-	-	-	0000 0000	uuuu uuuu	*****
PT5	-	-	PT5.5	PT5.4	PT5.3	PT5.2	PT5.1	PT5.0	xxxx xxxx	xxxx xxxx	*****
TRISC5	TC5.7	TC5.6	TC5.5	TC5.4	TC5.3	TC5.2	TC5.1	TC5.0	0000 0000	uuuu uuuu	*****
PT5DA	-	-	DA5.5	DA5.4	DA5.3	DA5.2	DA5.1	DA5.0	1111 1111	uuuu uuuu	*****
PT5PU	-	-	PU5.5	PU5.4	PU5.3	PU5.2	PU5.1	PU5.0	0000 0000	uuuu uuuu	*****
PT5INT	-	-	-	-	INTG5.3	INTG5.2	INTG5.1	INTG5.0	0000 0000	uuuu uuuu	*****
PT5INTE	-	-	-	-	INTE5.3	INTE5.2	INTE5.1	INTE5.0	0000 0000	uuuu uuuu	*****
PT5INTF	-	-	-	-	INTF5.3	INTF5.2	INTF5.1	INTF5.0	0000 0000	uuuu uuuu	*****

表 7-11 PORT 控制暫存器

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
PT6	PT6.7	PT6.6	PT6.5	PT6.4	PT6.3	PT6.2	PT6.1	PT6.0	xxxx xxxx	uuuu uuuu	*****
TRISC6	TC6.7	TC6.6	TC6.5	TC6.4	TC6.3	TC6.2	TC6.1	TC6.0	0000 0000	uuuu uuuu	*****
PT6DA	DA6.7	DA6.6	DA6.5	DA6.4	DA6.3	DA6.2	DA6.1	DA6.0	1111 1111	uuuu uuuu	*****
PT6PU	PU6.7	PU6.6	PU6.5	PU6.4	PU6.3	PU6.2	PU6.1	PU6.0	0000 0000	uuuu uuuu	*****
PT7	PT7.7	PT7.6	PT7.5	PT7.4	PT7.3	PT7.2	PT7.1	PT7.0	xxxx xxxx	uuuu uuuu	*****
TRISC7	TC7.7	TC7.6	TC7.5	TC7.4	TC7.3	TC7.2	TC7.1	TC7.0	0000 0000	uuuu uuuu	*****
PT7DA	DA7.7	DA7.6	DA7.5	DA7.4	DA7.3	DA7.2	DA7.1	DA7.0	1111 1111	uuuu uuuu	*****
PT7PU	PU7.7	PU7.6	PU7.5	PU7.4	PU7.3	PU7.2	PU7.1	PU7.0	0000 0000	uuuu uuuu	*****
PT8	PT8.7	PT8.6	PT8.5	PT8.4	PT8.3	PT8.2	PT8.1	PT8.0	xxxx xxxx	uuuu uuuu	*****
TRISC8	TC8.7	TC8.6	TC8.5	TC8.4	TC8.3	TC8.2	TC8.1	TC8.0	0000 0000	uuuu uuuu	*****
PT8DA	DA8.7	DA8.6	DA8.5	DA8.4	DA8.3	DA8.2	DA8.1	DA8.0	1111 1111	uuuu uuuu	*****
PT8PU	PU8.7	PU8.6	PU8.5	PU8.4	PU8.3	PU8.2	PU8.1	PU8.0	0000 0000	uuuu uuuu	*****
PT9	PT9.7	PT9.6	PT9.5	PT9.4	PT9.3	PT9.2	PT9.1	PT9.0	xxxx xxxx	uuuu uuuu	*****
TRISC9	TC9.7	TC9.6	TC9.5	TC9.4	TC9.3	TC9.2	TC9.1	TC9.0	0000 0000	uuuu uuuu	*****
PT9DA	DA9.7	DA9.6	DA9.5	DA9.4	DA9.3	DA9.2	DA9.1	DA9.0	1111 1111	uuuu uuuu	*****
PT9PU	PU9.7	PU9.6	PU9.5	PU9.4	PU9.3	PU9.2	PU9.1	PU9.0	0000 0000	uuuu uuuu	*****
PT10	PT10.7	PT10.6	PT10.5	PT10.4	PT10.3	PT10.2	PT10.1	PT10.0	xxxx xxxx	uuuu uuuu	*****
TRISC10	TC10.7	TC10.6	TC10.5	TC10.4	TC10.3	TC10.2	TC10.1	TC10.0	0000 0000	uuuu uuuu	*****
PT10DA	DA10.7	DA10.6	DA10.5	DA10.4	DA10.3	DA10.2	DA10.1	DA10.0	1111 1111	uuuu uuuu	*****
PT10PU	PU10.7	PU10.6	PU10.5	PU10.4	PU10.3	PU10.2	PU10.1	PU10.0	0000 0000	uuuu uuuu	*****
PT11	-	-	-	-	PT11.3	PT11.2	PT11.1	PT11.0	xxxx xxxx	uuuu uuuu	*****
TRISC11	-	-	-	-	TC11.3	TC11.2	TC11.1	TC11.0	0000 0000	uuuu uuuu	*****
PT11DA	-	-	-	-	DA11.3	DA11.2	DA11.1	DA11.0	0000 1111	uuuu uuuu	*****
PT11PU	-	-	-	-	PU11.3	PU11.2	PU11.1	PU11.0	0000 0000	uuuu uuuu	*****

表 7-12 PORT 控制暫存器(續)

INTE0/INTE1/PT1INTE/PT2INTE/PT4INTE/PT5INTE: 詳見 中斷,Interrupt 章節

/INTF0/INTF1/PT1INTF/PT2INTF/PT4INTF/PT5INTF: 詳見 中斷,Interrupt 章節

WDTCN[7:0]看門狗控制暫存器

位元	名稱	描述										
Bit7	ENBZ	蜂鳴器 BZ 啟用與關閉控制器 <0>關閉 <1>啟用										
Bit6	BZS	蜂鳴器 BZ 工作頻率選擇器 <0>LS_CK <1>LPC_CK										
Bit5~4	DBZ[1:0]	蜂鳴器輸出頻率控制器 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DBZ[1:0]</th> <th>Pre-scale</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>BZ_CK ÷ 2</td> </tr> <tr> <td>01</td> <td>BZ_CK ÷ 4</td> </tr> <tr> <td>10</td> <td>BZ_CK ÷ 8</td> </tr> <tr> <td>11</td> <td>BZ_CK ÷ 16</td> </tr> </tbody> </table>	DBZ[1:0]	Pre-scale	00	BZ_CK ÷ 2	01	BZ_CK ÷ 4	10	BZ_CK ÷ 8	11	BZ_CK ÷ 16
DBZ[1:0]	Pre-scale											
00	BZ_CK ÷ 2											
01	BZ_CK ÷ 4											
10	BZ_CK ÷ 8											
11	BZ_CK ÷ 16											

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

PT1: PT1 引腳狀態旗標與控制暫存器

位元	名稱	描述									
Bit7~0	PT1.x	PT1.x 引腳的狀態旗標與控制器 · $0 \leq x \leq 7$									
		<table border="1"><thead><tr><th>PT1.x</th><th>當 TC1x 設置<0></th><th>當 TC1x 設置<1></th></tr></thead><tbody><tr><td>0</td><td>PT1.x 輸入為低電位(L)</td><td>PT1.x 輸出低電位(L)</td></tr><tr><td>1</td><td>PT1.x 輸入為高電位(H)</td><td>PT1.x 輸出高電位(H)</td></tr></tbody></table>	PT1.x	當 TC1x 設置<0>	當 TC1x 設置<1>	0	PT1.x 輸入為低電位(L)	PT1.x 輸出低電位(L)	1	PT1.x 輸入為高電位(H)	PT1.x 輸出高電位(H)
		PT1.x	當 TC1x 設置<0>	當 TC1x 設置<1>							
		0	PT1.x 輸入為低電位(L)	PT1.x 輸出低電位(L)							
1	PT1.x 輸入為高電位(H)	PT1.x 輸出高電位(H)									
0	PT1.x 輸入為低電位(L)	PT1.x 輸出低電位(L)									
1	PT1.x 輸入為高電位(H)	PT1.x 輸出高電位(H)									

TRISC1: PT1 引腳特性控制暫存器

位元	名稱	描述
Bit7~0	TC1.x	PT1.x 引腳輸出特性控制器 · $0 \leq x \leq 7$ <0> 關閉輸出功能 · 引腳只為輸入特性 <1> 啟用輸出功能 · 引腳為輸出/輸入特性

PT1DA: PT1 類比輸入控制暫存器

位元	名稱	描述
Bit7~0	DA1.2	PT1.2 類比輸入控制器 <0> 關閉 <1> 啟用

PT1PU: PT1 引腳上拉電阻控制暫存器

位元	名稱	描述
Bit7~0	PU1.x	PT1.x 引腳上拉電阻控制器 · $0 \leq x \leq 7$ <0>關閉 <1>啟用

PT1M1: 數位輸出模式選擇暫存器 1

位元	名稱	描述										
Bit3~2	INTEG1[1:0]	PT1.x 中斷信號產生條件 ($0 \leq x \leq 1$)										
Bit1~0	INTEG0[1:0]	<table border="1"><thead><tr><th>INTEGx[1:0]</th><th>中斷信號產生條件</th></tr></thead><tbody><tr><td>00</td><td>下降緣 (1→0)</td></tr><tr><td>01</td><td>上升緣 (0→1)</td></tr><tr><td>10</td><td>電位轉態 (0→1 或 1→0)</td></tr><tr><td>11</td><td>電位轉態 (0→1 或 1→0)</td></tr></tbody></table>	INTEGx[1:0]	中斷信號產生條件	00	下降緣 (1→0)	01	上升緣 (0→1)	10	電位轉態 (0→1 或 1→0)	11	電位轉態 (0→1 或 1→0)
		INTEGx[1:0]	中斷信號產生條件									
		00	下降緣 (1→0)									
		01	上升緣 (0→1)									
		10	電位轉態 (0→1 或 1→0)									
11	電位轉態 (0→1 或 1→0)											
00	下降緣 (1→0)											
01	上升緣 (0→1)											
10	電位轉態 (0→1 或 1→0)											
11	電位轉態 (0→1 或 1→0)											

PT1INT: I/O 中斷信號產生條件

位元	名稱	描述
Bit7~2	INTEGx	中斷信號產生條件 ($2 \leq x \leq 7$) <0> 下降緣 (1→0)

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

		<1> 上升緣 (0→1)
--	--	---------------

PT2: PT2 引腳狀態旗標與控制暫存器

位元	名稱	描述									
Bit7~0	PT2.x	PT2.x 引腳的狀態旗標與控制器， $0 \leq x \leq 7$									
		<table border="1"><thead><tr><th>PT2.x</th><th>當 TC2x 設置<0></th><th>當 TC2x 設置<1></th></tr></thead><tbody><tr><td>0</td><td>PT2.x 輸入為低電位(L)</td><td>PT2.x 輸出低電位(L)</td></tr><tr><td>1</td><td>PT2.x 輸入為高電位(H)</td><td>PT2.x 輸出高電位(H)</td></tr></tbody></table>	PT2.x	當 TC2x 設置<0>	當 TC2x 設置<1>	0	PT2.x 輸入為低電位(L)	PT2.x 輸出低電位(L)	1	PT2.x 輸入為高電位(H)	PT2.x 輸出高電位(H)
		PT2.x	當 TC2x 設置<0>	當 TC2x 設置<1>							
		0	PT2.x 輸入為低電位(L)	PT2.x 輸出低電位(L)							
1	PT2.x 輸入為高電位(H)	PT2.x 輸出高電位(H)									
0	PT2.x 輸入為低電位(L)	PT2.x 輸出低電位(L)									
1	PT2.x 輸入為高電位(H)	PT2.x 輸出高電位(H)									

TRISC2: PT2 引腳特性控制暫存器

位元	名稱	描述
Bit7~0	TC2.x	PT2.x 引腳輸出特性控制器， $0 \leq x \leq 7$ <0> 關閉輸出功能，引腳只為輸入特性 <1> 啟用輸出功能，引腳為輸出/輸入特性

PT2PU: PT2 引腳上拉電阻控制暫存器

位元	名稱	描述
Bit7~0	PU2.x	PT2.x 引腳上拉電阻控制器， $0 \leq x \leq 7$ <0>關閉 <1>啟用

PT2INT: I/O 中斷信號產生條件

位元	名稱	描述
Bit7~0	INTEGx	中斷信號產生條件 ($0 \leq x \leq 7$) <0> 下降緣 (1→0) <1> 上升緣 (0→1)

PT4: PT4 引腳狀態旗標與控制暫存器

位元	名稱	描述									
Bit7~4	PT4.x	PT4.x 引腳的狀態旗標與控制器， $4 \leq x \leq 7$									
		<table border="1"><thead><tr><th>PT4.x</th><th>當 TC4.x 設置<0></th><th>當 TC4.x 設置<1></th></tr></thead><tbody><tr><td>0 (預設)</td><td>PT4.x 輸入為低電位(L)</td><td>PT4.x 輸出低電位(L)</td></tr><tr><td>1</td><td>PT4.x 輸入為高電位(H)</td><td>PT4.x 輸出高電位(H)</td></tr></tbody></table>	PT4.x	當 TC4.x 設置<0>	當 TC4.x 設置<1>	0 (預設)	PT4.x 輸入為低電位(L)	PT4.x 輸出低電位(L)	1	PT4.x 輸入為高電位(H)	PT4.x 輸出高電位(H)
		PT4.x	當 TC4.x 設置<0>	當 TC4.x 設置<1>							
		0 (預設)	PT4.x 輸入為低電位(L)	PT4.x 輸出低電位(L)							
1	PT4.x 輸入為高電位(H)	PT4.x 輸出高電位(H)									
0 (預設)	PT4.x 輸入為低電位(L)	PT4.x 輸出低電位(L)									
1	PT4.x 輸入為高電位(H)	PT4.x 輸出高電位(H)									

TRISC4: PT4 引腳特性控制暫存器

位元	名稱	描述
Bit7~4	TC4.x	PT4.x 引腳輸出特性控制器， $4 \leq x \leq 7$ <0>關閉輸出功能，引腳只為輸入特性(預設) <1>啟用輸出功能，引腳為輸出/輸入特性

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

PT4DA: PT4 類比輸入控制暫存器

位元	名稱	描述
Bit7~4	DA4.x	PT4.x 類比輸入控制器 · $4 \leq x \leq 7$ <0>關閉 <1>啟用(預設)

PT4PU: PT4 引腳上拉電阻控制暫存器

位元	名稱	描述
Bit7~4	PU4.x	PT4.x 引腳上拉電阻控制器 · $4 \leq x \leq 7$ <0>關閉(預設) <1>啟用

PT6: PT6 引腳狀態旗標與控制暫存器

位元	名稱	描述									
Bit7~0	PT6.x	PT6.x 引腳的狀態旗標與控制器 · $0 \leq x \leq 7$									
		<table border="1"><thead><tr><th>PT6.x</th><th>當 TC6.x 設置<0></th><th>當 TC6.x 設置<1></th></tr></thead><tbody><tr><td>0 (預設)</td><td>-</td><td>PT6.x 輸出低電位(L)</td></tr><tr><td>1</td><td>-</td><td>PT6.x 輸出高電位(H)</td></tr></tbody></table>	PT6.x	當 TC6.x 設置<0>	當 TC6.x 設置<1>	0 (預設)	-	PT6.x 輸出低電位(L)	1	-	PT6.x 輸出高電位(H)
		PT6.x	當 TC6.x 設置<0>	當 TC6.x 設置<1>							
0 (預設)	-	PT6.x 輸出低電位(L)									
1	-	PT6.x 輸出高電位(H)									

TRISC6: PT6 引腳特性控制暫存器

位元	名稱	描述
Bit7~0	TC6.x	PT6.x 引腳輸出特性控制器 · $0 \leq x \leq 7$ <0>關閉輸出功能，引腳只為輸入特性(預設) <1>啟用輸出功能，引腳為輸出/輸入特性

PT6DA: PT6 類比輸入控制暫存器

位元	名稱	描述
Bit7~0	DA6.x	PT6.x 類比輸入控制器 · $0 \leq x \leq 7$ <0> 關閉，為數位輸出/輸入模式 <1> 啟用(預設)

PT6PU: PT6 引腳上拉電阻控制暫存器

位元	名稱	描述
Bit7~0	PU6.x	PT6.x 引腳上拉電阻控制器 · $0 \leq x \leq 7$ <0>關閉 <1>啟用

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

PT7: PT7 引腳狀態旗標與控制暫存器

位元	名稱	描述									
Bit7~0	PT7.x	PT7.x 引腳的狀態旗標與控制器， $0 \leq x \leq 7$									
		<table border="1"><thead><tr><th>PT7.x</th><th>當 TC7.x 設置<0></th><th>當 TC7.x 設置<1></th></tr></thead><tbody><tr><td>0 (預設)</td><td>-</td><td>PT7.x 輸出低電位(L)</td></tr><tr><td>1</td><td>-</td><td>PT7.x 輸出高電位(H)</td></tr></tbody></table>	PT7.x	當 TC7.x 設置<0>	當 TC7.x 設置<1>	0 (預設)	-	PT7.x 輸出低電位(L)	1	-	PT7.x 輸出高電位(H)
		PT7.x	當 TC7.x 設置<0>	當 TC7.x 設置<1>							
		0 (預設)	-	PT7.x 輸出低電位(L)							
1	-	PT7.x 輸出高電位(H)									
0 (預設)	-	PT7.x 輸出低電位(L)									
1	-	PT7.x 輸出高電位(H)									

TRISC7: PT7 引腳特性控制暫存器

位元	名稱	描述
Bit7~0	TC7.x	PT7.x 引腳輸出特性控制器， $0 \leq x \leq 7$ <0>關閉輸出功能，引腳只為輸入特性(預設) <1>啟用輸出功能，引腳為輸出/輸入特性

PT7DA: PT7 類比輸入控制暫存器

位元	名稱	描述
Bit7~0	DA7.x	PT7.x 類比輸入控制器， $0 \leq x \leq 7$ <0> 關閉，為數位輸出/輸入模式 <1> 啟用(預設)

PT7PU: PT7 引腳上拉電阻控制暫存器

位元	名稱	描述
Bit7~0	PU7.x	PT7.x 引腳上拉電阻控制器， $0 \leq x \leq 7$ <0>關閉 <1>啟用

PT8: PT8 引腳狀態旗標與控制暫存器

位元	名稱	描述									
Bit7~0	PT8.x	PT8.x 引腳的狀態旗標與控制器， $0 \leq x \leq 7$									
		<table border="1"><thead><tr><th>PT8.x</th><th>當 TC8.x 設置<0></th><th>當 TC8.x 設置<1></th></tr></thead><tbody><tr><td>0 (預設)</td><td>-</td><td>PT8.x 輸出低電位(L)</td></tr><tr><td>1</td><td>-</td><td>PT8.x 輸出高電位(H)</td></tr></tbody></table>	PT8.x	當 TC8.x 設置<0>	當 TC8.x 設置<1>	0 (預設)	-	PT8.x 輸出低電位(L)	1	-	PT8.x 輸出高電位(H)
		PT8.x	當 TC8.x 設置<0>	當 TC8.x 設置<1>							
		0 (預設)	-	PT8.x 輸出低電位(L)							
1	-	PT8.x 輸出高電位(H)									
0 (預設)	-	PT8.x 輸出低電位(L)									
1	-	PT8.x 輸出高電位(H)									

TRISC8: PT8 引腳特性控制暫存器

位元	名稱	描述
Bit7~0	TC8.x	PT8.x 引腳輸出特性控制器， $0 \leq x \leq 7$ <0>關閉輸出功能，引腳只為輸入特性(預設) <1>啟用輸出功能，引腳為輸出/輸入特性

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

PT8DA: PT8 類比輸入控制暫存器

位元	名稱	描述
Bit7~0	DA8.x	PT8.x 類比輸入控制器， $0 \leq x \leq 7$ <0> 關閉，為數位輸出/輸入模式 <1> 啟用(預設)

PT8PU: PT8 引腳上拉電阻控制暫存器

位元	名稱	描述
Bit7~0	PU8.x	PT8.x 引腳上拉電阻控制器， $0 \leq x \leq 7$ <0>關閉 <1>啟用

PT9: PT9 引腳狀態旗標與控制暫存器

位元	名稱	描述									
Bit7~0	PT9.x	PT9.x 引腳的狀態旗標與控制器， $0 \leq x \leq 7$									
		<table border="1"><thead><tr><th>PT7.x</th><th>當 TC9.x 設置<0></th><th>當 TC9.x 設置<1></th></tr></thead><tbody><tr><td>0 (預設)</td><td>-</td><td>PT7.x 輸出低電位(L)</td></tr><tr><td>1</td><td>-</td><td>PT7.x 輸出高電位(H)</td></tr></tbody></table>	PT7.x	當 TC9.x 設置<0>	當 TC9.x 設置<1>	0 (預設)	-	PT7.x 輸出低電位(L)	1	-	PT7.x 輸出高電位(H)
PT7.x	當 TC9.x 設置<0>	當 TC9.x 設置<1>									
0 (預設)	-	PT7.x 輸出低電位(L)									
1	-	PT7.x 輸出高電位(H)									

TRISC9: PT9 引腳特性控制暫存器

位元	名稱	描述
Bit7~0	TC9.x	PT9.x 引腳輸出特性控制器， $0 \leq x \leq 7$ <0>關閉輸出功能，引腳只為輸入特性(預設) <1>啟用輸出功能，引腳為輸出/輸入特性

PT9DA: PT9 類比輸入控制暫存器

位元	名稱	描述
Bit7~0	DA9.x	PT9.x 類比輸入控制器， $0 \leq x \leq 7$ <0> 關閉，為數位輸出/輸入模式 <1> 啟用(預設)

PT6PU: PT6 引腳上拉電阻控制暫存器

位元	名稱	描述
Bit7~0	PU9.x	PT9.x 引腳上拉電阻控制器， $0 \leq x \leq 7$ <0>關閉 <1>啟用

PT10: PT10 引腳狀態旗標與控制暫存器

位元	名稱	描述
----	----	----

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

Bit7~0	PT10.x	PT10.x 引腳的狀態旗標與控制器 · $0 \leq x \leq 7$		
		PT10.x	當 TC10.x 設置<0>	當 TC10.x 設置<1>
		0 (預設)	-	PT10.x 輸出低電位(L)
		1	-	PT10.x 輸出高電位(H)

TRISC10: PT10 引腳特性控制暫存器

位元	名稱	描述
Bit7~0	TC10.x	PT10.x 引腳輸出特性控制器 · $0 \leq x \leq 7$ <0>關閉輸出功能 · 引腳只為輸入特性(預設) <1>啟用輸出功能 · 引腳為輸出/輸入特性

PT10DA: PT10 類比輸入控制暫存器

位元	名稱	描述
Bit7~0	DA10.x	PT10.x 類比輸入控制器 · $0 \leq x \leq 7$ <0> 關閉 · 為數位輸出/輸入模式 <1> 啟用(預設)

PT10PU: PT10 引腳上拉電阻控制暫存器

位元	名稱	描述
Bit7~0	PU10.x	PT10.x 引腳上拉電阻控制器 · $0 \leq x \leq 7$ <0>關閉 <1>啟用

PT11: PT11 引腳狀態旗標與控制暫存器

Bit3~0	PT11.x	PT11.x 引腳的狀態旗標與控制器 · $0 \leq x \leq 3$		
		PT11.x	當 TC11.x 設置<0>	當 TC11.x 設置<1>
		0 (預設)	-	PT11.x 輸出低電位(L)
		1	-	PT11.x 輸出高電位(H)

TRISC11: PT11 引腳特性控制暫存器

位元	名稱	描述
Bit3~0	TC11.x	PT11.x 引腳輸出特性控制器 · $0 \leq x \leq 3$ <0>關閉輸出功能 · 引腳只為輸入特性(預設) <1>啟用輸出功能 · 引腳為輸出/輸入特性

PT11DA: PT11 類比輸入控制暫存器

位元	名稱	描述
----	----	----

HY17S58 Emulate Chip User' Guide

Embedded $\Sigma\Delta$ ADC
8-Bit RISC-like Mixed Signal Microcontroller

Bit3~0	DA10.x	PT10.x 類比輸入控制器 · $0 \leq x \leq 3$ <0> 關閉 · 為數位輸出/輸入模式 <1> 啟用(預設)
--------	--------	---

PT10PU: PT10 引腳上拉電阻控制暫存器

位元	名稱	描述
Bit3~0	PU10.x	PT10.x 引腳上拉電阻控制器 · $0 \leq x \leq 3$ <0>關閉 <1>啟用

8. 定電流輸入/輸出埠,I/O(HY17P48 only)

定電流的 I/O 僅有 HY17P48 支援，其餘 IC 型號沒有該功能。

定電流的 I/O，主要功能為驅動 LED，透過軟體方式掃描完成 LED 顯示功能。

定電流 I/O 有以下特色。

- 一共支持 8 I/O 最大可驅動 LED 點數為 56 點。
- 有 3bit 的可調整電流支持 2mA~15mA
- 不需要限流電阻
- LED 亮度不隨 VDD 電壓、溫度、點亮點數多寡而改變

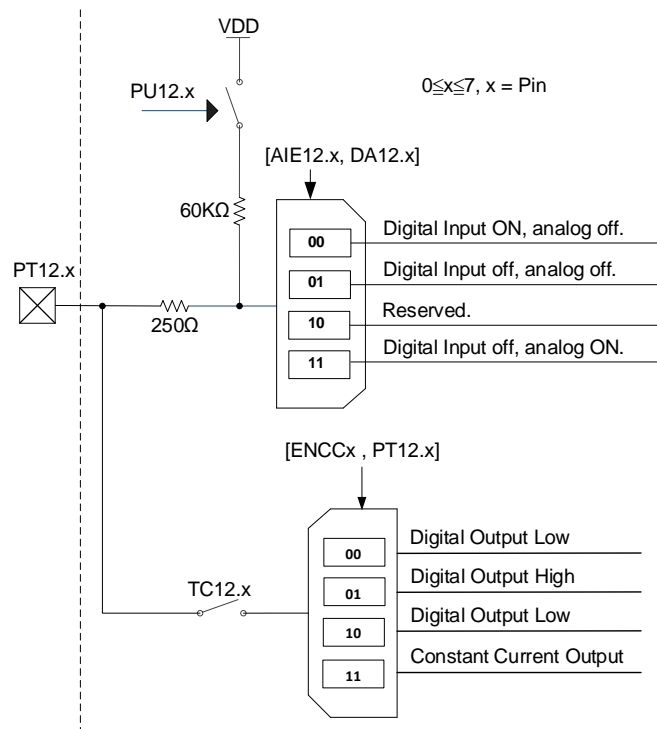


圖 8-1 I/O PORT12 架構方塊圖

8.1. 定電流模使用說明

8.1.1. 定電流模式初始設定

設定 ENCCMode 內暫存器，ENCC7~ENCC0 分別對應 PT12.7~PT12.0。置 1 為開啟定電流模式
透過 CCLevel[2:0]設定開啟定電流腳位的電流大小。

在 LED 的點亮，還需要將 PT12 設定成 IO 的 Output mode，並給予 Output High。但 IO 模式上的切換與 IO 的輸出狀況。還需視 LED 點亮的需求做調整。

8.2. 暫存器說明-CC

“.”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
CCNT	-	-	-	-	-	CCLevel[2:0]			xxxx x000	uuuu uuuu	*,*,*,*,*,*
ENCCMode	ENCC7	ENCC6	ENCC5	ENCC4	ENCC3	ENCC2	ENCC1	ENCC0	0000 0000	uuuu uuuu	*,*,*,*,*,*

表 8-1 定電流控制暫存器

CCNT: CCNT 控制暫存器

位元	名稱	描述																		
Bit2~0	CCLevel	定電流大小控制																		
		<table border="1"> <thead> <tr> <th>CCNT[2:0]</th> <th>電流大小</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>2mA</td> </tr> <tr> <td>001</td> <td>3mA</td> </tr> <tr> <td>010</td> <td>5mA</td> </tr> <tr> <td>011</td> <td>7mA</td> </tr> <tr> <td>100</td> <td>9mA</td> </tr> <tr> <td>101</td> <td>11mA</td> </tr> <tr> <td>110</td> <td>13mA</td> </tr> <tr> <td>111</td> <td>15mA</td> </tr> </tbody> </table>	CCNT[2:0]	電流大小	000	2mA	001	3mA	010	5mA	011	7mA	100	9mA	101	11mA	110	13mA	111	15mA
		CCNT[2:0]	電流大小																	
		000	2mA																	
		001	3mA																	
		010	5mA																	
		011	7mA																	
		100	9mA																	
		101	11mA																	
110	13mA																			
111	15mA																			

ENCCMode: ENCCMode 控制暫存器

位元	名稱	描述
Bit7~0	ENCCx	定電流控制開關 <0> 關閉 <1> 開啟

9. 低電壓檢測, Low Voltage Detect

低電壓檢測 LVD 具有偵測工作電壓或是外部輸入電壓的功能，其可以讓使用者準確的決定所監測的電壓在多低的電壓準位產生低電壓事件。

LVD 具有以下功能。

- VDD 工作電壓與外部輸入電壓偵測功能。
- 可設置十四段工作電壓的低電位檢測點。
- 簡易外部輸入電位比較功能。

LVD 相關暫存器摘要：

LVDCN PWRs[0], VLdX[3:0], LVDO[0]

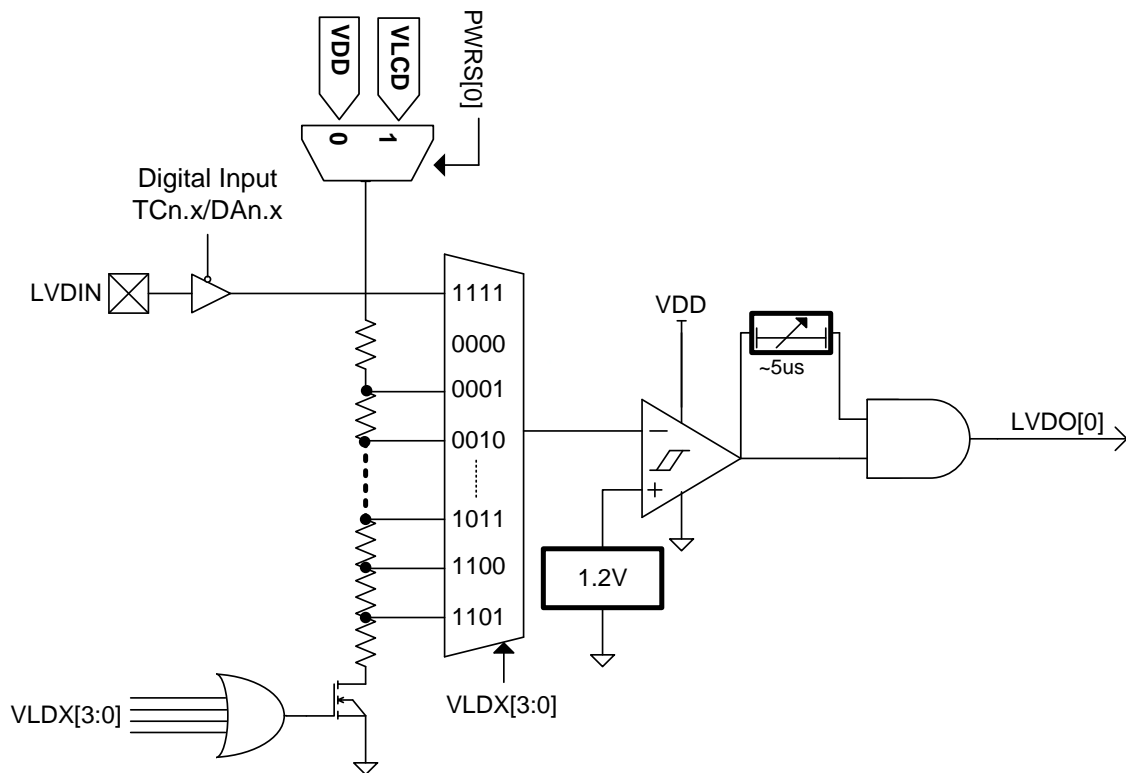


圖 9-1 低電壓檢測方塊圖

9.1. 低電壓偵測使用說明

9.1.1. LVD 初始設置

設置監測電壓選擇器 VLdX[3:0]可以決定 LVD 偵測的電壓是由工作電壓分壓產生或是外部輸入引腳 LVDIN。

當 VLdX[3:0]設置為偵測工作電壓時，即可透過分壓電阻的匹配達到 14 段的監測的電壓點；若設置為外部輸入時，使用者可能需要設計電壓分壓電路產生適當的電壓信號後再由 LVDIN 引腳輸入至 LVD 比較器。

9.1.2. LVD 低電壓發生條件及事件記錄

LVD 偵測電壓的方式是透過內部比較器將監測的電壓信號與內部參考電壓進行比較。若偵測電壓比參考電壓高，則比較器輸出 1 反之輸出 0。運作期間為了確保低電壓偵測動作正常必須參考穩定旗標 LVDO[0]的狀態，在每次變更 VLDX[3:0]的設置值後必須等待延遲時間 5 μ S，使線路達到穩定 LVDO[0]置<1>才可判斷低電壓反應旗標 LVD[0]。反之，若 LVDO[0]置<0>則所判斷的 LVD[0]可能是錯誤資訊。

9.1.3. LVD 啟用方式

當 VLDX[3:0]的設置不等於<0000>，LVD 即自動啟用。反之，VLDX[3:0]=<0000>則 LVD 自動關閉。

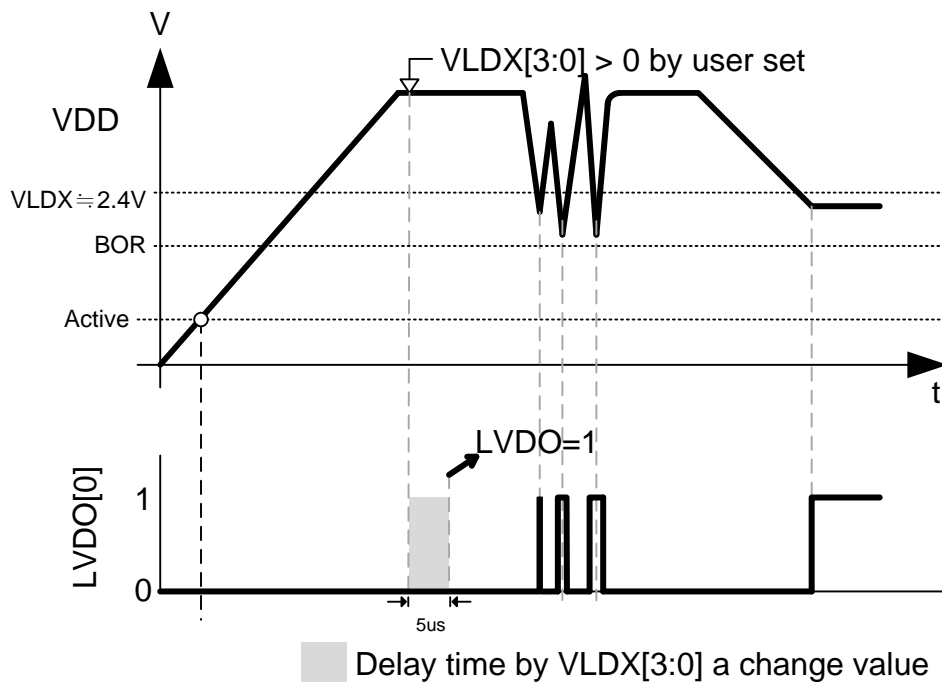


圖 9-2 LVD 時序圖

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

9.2. 暫存器說明-LVD

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
LVDCN	-	-	PWRS	VLDX[3:0]			LVDO	0000 0000	uuuu uuuu	*****	

表 9-1 LVD 控制暫存器

PSTAT: 詳見 復位,RESET 章節

PT1/PT1DA/PT1PU: 詳見 輸入/輸出埠,I/O 章節

LVDCN: LVD 控制暫存器

位元	名稱	描述																																				
Bit5	PWRS	used to select which power source is monitored <0> VDD <1> VLCD(HY17P48 沒有 VLCD。故不能選擇為 1)																																				
Bit4~1	VLDX[3:0]	監測電壓選擇器 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>VLDX[3:0]</th> <th>監測電壓</th> <th>VLDX[3:0]</th> <th>監測電壓</th> </tr> </thead> <tbody> <tr><td>0000</td><td>LVDOFF</td><td>1000</td><td>2.7V</td></tr> <tr><td>0001</td><td>2.0V</td><td>1001</td><td>2.8V</td></tr> <tr><td>0010</td><td>2.1V</td><td>1010</td><td>2.9V</td></tr> <tr><td>0011</td><td>2.2V</td><td>1011</td><td>3.0V</td></tr> <tr><td>0100</td><td>2.3V</td><td>1100</td><td>3.3V</td></tr> <tr><td>0101</td><td>2.4V</td><td>1101</td><td>3.6V</td></tr> <tr><td>0110</td><td>2.5V</td><td>1110</td><td>4.0V</td></tr> <tr><td>0111</td><td>2.6V</td><td>1111</td><td>PT1.2(LVDIN)</td></tr> </tbody> </table>	VLDX[3:0]	監測電壓	VLDX[3:0]	監測電壓	0000	LVDOFF	1000	2.7V	0001	2.0V	1001	2.8V	0010	2.1V	1010	2.9V	0011	2.2V	1011	3.0V	0100	2.3V	1100	3.3V	0101	2.4V	1101	3.6V	0110	2.5V	1110	4.0V	0111	2.6V	1111	PT1.2(LVDIN)
VLDX[3:0]	監測電壓	VLDX[3:0]	監測電壓																																			
0000	LVDOFF	1000	2.7V																																			
0001	2.0V	1001	2.8V																																			
0010	2.1V	1010	2.9V																																			
0011	2.2V	1011	3.0V																																			
0100	2.3V	1100	3.3V																																			
0101	2.4V	1101	3.6V																																			
0110	2.5V	1110	4.0V																																			
0111	2.6V	1111	PT1.2(LVDIN)																																			
Bit0	LVDO	LVD output 當 VLDX[3:0]=0001~1110 時候的狀態 <0> higher than detection voltage <1> lower than detection voltage 當 VLDX[3:0]=1111=PT1.2(LVDIN)時候的狀態 <0> higher than detection voltage <1> lower than detection voltage ※HY17P48 需先將 LVDIN 腳位，切換至類比功能使用 [AIE1.2, DA1.2] = 11b																																				

10. 看門狗, Watch Dog

看門狗 WDT 為顧名思義的為晶片的看守者，主要用於產生喚醒事件。

- 運行模式
 - 看門狗計數器溢位產生復位信號，重新啟動晶片
 - 可用軟體清歸零時器
- 休眠模式
 - 看門狗 WDT 關閉，無法使用
- 待機模式
 - 看門狗計數器溢位產生中斷事件，喚醒晶片

WDT 相關暫存器摘要：

INTE0 GIE[0], WDTIE[0]
INTF0 WDTIF[0]
PSTAT TO[0]
WDTCN ENWDT[0], DWDT[2:0]

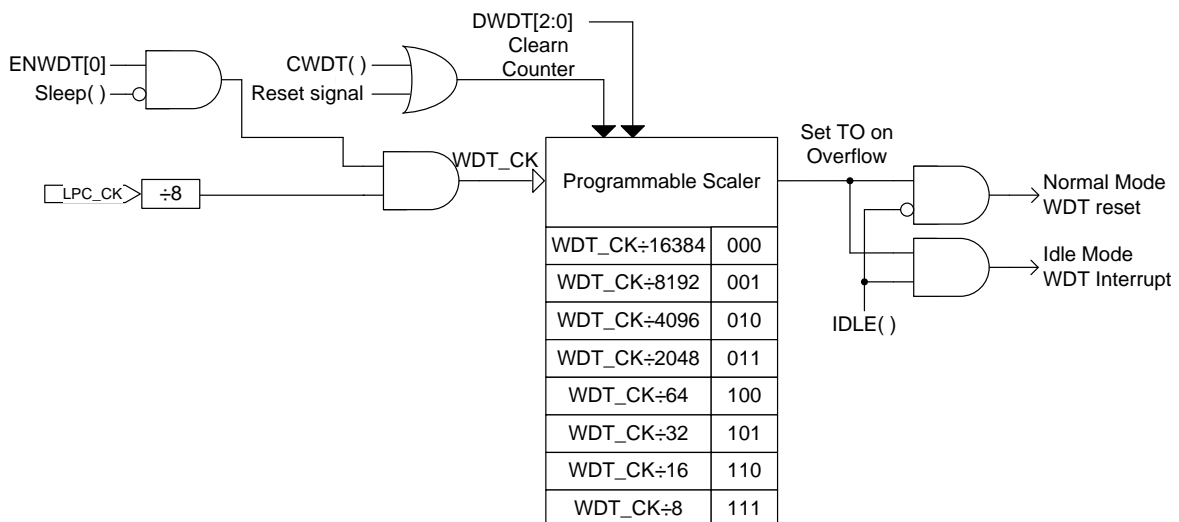


圖 10-1 看門狗方塊圖

10.1. WDT 使用說明

10.1.1. WDT 初始化設置

WDT 計時控制器 DWDT[2:0]可決定 WDT 計數器的工作頻率 WDT_CK 與溢位，計數器溢位後可產生 WDT 復位信號 TO 或中斷事件 WDTIF²。

² WDT 使用內部時脈源 LPO，故可操作在晶片處於運行 Normal Mode 與待機 Idle Mode 模式。運行模式下可用軟體歸零計數器使之不會因計數終了而復位晶片，但在待機模式下則無法透過任何方式使 WDT 計時器歸零。

10.1.2. WDT 中斷事件服務

WDT 中斷事件只能操作在晶片處於待機模式，當 WDTIE[0]與 GIE[0]設置<1>時 WDT 計數器溢位後會產生中斷事件將 WDTIF[0]置<1>且程式計數器 PC 跳至中斷向量位置<0>x0004h。反之，WDTIE[0]與 GIE[0]設置<0>時不會產生任何中斷。

10.1.3. WDT 啟用

WDT 必須在晶片處於運行模式下啟用，即是將 WDT 啟用控制器 ENWDT[0]設置<1>以啟用 WDT。啟用後即無法用軟件再將 ENWDT[0]設置<0>，不論在運行模式或者待機模式都無法用軟件再將 ENWDT[0]設置<0>。DWDT[2:0]設定後，當發生 WDT 重置或中斷，DWDT 將會被清除為 000b，需要軟體重新再設定。

10.2. WDT 控制暫存器列表與說明：

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE0	GIE	-	ADIE	WDTIE	TB1IE	TMAIE	E1IE	EOIE	0000 0000	0uuu uuuu	*,*,*,*,*,*
INTF0	-	-	ADIF	WDTIF	TB1IF	TMAIF	E1IF	EOIF	.000 0000	.uuu uuuu	*,*,*,*,*,*
PSTAT			TO						\$000 \$00.	uu\$u u\$u.	rw0,rw0,rw0,rw0 rw0,rw0,-
WDTCN					ENWDT			DWDT[2:0]	0000 0000	uuuu \$000	-,*,* rw1,*,*

表 10-1 WDT 相關暫存器

INTE0/INTF0: 詳見 中斷,Interrupt 章節

PSTAT[7:0]週邊狀態旗標暫存器

位元	名稱	描述
Bit5	TO	看門狗 WDT 運行模式計數溢位旗標 <0>未發生 WDT 計數溢位事件 <1>已發生 WDT 復位事件；清除需透過 BOR、RST 或指令

WDTCN[7:0]看門狗控制暫存器

位元	名稱	描述
Bit3	ENWDT[0]	WDT 計數器啟用與關閉控制器 <0> 關閉 <1> 啟用

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

位元	名稱	描述
Bit2~0	DWDT[2:0]	看門狗 WDT_CK 工作頻率選擇器
		DWDT[2:0] Pre-scale
		000 WDT_CK 除 16384
		001 WDT_CK 除 8192
		010 WDT_CK 除 4096
		011 WDT_CK 除 2048
		100 WDT_CK 除 64
		101 WDT_CK 除 32
		110 WDT_CK 除 16
111 WDT_CK 除 8		

11. 計數器 A1/2, Timer-A1/2

計數器 A1/2 為 8-bit 的設計架構。TMA1/2 可工作於運行模式與待機模式。

- 遞增型計數器
- 八段溢位數值選擇
- 8Bit 溢位次數比較器
- 溢位產生中斷事件
- 可讀取計數器的值

TMA 暫存器摘要：

TMA1CN	ENTMA1[0], TMA1CL1[0], TMA1CK[0], TMA1S[0], DTMA1[2:0]
TMA1R	TMA1R[7:0]
TMA1C	TMA1C[7:0]
TMA2CN	ENTMA2[0], TMA2CL2[0], TMA2CK[0], TMA2S[0], DTMA2[2:0]
TMA2R	TMA2R[7:0]
TMA2C	TMA2C[7:0]
INTE0	GIE, TA1CIE
INTE1	TA1IE
INTE2	TA2IE, TA2CIE
INTF0	TA1CIF
INTF1	TA1IF
INTF2	TA2IF, TA2CIF

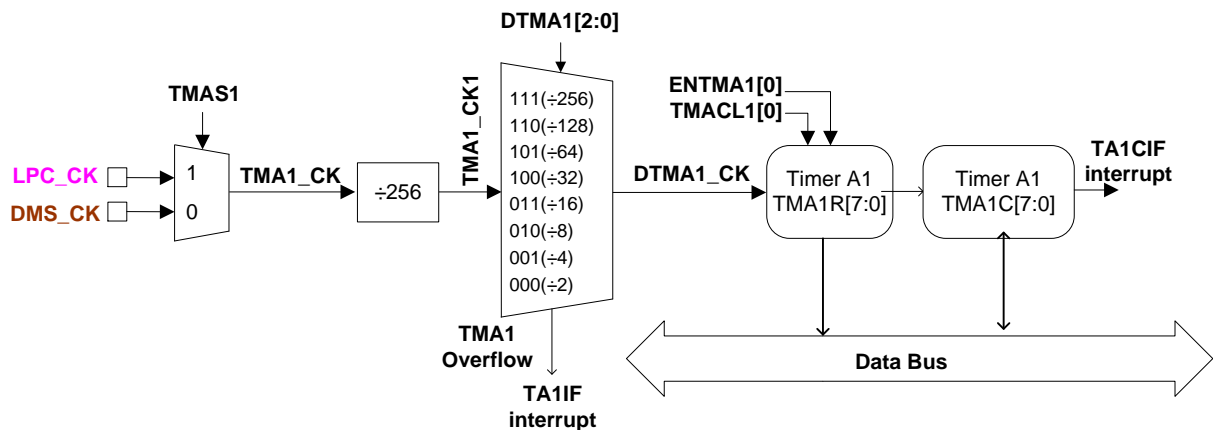


圖 11-1 計數器 A1 方塊圖

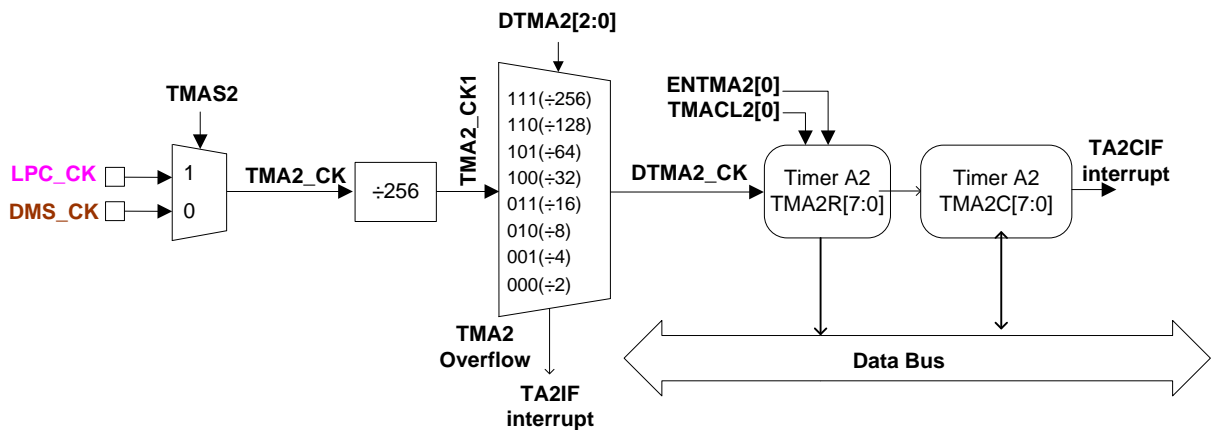


圖 11-2 8-bit Timer A2 方塊圖

- 計數器操作說明：(x=1 or 2)

設置 $TMAS_x[0]$ 選擇 TMA_x_CK 的頻率，並經過預除頻器 256 降低頻率再輸入 $DTMA_x$ 除頻器。

將 $ENTMA_x[0]$ 設置 $\langle 1 \rangle$ 啟用 TMA_x ；反之，設置 $\langle 0 \rangle$ 則關閉並清除 $TMA_xR[7:0]$ 。

$DTMA_x[2:0]$ 計數條件成立產生中斷事件，並使得 $TMA_xR[7:0]$ 累進加 1。

TMA_x 中斷事件 $TAxIF[0]$ 必須在 $TAxIE[0]$ 設置 $\langle 1 \rangle$ 且 $GIE[0]$ 設置 $\langle 1 \rangle$ 才有中斷服務。

讀取 $TMA_xR[7:0]$ 不會使得 TMA_x 計數器歸零。

使用者將 $TMA_xCL[0]$ 設置 $\langle 1 \rangle$ 清除 TMA_x 所有計數器後， $TMA_xCL[0]$ 自動置 $\langle 0 \rangle$ 。

$TMA_xR[7:0]$ 可讀取 TMA 累進計數器的數值，並可以以寫入任意值動作清除 $TMA_xR[7:0]$ 計數數值。
- 計數器的比較器操作說明：(x=1 or 2)

設置 $TMAS_x$ 選擇 TMA_x_CK 的頻率，先經過預除頻 256 之後，為 TMA_x_CK 頻率源後再輸入 $DTMA_x$ 除頻器。

將 $ENTMA_x$ 設置 $\langle 1 \rangle$ 啟用 TMA_x ，並清除 TMA_x_CK 、 $DTMA_x_CK$ 、 TMA_xR 等計數器，從 0 開始計數；反之，設置 $\langle 0 \rangle$ 則關閉 TMA_x 。

$DTMA_x[2:0]$ 計數條件成立產生中斷事件 ($TAxIF$)，並使得 $TMA_xR[7:0]$ 累進加 1。

TMA_x 中斷事件 $TAxIF$ 必須在 $TAxIE$ 設置 $\langle 1 \rangle$ 且 GIE 設置 $\langle 1 \rangle$ 才有中斷服務。

讀取 $TMA_xR[7:0]$ 不會使得 TMA_x 計數器歸零。

使用者將 $TMAxCL_x$ 設置 $\langle 1 \rangle$ 清除 TMA_x_CK 、 $DTMA_x_CK$ 計數器後， $TMAxCL_x[0]$ 由硬體自動置 $\langle 0 \rangle$ 。

$TMA_xR[7:0]$ 可讀取 TMA_x 累進計數器的數值，並可以以寫入動作會視為清除 $TMA_xR[7:0]$ 計數數值，從 $TMA_xR[7:0]=0$ 開始重新計算。

$TMAxC[7:0]$ 是 $Timer Ax$ 的比較點暫存器，可以被讀寫。當 BOR/POR 發生之後， $TMAxC[7:0]$ 會被設成 0。當 $TMA_xR[7:0]$ 值累加到和 $TMAxC[7:0]$ 一樣時， $TAxCIF$ 旗標都被置 1。同樣 $TAxCIF$ 必須在 $TAxCIE$ 設置 $\langle 1 \rangle$ 且 GIE 設置 $\langle 1 \rangle$ 才有中斷服務。

當設計 $TAxIF$ 為 1 秒中斷，如果需求為 60 秒中斷喚醒，則可以設定 $TAxCIF$ 為 60 秒中斷，並開啟 $TAxCIE$ 中斷要求來喚醒晶片。

11.1. 暫存器說明-TMA1/2

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE0	GIE	TA1CIE							0000 0000	0uuu uuuu	*; ; ; ; ; ; ; ;
INTE1	TA1IE	SPIIE	TXIE	RCIE	I2CERIE	I2CIE	E3IE	E2IE	0000 0000	uuuu uuuu	*; ; ; ; ; ; ; ;
INTE2	TA2IE	TA2CIE							0000 0000	uuuu uuuu	*; ; ; ; ; ; ; ;
INTF0	-	TA1CIF	ADIF	WDTIF	TB1IF	TMAIF	E1IF	E0IF	.000 0000	.uuu uuuu	*; ; ; ; ; ; ; ;
INTF1	TA1IF								0000 0000	uuuu uuuu	*; ; ; ; r; r; ; ;
INTF2	TA2IF	TA2CIF	TC1IF	TC0IF	TX2IF	RC2IF		BOR2IF	0000 0000	uuuu uuuu	*; ; ; ; ; ; ; ;
OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]			CUPS	0000 0000	uuuu uuuu	*; ; ; ; ; ; ; ;
OSCCN1		LCPS							0000 0000	uuuu uu.	*; ; ; ; ; ; ; ;-
OSCCN2	DLCD[1:0]		ENXT	XTS[1:0]		HAOM[1:0]		ENHAO	0000 0011	uuuu uu11	*; ; ; ; ; ; ; ;r
TMACN	ENTMA	TMACL	TMAS	DTMA[2:0]			-	-	0000 00..	u0uu uu..	*;rw1; ; ; ; ; ; ; ;-
TMAR	TMA counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0 rw0,rw0,rw0,rw0
TMA1C	TMA1C counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0 rw0,rw0,rw0,rw0
TMA2CN	ENTMA2	TMACL2	TMAS2	DTMA2[2:0]			-	-	0000 00..	u0uu uu..	*;rw1; ; ; ; ; ; ; ;-
TMA2R	TMA2 counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0 rw0,rw0,rw0,rw0
TMA2C	TMA2C counter Register								0000 0000	uuuu uuuu	rw0,rw0,rw0,rw0 rw0,rw0,rw0,rw0

表 11-1 TMA1/2 控制暫存器

INTE0/INTF0/INTE1/INTF1/INTE2/INTF2: 詳見 中斷,Interrupt 章節

OSCCN0/OSCCN1/OSCCN2:詳見 震盪器、時脈源與功耗管理章節

TMAxCN: 計數器 Ax 控制暫存器(x=1 or 2)

位元	名稱	描述
Bit7	ENTMAx	Timer-Ax 啟用控制器 <0> 關閉。 <1> 啟用，並清除 TMAx_CK、DTMAx_CK、TMAxR 等計數器。
Bit6	TMACLx	TMAx 除頻器計數歸零 <0>TMAx 除頻器正常計數。 <1>TMAx 除頻器計數歸零。TMACLx 設置<1>清除 TMAx_CK、DTMAx_CK 計數器後，TMACLx 由硬體自動置<0>。
Bit5	TMASx	TMAx 工作頻率選擇器 <0>DMS_CK <1>LPC_CK

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



位元	名稱	描述																																															
Bit4~2	DTMAx[2:0]	<p>啟用與關閉控制器</p> <table border="1"> <thead> <tr> <th>DTMA[2:0]</th> <th>頻率分配選擇器</th> <th>DTMA[2:0]</th> <th>頻率分配選擇器</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>TMAx_CK ÷ 2</td> <td>100</td> <td>TMAx_CK ÷ 32</td> </tr> <tr> <td>001</td> <td>TMAx_CK ÷ 4</td> <td>101</td> <td>TMAx_CK ÷ 64</td> </tr> <tr> <td>010</td> <td>TMAx_CK ÷ 8</td> <td>110</td> <td>TMAx_CK ÷ 128</td> </tr> <tr> <td>011</td> <td>TMAx_CK ÷ 16</td> <td>111</td> <td>TMAx_CK ÷ 256</td> </tr> </tbody> </table> <p>計算後的中斷時間為：</p> <p>0.555msec~ 71.118msec (at clock source=DMS_CK, and HAO=1.843MHz) 35.3msec~ 4519.7msec (at clock source=LPC_CK, and LPO=14.5kHz)</p> <table border="1"> <thead> <tr> <th>TMAx_CK(kHz)</th> <th>TMAx_CK1(kHz)</th> <th>DTMAx[2:0]</th> <th>DTMAx_CK(kHz)</th> <th>TAxIF(msec)</th> </tr> </thead> <tbody> <tr> <td rowspan="3">921.5</td> <td rowspan="3">3.5996093</td> <td>000b</td> <td>1.799804687</td> <td>0.555</td> </tr> <tr> <td>100b</td> <td>0.11248779</td> <td>8.889</td> </tr> <tr> <td>111b</td> <td>0.014060974</td> <td>71.118</td> </tr> <tr> <td rowspan="3">14.5</td> <td rowspan="3">0.05664063</td> <td>000b</td> <td>0.028320315</td> <td>35.3</td> </tr> <tr> <td>100b</td> <td>0.00177002</td> <td>564.96</td> </tr> <tr> <td>111b</td> <td>0.00022125</td> <td>4519.7</td> </tr> </tbody> </table>	DTMA[2:0]	頻率分配選擇器	DTMA[2:0]	頻率分配選擇器	000	TMAx_CK ÷ 2	100	TMAx_CK ÷ 32	001	TMAx_CK ÷ 4	101	TMAx_CK ÷ 64	010	TMAx_CK ÷ 8	110	TMAx_CK ÷ 128	011	TMAx_CK ÷ 16	111	TMAx_CK ÷ 256	TMAx_CK(kHz)	TMAx_CK1(kHz)	DTMAx[2:0]	DTMAx_CK(kHz)	TAxIF(msec)	921.5	3.5996093	000b	1.799804687	0.555	100b	0.11248779	8.889	111b	0.014060974	71.118	14.5	0.05664063	000b	0.028320315	35.3	100b	0.00177002	564.96	111b	0.00022125	4519.7
DTMA[2:0]	頻率分配選擇器	DTMA[2:0]	頻率分配選擇器																																														
000	TMAx_CK ÷ 2	100	TMAx_CK ÷ 32																																														
001	TMAx_CK ÷ 4	101	TMAx_CK ÷ 64																																														
010	TMAx_CK ÷ 8	110	TMAx_CK ÷ 128																																														
011	TMAx_CK ÷ 16	111	TMAx_CK ÷ 256																																														
TMAx_CK(kHz)	TMAx_CK1(kHz)	DTMAx[2:0]	DTMAx_CK(kHz)	TAxIF(msec)																																													
921.5	3.5996093	000b	1.799804687	0.555																																													
		100b	0.11248779	8.889																																													
		111b	0.014060974	71.118																																													
14.5	0.05664063	000b	0.028320315	35.3																																													
		100b	0.00177002	564.96																																													
		111b	0.00022125	4519.7																																													

TMAxR: TMAx 的遞增型計數器，可讀取不可寫入。

寫入動作會視為清除 TMAxR[7:0]計數數值，從 TMAxR[7:0]=0 開始重新計算。

TMAxC: Timer Ax 計數器的比較點，可讀取可寫入。

12.16-bit 計數器 B, TMB (16-bit TimerB)

計數器 B (以下簡稱 TMB) · TMB 具有兩個 PWM 輸出 · 分別為 PWMA0/1 · 而每個 TMB 具有四種操作模式 · 每個模式的計數器皆具有特殊功能設計 · 以滿足不同的應用方式。

TMB 暫存器摘要：

INTE0	GIE, TMBIE
INTF0	TMBIF
OSCCN1	DTMB[1:0], TMBS
TB1Flag	PWM6A, PWM5A, PWM4A, PWM3A, PWM2A, PWM1A
TB1CN0	ENTB1, TB1M[1:0], TB1RT[1:0], TB1CL
TB1CN1	PA1IV, PWMA1[2:0], PA0IV, PWMA0[2:0]
TB1R	TB1RH[15:8], TB1RL[7:0]
TB1C0	TB1C0[15:8], TB1C0L[7:0]
TB1C1	TB1C1H[15:8], TB1C1L[7:0]
TB1C2	TB1C2H[15:8], TB1C2L[7:0]
TC1CN0	TC1S[1:0]

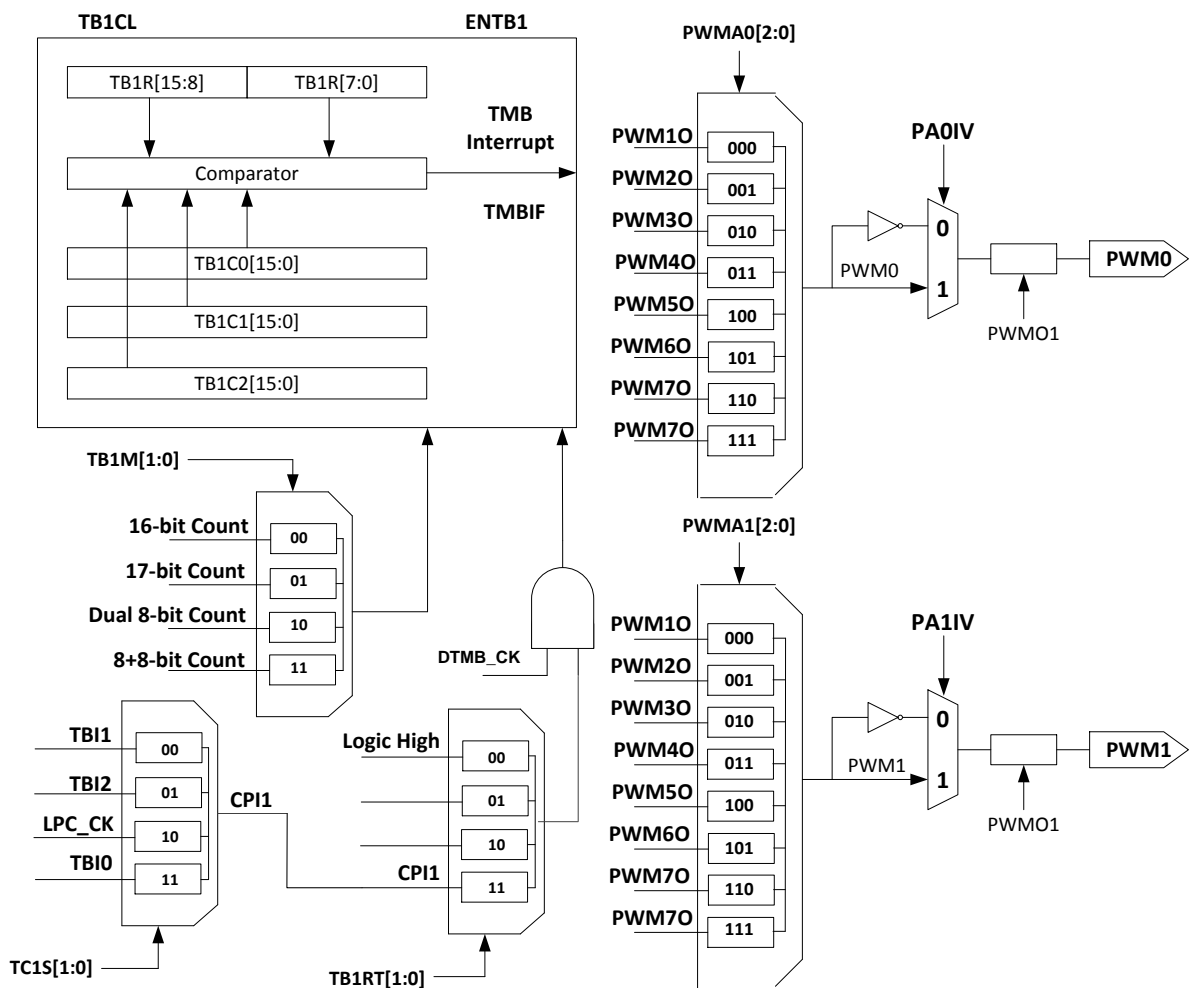


圖 12-1 TMB 計數器架構圖

■ TMB 的計數暫存器分別為

遞增/遞減式計數器 TB1R[15:0]

溢位事件條件控制器 TB1C0[15:0]

PWMA 條件控制器 TB1C1[15:0]

PWMA 條件控制器 TB1C2[15:0]

啟用控制器 ENTB1[0]

模式控制器 TB1M[1:0]

觸發控制器 TB1RT[1:0]

歸零控制器 TB1CL[0]

PWM0 輸出波形選擇器 PWMA0[2:0]

PWM0 輸出反相控制器 PA0IV[0]

PWM1 輸出波形選擇器 PWMA1[2:0]

PWM1 輸出反相控制器 PA1IV[0]

工作頻率源選擇器 TMBS[0]

工作頻率預除頻器 DTMB[1:0]

■ TMB 四種計數模式

16-bit 計數

17-bit 計數

兩組 8-bit 計數

8+8-bit 計數

■ TMB 的系統功耗操作

運行模式

待機模式

休眠模式

■ TB1R[15:0]歸零重新計數條件

讀取 TMB 相關暫存器，不會使得 TB1R[15:0]歸零重新計數

寫入 TB1R[15:0](唯讀)、TB1C0[15:0]、TB1C1[15:0]與 TB1C2 [15:0]不會使得 TB1R[15:0]歸零重新計數

寫入 TB1CN0 與 TB1CN1 控制暫存器不會使得 TB1R[15:0]歸零重新計數。

TB1R[15:0]採累進計數至大於 TB1C0[15:0]將使得 TB1R[15:0]歸零重新計數。

使用者將 TB1CL[0]設置<1>清除 TB1R[15:0]計數器後，TB1CL[0]自動置<0>。

12.1. TMB 四種計數模式

計數器 B 的四種計數方式，可透過計數模式選擇器 TB1M[1:0]進行選擇。而每種計數模式具有不同的溢位與中斷事件方式，在此章節說明四種計數模式的操作方法。

另外，不同的計數模式與 PWM 條件選擇器搭配後可產生七種不同的 PWM 波形。在後續章節會逐一描述。

12.1.1. 16-bit 計數器

將計數模式選擇器 TB1M[1:0]設置<00>使得 TMB 操作在 16-bit 計數模式下，在此模式下具有以下特性：

- TB1R[15:0]計數器的計數開始可由 TB1RT[1:0]設置不同事件觸發。
- TB1R[15:0]累進計數至等於 TB1C0[15:0]時，產生溢位事件 TB1IF[0]並將 TB1R[15:0]歸零重新計數。

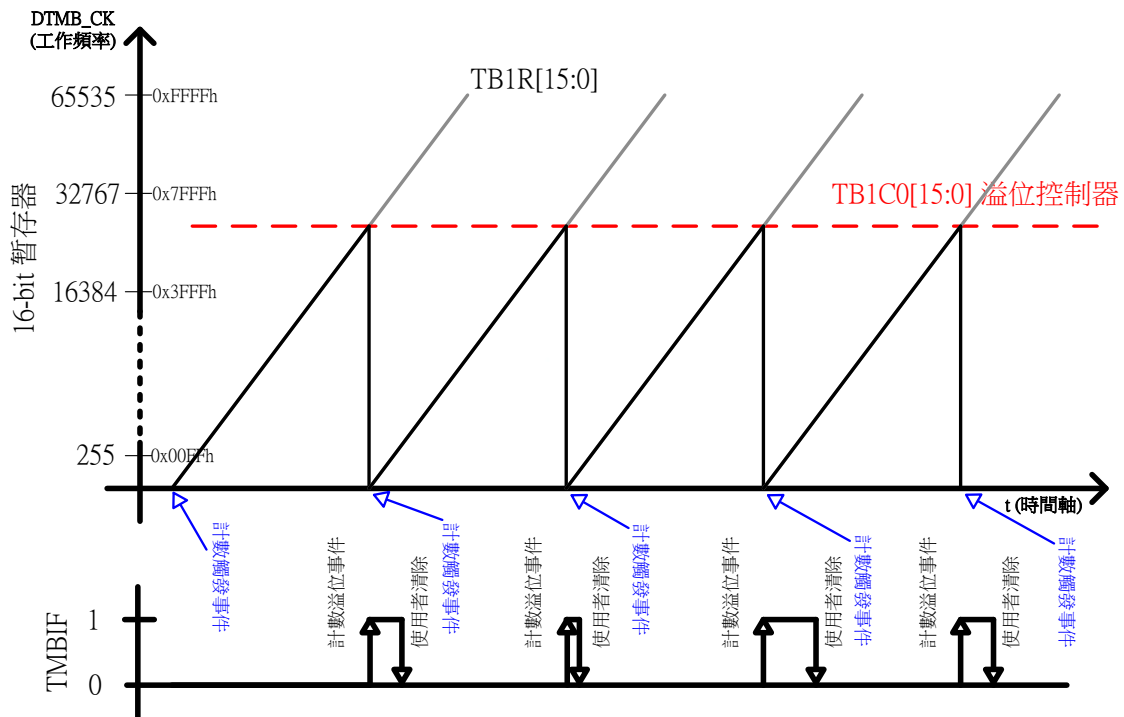


圖 12-2 16-bit 計數器波形與使用示意圖

- 16-bit 計數模式操作說明
- ◆ 初始化
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
 - 寫入數據至 TB1C0[15:0]。
- ◆ 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用狀態 (Always Enable)，即循環計數。
- ◆ 將 ENTB1[0]設置<1>以啟用計數器
 - 當 TB1R[15:0]計數數值至等於 TB1C0[15:0]時，產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]設置<1>則會產生中斷事件服務。
 - 計數過程，使用者可利用計數歸零控制器 TB1CL[0]設置<1>以重新計數，且 TB1CL[0]自動置<0>。

- ◆ 將 ENTB1[0]設置<0>以關閉計數器。

- ◆ 範例 1

TMB 搭配外振 32768Hz 產生 1 秒中斷

- 將 TMB 頻率源選到 LPC_CK，並將 DTMB[1:0]設定為 00 除頻為 1
- TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
- 產生 1 秒的中斷需計數 32768 次，但由於 TB1R[15:0]是從 0 開始計數，故是從 0 數到 32767 就完成了 32768 次。
- 所以 TB1C0[15:0] 因填入 32767 也就是 7FFFH

- ◆ 範例 2

TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器；TMB 頻率源選到 LPC_CK(32768Hz)，並將 DTMB[1:0]設定為 00。

- 根據範例 2 的設定將 TB1C0[15:0]寫入 1。
當 TB1R[15:0]從 0 開始數，數到 1 時產生中斷。
故實際上是數了 2 次。
故中斷頻率為 $32768/(TB1C0+1)=16384\text{Hz}$
- 根據範例 2 的設定將 TB1C0[15:0]寫入 7。
當 TB1R[15:0]從 0 開始數，數到 7 時產生中斷。
故實際上是數了 8 次。
故中斷頻率為 $32768/(TB1C0+1)=4096\text{Hz}$

12.1.2. 17-bit 計數器

將計數模式選擇器 TB1M[1:0]設置<01>使得 TMB 操作在 17-bit 計數模式下，在此模式下具有以下特性：

- TB1R[15:0]計數器的計數開始可由 TB1RT[1:0]設置不同事件觸發。
- TB1R[15:0]累進計數至等於 TB1C0[15:0]時延遲半個指令週期後改成遞減計數，且當遞減計數至 TB1R[15:0]為 0000h 則產生溢位事件 TB1IF[0]，並重新遞增計數。

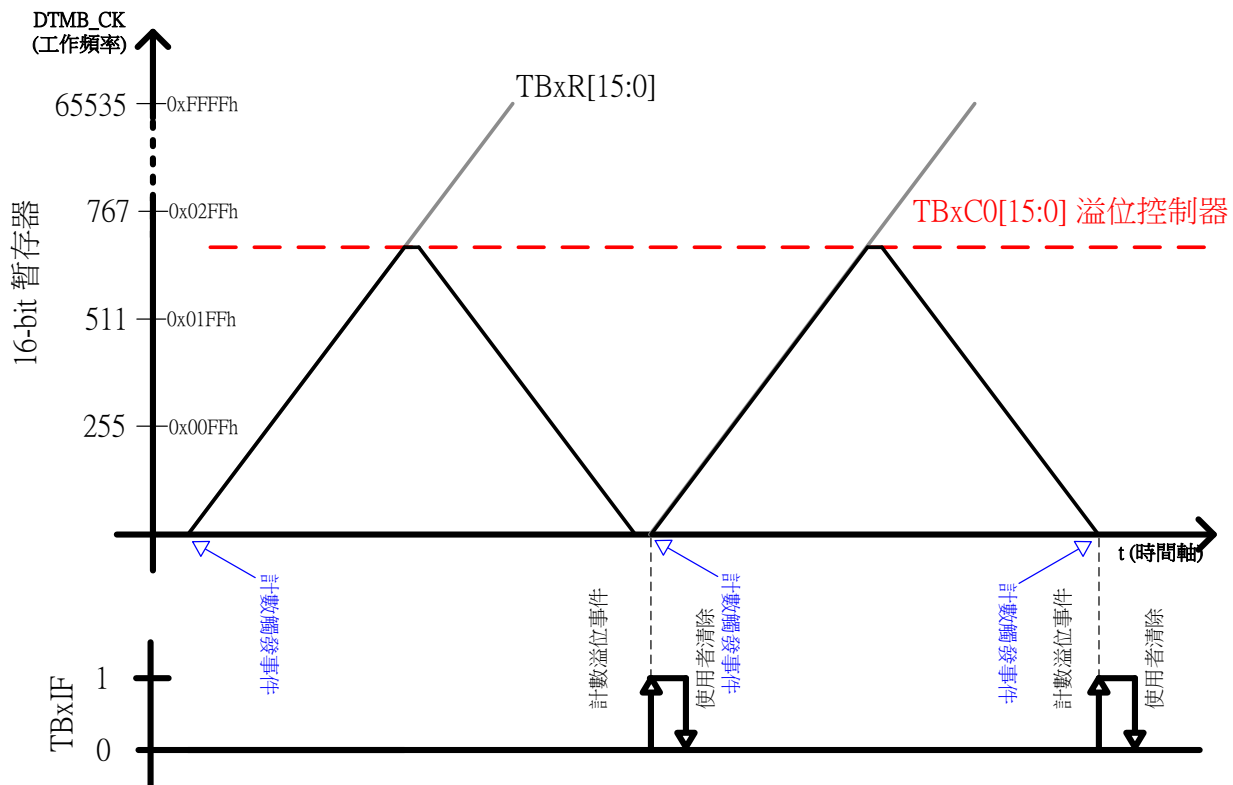


圖 12-3 17-bit 計數器波形與使用示意圖

- 17-bit 計數模式操作說明
- ◆ 初始化
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<01>，將 TMB1 規劃為 17-bit 計數器。
 - 寫入數據至 TB1C0[15:0]。
- ◆ 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用狀態 (Always Enable)，即循環計數。
- ◆ 將 ENTB1[0]設置<1>以啟用計數器
 - 當 TB1R[15:0]計數數值至等於 TB1C0[15:0]時延遲半個指令週期後改成遞減計數，且當遞減計數至 TB1R[15:0]為 0000h 則產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]設置<1>則會產生中斷事件服務。
 - 計數過程，使用者可利用計數歸零控制器 TB1CL[0]設置<1>以重新計數，且 TB1CL[0]自動置<0>。
- ◆ 將 ENTB1[0]設置<0>以關閉計數器。
- ◆ 範例 1
TMB 搭配外振 32768Hz 產生 1 秒中斷

- 將 TMB 頻率源選到 LPC_CK，並將 DTMB[1:0]設定為 00 除頻為 1
- TB1M[1:0]設置<01>，將 TMB1 規劃為 17-bit 計數器。
- 產生 1 秒的中斷需計數 32768 次，但由於 TB1R[15:0]是從 0 開始計數，故是從 0 數到 16383 就完成上數的 16384 次，經過 2 個指令周期的延遲開始下數從 16383 下數到 0，一共完成 32768 次。
- 所以 TB1C0[15:0] 因填入 16383 也就是 3FFFH

◆ 範例 2

TB1M[1:0]設置<01>，將 TMB1 規劃為 17-bit 計數器；TMB 頻率源選到 LPC_CK(32768Hz)，並將 DTMB[1:0]設定為 00。

- 根據範例 2 的設定將 TB1C0[15:0]寫入 1。
當 TB1R[15:0]從 0 開始數數到 1，再由 1 數回 0 時產生中斷
故實際上是數了 4 次。
故中斷頻率為 $32768/((TB1C0+1)*2)=8192\text{Hz}$
- 根據範例 2 的設定將 TB1C0[15:0]寫入 7。
當 TB1R[15:0]從 0 開始數數到 7，再由 7 數回 0 時產生中斷。
故實際上是數了 16 次。
故中斷頻率為 $32768/((TB1C0+1)*2)=2048\text{Hz}$

12.1.3. 兩組 8-bit 計數器

將計數模式選擇器 TB1M[1:0]設置<10>使得 TMB 操作在兩組 8-bit 計數模式下，在此模式下具有以下特性：

- 兩個 8-bit 計數器 TB1R[7:0]與 TB1R[15:8]的計數開始可由 TB1RT[1:0]設置不同事件做同時觸發。
- TB1R[7:0]累進計數至等於 TB1C0[7:0]時產生溢位事件 TB1IF[0]，並將 TB1R[7:0]歸零重新計數。
- TB1R[15:8]累進計數至等於 TB1C0[15:8]時產生溢位並將 TB1R[15:8]歸零重新計數。

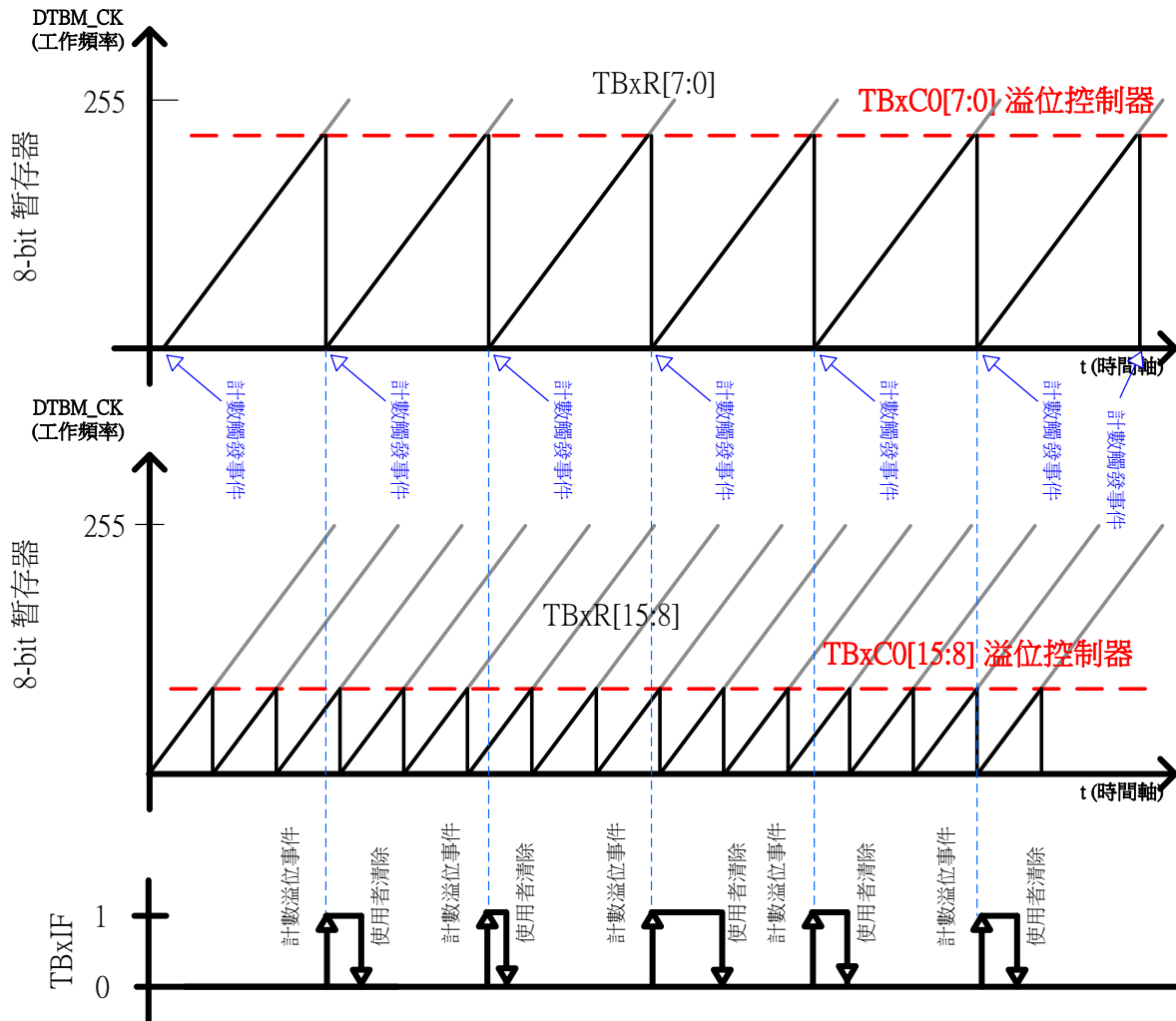


圖 12-4 兩組 8-bit 計數器波形與使用示意圖

- 兩組 8-bit 計數模式操作說明
- ◆ 初始化
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器。
 - 分別寫入數據至 TB1C0[7:0]與 TB1C0[15:8]。
- ◆ 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用狀態 (Always Enable)，即循環計數。
- ◆ 將 ENTB1[0]設置<1>以啟用計數器
 - 當 TB1R[7:0]計數數值至等於 TB1C0[7:0]時，產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]設置<1>則會產生中斷事件服務。
 - 當 TB1R[15:8]計數數值至等於 TB1C0[15:8]時，產生溢位並且 TB1R[15:8]歸零重新遞增計數。
 - 計數過程，使用者可利用計數歸零控制器 TB1CL[0]設置<1>以使得 TB1R[7:0]與 TB1R[15:8]同時重新計數，且 TB1CL[0]自動置<0>。
- ◆ 將 ENTB1[0]設置<0>以關閉計數器。
- ◆ 範例 1

TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器；TMB 頻率源選到 LPC_CK(32768Hz)，並將 DTMB[1:0]設定為 00。

 - 根據範例 1 的設定將 TB1C0[15:0]寫入 1。
當 TB1R[15:0]從 0 開始數，數到 1 時產生中斷。
故實際上是數了 2 次。
故中斷頻率為 $32768/(TB1C0+1)=16384\text{Hz}$
 - 根據範例 1 的設定將 TB1C0[15:0]寫入 7。
當 TB1R[15:0]從 0 開始數，數到 7 時產生中斷。
故實際上是數了 8 次。
故中斷頻率為 $32768/(TB1C0+1)=4096\text{Hz}$

12.1.4. 8+8-bit 計數器

將計數模式選擇器 TB1M[1:0]設置<11>使得 TMB 操作在兩組 8+8-bit 計數模式下。在此模式下具有以下特性：

- 8+8-bit 計數器 TB1R[15:8]與 TB1R[7:0]與的計數開始可由 TB1RT[1:0]設置不同事件觸發。
- TB1R[7:0]累進計數至等於 TB1C0[7:0]時產生溢位事件 TB1IF[0]，並使得 TB1R[15:8]計數器累加 1 且 TB1R[7:0]歸零重新計數。

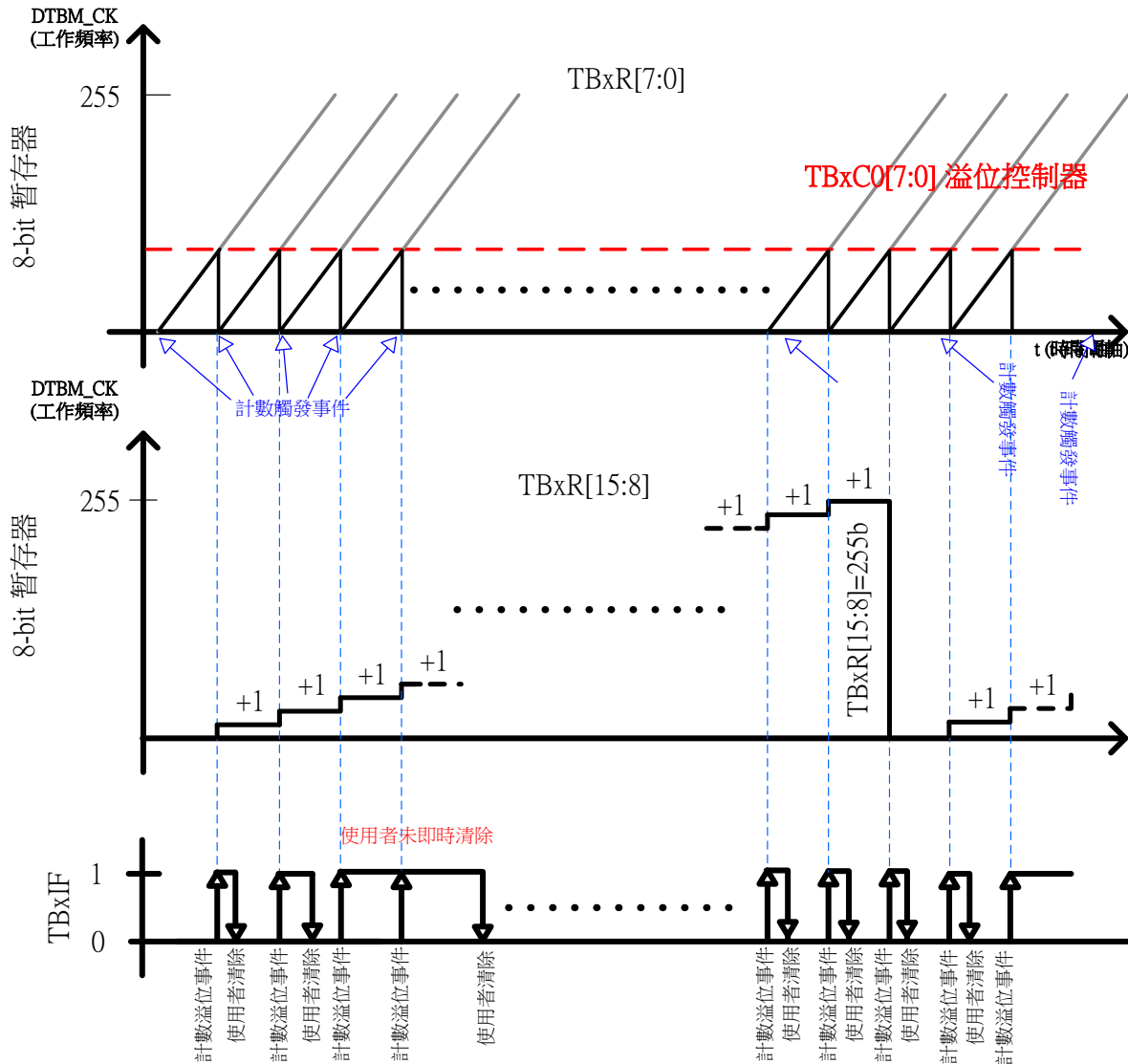


圖 12-5 8+8-bit 計數器波形與使用示意圖

- 8+8-bit 計數模式操作說明
- ◆ 初始化
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<11>，將 TMB1 規劃為 8+8-bit 計數器。
 - 寫入數據至 TB1C0[7:0]。
- ◆ 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用狀態 (Always Enable)，即循環計數。
- ◆ 將 ENTB1[0]設置<1>以啟用計數器
 - 當 TB1R[7:0]計數數值至等於 TB1C0[7:0]時，產生溢位事件使得 TB1IF[0]置<1>且 TB1R[15:8]計數器累加 1，此時 TB1IE[0]設置<1>則會產生中斷事件並歸零重新遞增計數。
 - 當 TB1R[15:8]計數數值至等於 TB1R[15:8]=255b 時，再加 1 會使得 TB1R[15:8]歸零重新遞增計數。
 - 計數過程，使用者可利用計數歸零控制器 TB1CL[0]設置<1>以使得 TB1R[7:0]與 TB1R[15:8]同時重新計數，且 TB1CL[0]自動置<0>。
- ◆ 將 ENTB1[0]設置<0>以關閉計數器。

12.2. PWM 脈衝寬度調變

當 TMB 不同的計數模式與脈衝寬度調變(簡稱 PWM)模式選擇器進行組合使用,可產生多種形式的 PWM 波形,其中 PWMA0/1 為實際可輸出之引腳。本章節介紹七種不同的使用方式予請使用者參考。

- TMB 與 PWM 輸出的關係與基本操作說明
- ◆ TMB1 控制 PWMA0 與 PWMA1 輸出
 - 由 PWM 模式選擇器 PWMA0[2:0]與 PWMA1[2:0],分別設置 PWMA0 與 PWMA1 輸出波形為 PWM10 ~ PWM70 的其中一種。
 - 由波形狀態旗標 PWMA1[0] ~ PWMA6[0]可以分別讀到 PWM10 ~ PWM60 為“H”或“L”狀態。
 - 透過 PWM 輸出反相器 PA0IV[0]與 PA1IV[0],可分別設置 PWMA0 與 PWMA1 實際輸出波形是否反相。
 - PWMA0 與 PWMA1 可分別由引腳 PT2.2 與 PT2.3 輸出。
- ◆ PWM 模式選擇器 PWMA0/1[2:0],可輸出 PWM10 ~ PWM70 等波形。必須注意,當搭配不同 TMB 計數模式時 PWM10 ~ PWM70 可輸出截然不同的波形,以下章節將以基本型態與常見應用描述。

12.2.1. PWM1O 波形 (16-bit PWM)

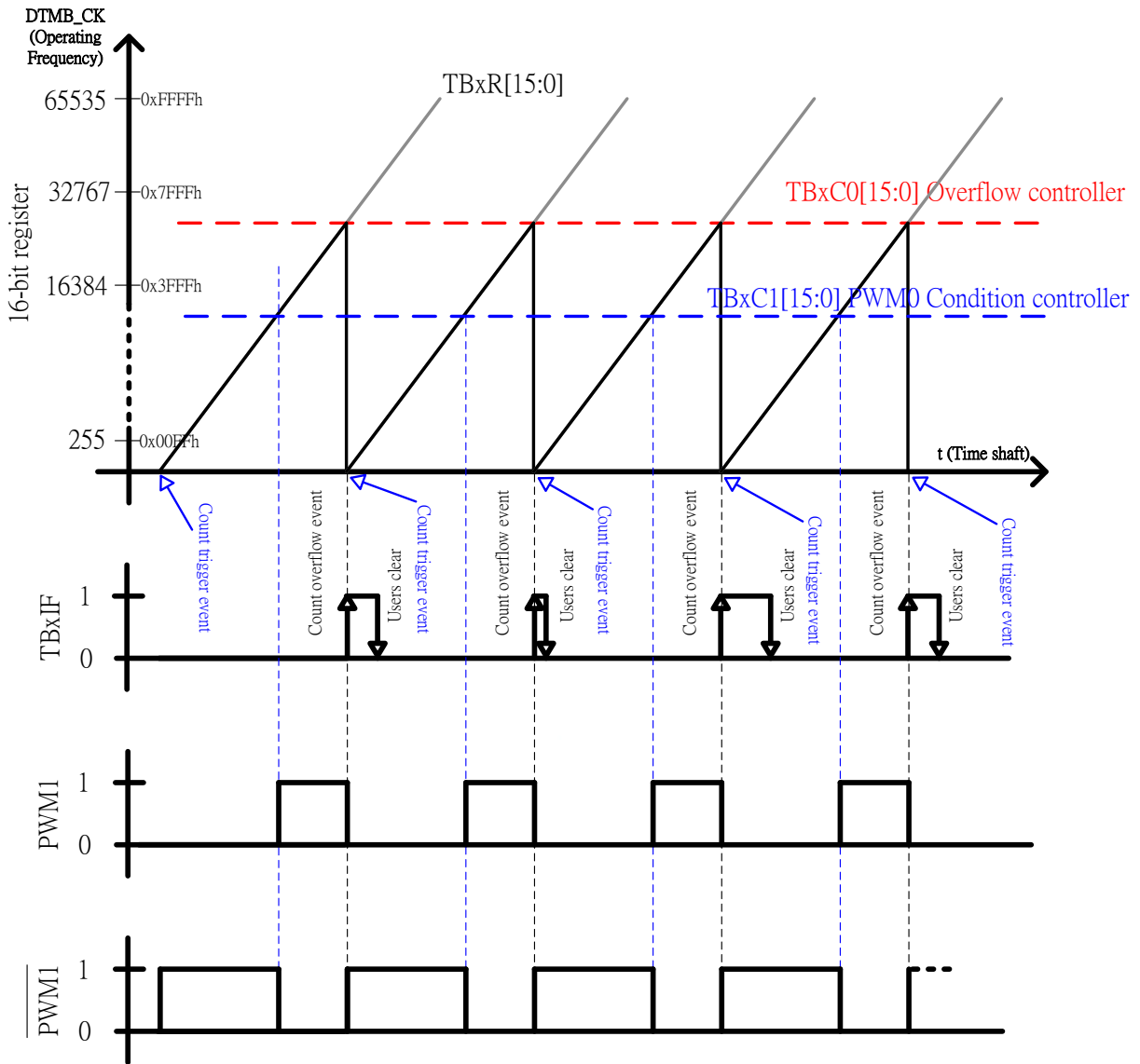


圖 12-6 PWM1O 波形與使用示意圖

- PWM1O 操作說明
- ◆ 初始化 (PWM 頻率與工作週期設置)
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
 - PWMA0/1[2:0]設置<000>以輸出 PWM1O 波形
 - 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為 Logic High。
 - 寫入數據至 TB1C0[15:0]，以決定 PWM 之頻率。
 - 寫入數據至 TB1C1[15:0]，以決定 PWM 之工作週期(Duty Cycle)。
 - 將 ENTB1[0]設置<1>啟用計數器。
- ◆ 產生 PWM1O 波形
 - 當 TB1R[15:0]計數數值至等於 TB1C1[15:0]時，使得 PWM1O 狀態由 0→1。
 - 當 TB1R[15:0]再計數數值至等於 TB1C0[15:0]時，使得 PWM1O 狀態由 1→0；並產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]設置<1>則會產生中斷事件服務。
- ◆ PWM 輸出控制
 - 設置 PWMO0/1[0]設置<1>，開啟 PWM Mode。
 - 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。
- ◆ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。
- ◆ PWM1O 頻率與工作週期計算公式：

$$\text{PWM1O Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0}[15 : 0] + 1}$$

$$\text{PWM1O Duty Cycle} = \frac{(\text{TB1C0}[15 : 0] + 1) - \text{TB1C1}[15 : 0]}{\text{TB1C0}[15 : 0] + 1}$$

12.2.2. PWM2O 波形 (16-bit PWM)

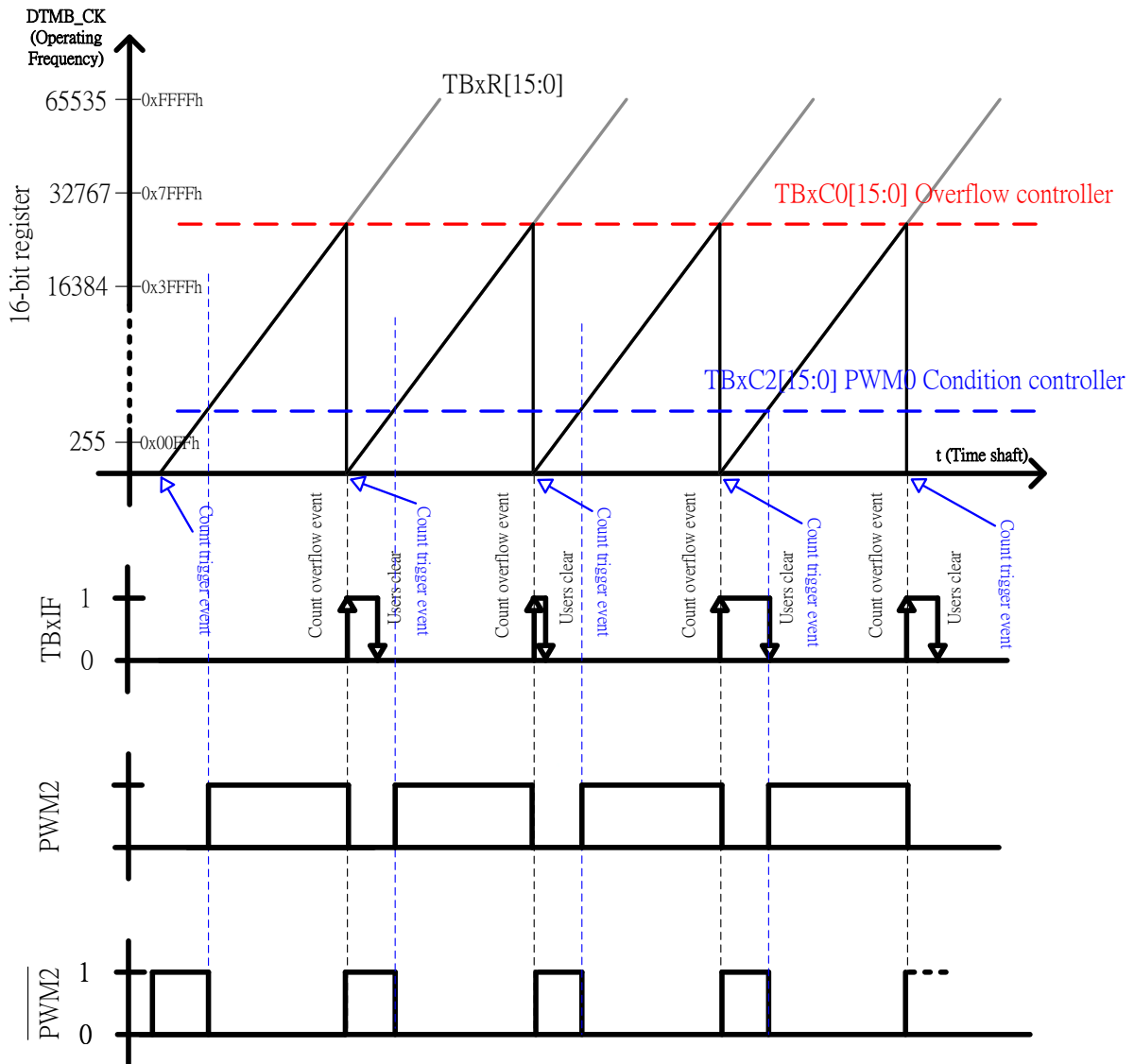


圖 12-7 PWM2O 波形與使用示意圖

- PWM2O 操作說明
- ◆ 初始化 (PWM 頻率與工作週期設置)
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
 - PWMA0/1[2:0]設置<001>以輸出 PWM2O 波形
 - 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用 (Always Enable)，即循環計數。
 - 寫入數據至 TB1C0[15:0]，以決定 PWM 之頻率。
 - 寫入數據至 TB1C2[15:0]，以決定 PWM 之工作週期(Duty Cycle)。
 - 將 ENTB1[0]設置<1>啟用計數器。
- ◆ 產生 PWM2O 波形
 - 當 TB1R[15:0]計數數值至等於 TB1C2[15:0]時，使得 PWM2O 狀態由 0→1。
 - 當 TB1R[15:0]再計數數值至等於 TB1C0[15:0]時，使得 PWM2O 狀態由 1→0；並產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]設置<1>則會產生中斷事件服務。
- ◆ PWM 輸出控制
 - 設置 PWMO0/1[0]設置<1>，開啟 PWM Mode。
 - 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。
- ◆ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。
- ◆ PWM2O 頻率與工作週期計算公式：

$$\text{PWM2O Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0}[15 : 0] + 1}$$

$$\text{PWM2O Duty Cycle} = \frac{(\text{TB1C0}[15 : 0] + 1) - \text{TB1C2}[15 : 0]}{\text{TB1C0}[15 : 0] + 1}$$

12.2.3. PWM3O 波形 (8-bit PWM)

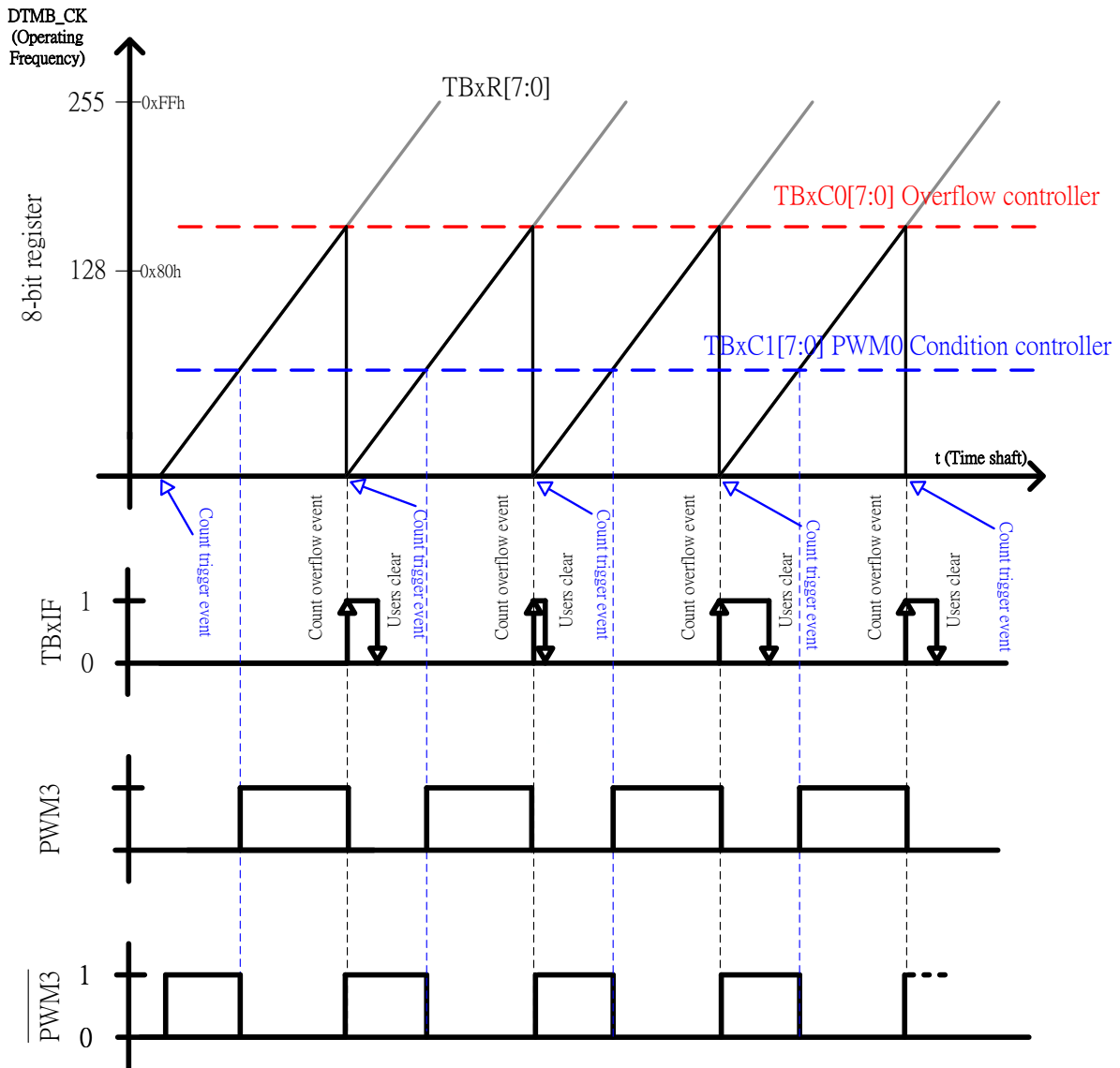


圖 12-8 PWM3O 波形與使用示意圖

- PWM3O 輸出操作說明
- ◆ 初始化 (PWM 頻率與工作週期設置)
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器。
 - PWMA0/1[2:0]設置<010>以輸出 PWM3O 波形
 - 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用 (Always Enable)，即循環計數。
 - 寫入數據至 TB1C0L[7:0]，以決定 PWM 之頻率。
 - 寫入數據至 TB1C1L[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
 - 將 ENTB1[0]設置<1>啟用計數器。
- ◆ 產生 PWM3O 波形
 - 當 TB1RL[7:0]計數數值至等於 TB1C1L[7:0]時，使得 PWM3O 狀態由 0→1。
 - 當 TB1RL[7:0]再計數數值至等於 TB1C0L[7:0]時，使得 PWM3O 狀態由 1→0；並產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]設置<1>則會產生中斷事件服務。
- ◆ PWM 輸出控制
 - 設置 PWMO0/1[0]設置<1>，開啟 PWM Mode。
 - 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。
- ◆ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。
- ◆ PWM3O 頻率與工作週期計算公式：

$$\text{PWM3O Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0L}[7 : 0] + 1}$$

$$\text{PWM3O Duty Cycle} = \frac{(\text{TB1C0L}[7 : 0] + 1) - \text{TB1C1L}[7 : 0]}{\text{TB1C0L}[7 : 0] + 1}$$

12.2.4. PWM4O 波形 (8-bit PWM)

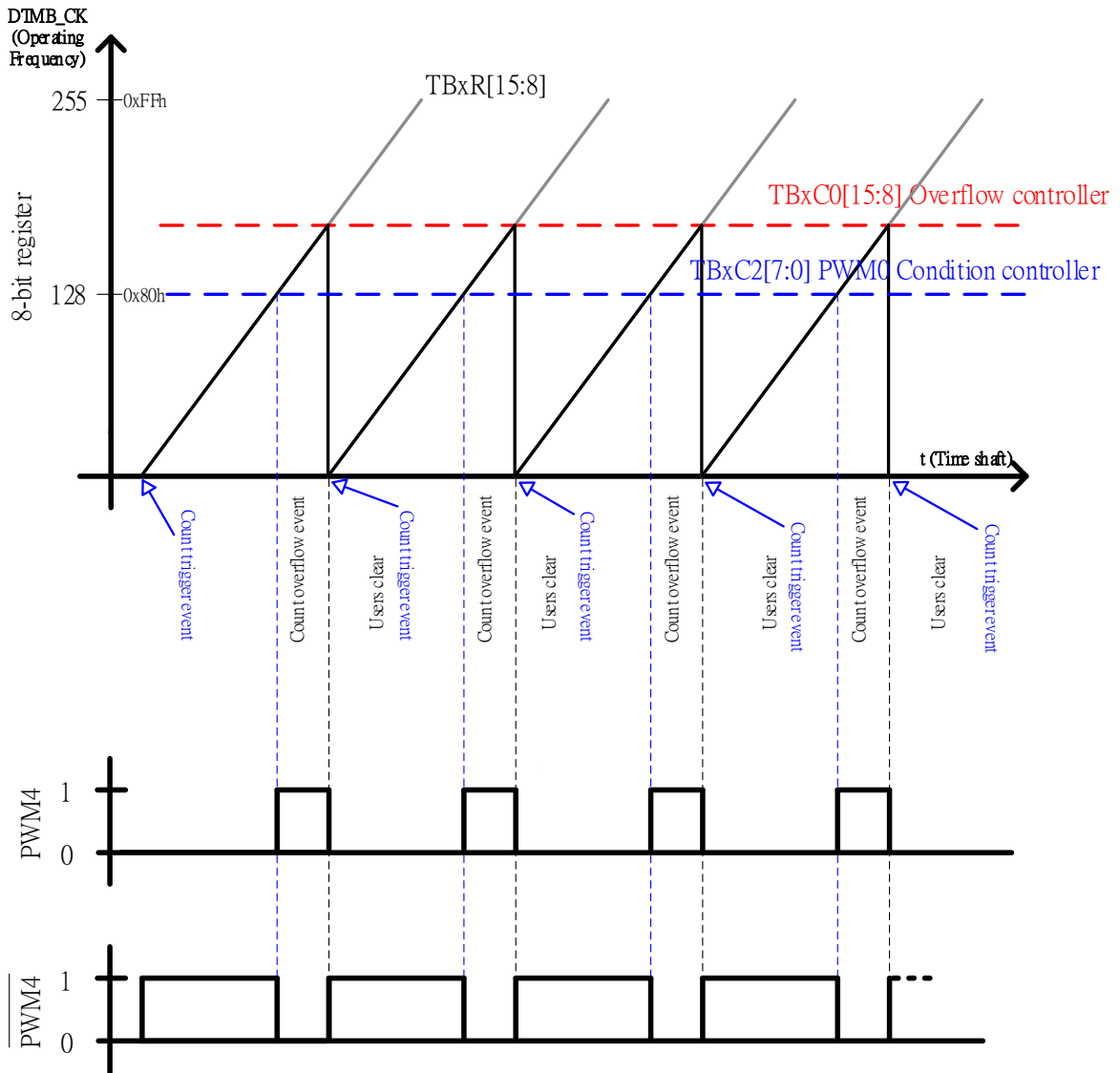


圖 12-9 PWM4O 波形與使用示意圖

- PWM4O 輸出操作說明
- ◆ 初始化 (PWM 頻率與工作週期設置)
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器。
 - PWMA0/1[2:0]設置<011>以輸出 PWM4O 波形
 - 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用 (Always Enable)，即循環計數。
 - 寫入數據至 TB1C0H[15:8]，以決定 PWM 之頻率。
 - 寫入數據至 TB1C2L[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
 - 將 ENTB1[0]設置<1>啟用計數器。
- ◆ 產生 PWM4O 波形
 - 當 TB1R[7:0]計數數值至等於 TB1C2L[7:0]時，使得 PWM4O 狀態由 0→1。
 - 當 TB1RL[7:0]再計數數值至等於 TB1C0H[15:8]時，使得 PWM4O 狀態由 1→0 並歸零重新遞增計數。
- ◆ PWM 輸出控制
 - 設置 PWMO0/1[0]設置<1>，開啟 PWM Mode。
 - 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。
- ◆ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。
- ◆ PWM4O 頻率與工作週期計算公式：

$$\text{PWM4O Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0H}[15 : 8] + 1}$$

$$\text{PWM4O Duty Cycle} = \frac{(\text{TB1C0H}[15 : 8] + 1) - \text{TB1C2L}[7 : 0]}{\text{TB1C0H}[15 : 8] + 1}$$

12.2.5. PWM5O 波形 (8+8-bit PWM)

將 TMB 計數器設置在 8+8-bit 模式且 PWM 輸出波形選擇 PWM5O，則可得到 8+8bit PWM 輸出。

8+8-bit PWM 由 TB1R[7:0]、TB1C0[7:0]、TB1C1[7:0] 與 TB1C2[7:0] 等控制暫存器以及內部數位電路組成。其中 TB1R[7:0] 為累進計數器、TB1C0[7:0] 為 PWM 頻率控制器、TB1C1[7:0] 為 PWM 工作週期控制器、TB1C2[7:0] 為 8+8-bit PWM 工作週期微調器。

8+8-bit PWM 工作週期微調器 TB1C2[7:0] 設置與說明，如下表所示。其中 N 為工作週期中的脈波寬度 (N = TB1C0[7:0] - TB1C1[7:0])。

■ 基本型

PWM 工作週期微調		說明
TB1C2[7:0]	加權量	
80h	1/2	21 個波形為一組循環，其中有(21-1)個寬度為 N+1 的波形
40h	1/4	22 個波形為一組循環，其中有(22-1)個寬度為 N+1 的波形
20h	1/8	23 個波形為一組循環，其中有(23-1)個寬度為 N+1 的波形
10h	1/16	24 個波形為一組循環，其中有(24-1)個寬度為 N+1 的波形
08h	1/32	25 個波形為一組循環，其中有(25-1)個寬度為 N+1 的波形
04h	1/64	26 個波形為一組循環，其中有(26-1)個寬度為 N+1 的波形
02h	1/128	27 個波形為一組循環，其中有(27-1)個寬度為 N+1 的波形
01h	1/256	28 個波形為一組循環，其中有(28-1)個寬度為 N+1 的波形

表 12-1 工作週期微調器設置表

■ 邏輯運算 OR 疊合型

- 當 TB1C2[7:0] 不只設置 1bit 時，其加權量進行加總後，即為總加權量。亦為一組循環中，各脈波寬度(N, N+1)的數量。

$$\text{加權量} = \frac{\alpha}{\beta}$$

α = 一組循環中，脈波寬度為 N 的波形數
 β = 一組循環中的總波形數

以下範例以隨機數值進行規律說明。

- TB1C2[7:0] 設置為 C0h(80h+40h) 時，會使得 PWM 工作週期產生 3/4(1/2+ 1/4) 的加權量變化。而波形的變化，則是以 4 個輸出週期為一組，其中會有 3 個寬度 N 的波形與 1(4-3) 個寬度為(N+1) 的波形。
- TB1C2[7:0] 設置為 A0h(80h+20h) 時，會使得 PWM 工作週期產生 5/8(1/2+ 1/8) 的加權量變化。而波形的變化，則是以 8 個輸出週期為一組，其中會有 5 個寬度 N 的波形與 3(8-5) 個寬度為(N+1) 的波形。
- TB1C2[7:0] 設置為 57h(40h+10h+04h+02h+01h) 時，會使得 PWM 工作週期產生 87/256 (1/4+ 1/16+ 1/64+ 1/128+ 1/256) 的加權量變化。而波形的變化，則是以 256 個輸出週期為一組，其中會有 87 個寬度 N 的波形與(256-87) 個寬度為(N+1) 的波形。
- TB1C2[7:0] 設置為 86h(80h+04h+02h) 時，會使得 PWM 工作週期產生 67/128(1/2+ 1/64+ 1/128) 的加權量變化。而波形的變化，則是以 128 個輸出週期為一組，其中會有 67 個寬度 N 的波形與(128-67) 個寬度為(N+1) 的波形。

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

- TB1C2[7:0]設置為 FFh(80h+40h+20h+10h+08h+04h+02h+01h)時，會使得 PWM 工作週期產生 255/256 的加權量變化。而波形的變化，則是以 256 個輸出週期為一組，其中會有 255 個寬度 N 的波形與 1 個寬度為(N+1)的波形。

- 下表 12-2、圖 12-10 與圖 12-10 部分列出 TB1C2[7:0]在不同設置下，8+8-bit PWM 波形變化以供使用者參考。

型態	TB1C2 [7:0]	加權量	0	1	2	3	4	5	6	7	8	9	~	127	128	129	~	254	255
基本波形	00h	-	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	~	N+1	N+1	N+1	~	N+1	N+1
	80h	1/2	N+1	N	N+1	N	N+1	N	N+1	N	N+1	N	~	N	N+1	N	~	N+1	N
	40h	1/4	N+1	N+1	N	N+1	N+1	N+1	N	N+1	N+1	N+1	~	N+1	N+1	N+1	~	N	N+1
	20h	1/8	N+1	N+1	N+1	N+1	N	N+1	N+1	N+1	N+1	N+1	~	N+1	N+1	N+1	~	N+1	N+1
	10h	1/16	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N	N+1	~	N+1	N+1	N+1	~	N+1	N+1
	08h	1/32	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	~	N+1	N+1	N+1	~	N+1	N+1
	04h	1/64	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	~	N+1	N+1	N+1	~	N+1	N+1
	02h	1/128	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	~	N+1	N+1	N+1	~	N+1	N+1
	01h	1/256	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	~	N+1	N	N+1	~	N+1	N+1
邏輯運算疊合型	C0h	3/4	N+1	N	N	N	N+1	N	N	N	N+1	N	~	N	N+1	N	~	N	N
	A0h	5/8	N+1	N	N+1	N	N	N	N+1	N	N+1	N	~	N	N+1	N	~	N+1	N
	E0h	7/8	N+1	N	N	N	N	N	N	N	N+1	N	~	N	N+1	N	~	N	N
	F0h	15/16	N+1	N	N	N	N	N	N	N	N	N	~	N	N+1	N	~	N	N
	F8h	31/32	N+1	N	N	N	N	N	N	N	N	N	~	N	N+1	N	~	N	N
	FCh	63/64	N+1	N	N	N	N	N	N	N	N	N	~	N	N+1	N	~	N	N
	FEh	127/128	N+1	N	N	N	N	N	N	N	N	N	~	N	N+1	N	~	N	N
	FFh	255/256	N+1	N	N	N	N	N	N	N	N	N	~	N	N	N	~	N	N
	57h	87/256	N+1	N+1	N	N+1	N+1	N+1	N	N+1	N	N+1	~	N+1	N	N+1	~	N	N+1
	86h	67/128	N+1	N	N+1	N	N+1	N	N+1	N	N+1	N	~	N	N+1	N	~	N+1	N
	32h	25/128	N+1	N+1	N+1	N+1	N	N+1	N+1	N+1	N	N+1	~	N+1	N+1	N+1	~	N+1	N+1

表 12-2 PWM5O 輸出波形示意表

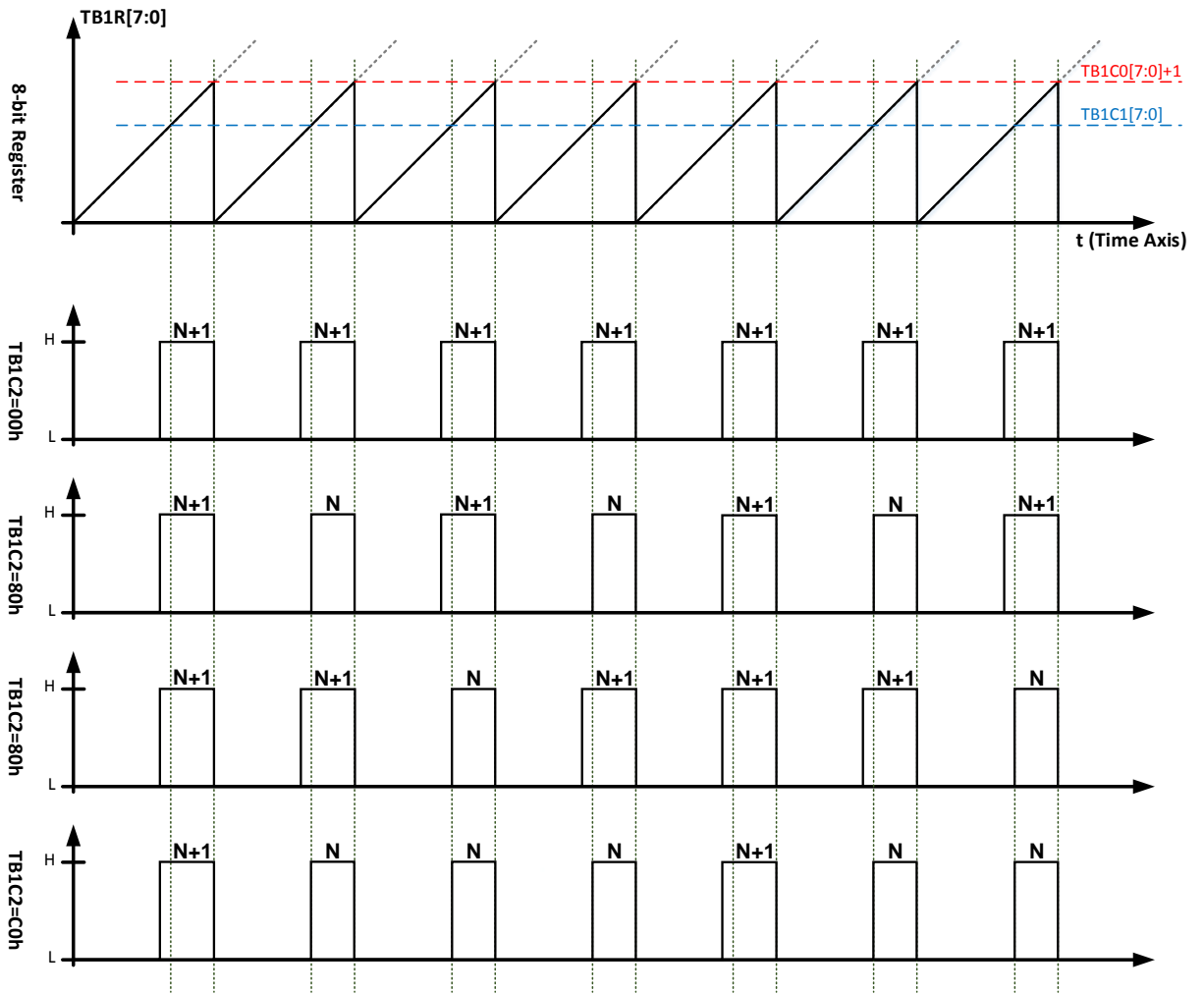


圖 12-10 PWM50 輸出波形示意圖 1

- PWM5O 輸出操作說明
- ◆ 初始化 (PWM 頻率與工作週期設置)
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<11>，將 TMB1 規劃為 8+8-bit 計數器。
 - PWMA0/1[2:0]設置<100>以輸出 PWM5O 波形
 - 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用 (Always Enable)，即循環計數。
 - 寫入數據至 TB1C0L[7:0]，以決定 PWM 之頻率。
 - 寫入數據至 TB1C1L[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
 - 寫入數據至 TB1C2L[7:0]，以決定 PWM 之工作週期(Duty Cycle)微調方式。
 - 將 ENTB1[0]設置<1>啟用計數器。
- ◆ 產生 PWM5O 波形
 - 當 TB1RL[7:0]計數數值至等於 TB1C1L[7:0]時，使得 PWM5O 狀態由 0→1。
 - 當 TB1RL[7:0]再計數數值至等於 TB1C0L[7:0]時，使得 PWM5O 狀態由 1→0；
 - 並產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]設置<1>則會產生中斷事件服務。
 - 此時，TB1C2L[7:0]所設置的數據，將調整 PWM5O 輸出之脈波寬度為 N+1 或 N。如表 12-1 所描述，其中 $N = TB1C0[7:0] - TB1C1[7:0]$ 。
- ◆ PWM 輸出控制
 - 設置 PWMO0/1[0]設置<1>，開啟 PWM Mode。
 - 設置 PA0/1IV[0]以決定引腳輸出波形是否反相。
- ◆ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。
- ◆ PWM5O 頻率與工作週期計算公式：

$$\text{PWM5O Frequency} = \frac{DTMB_CK}{TBxC0[7:0] + 1}$$

$$\text{PWM5O Duty Cycle} = \frac{(TBxC0[7:0] + 1) - TBxC1[7:0] - TBxC2[7:0]/256}{TBxC0[7:0] + 1}$$

12.2.6. PWM6O 形 (兩個 16-bit PWM 波形)

將 TMB 計數器設置在 17-bit 模式且 PWM 輸出波形選擇 PWM6O 則可產生兩個 16-bit PWM 波形。

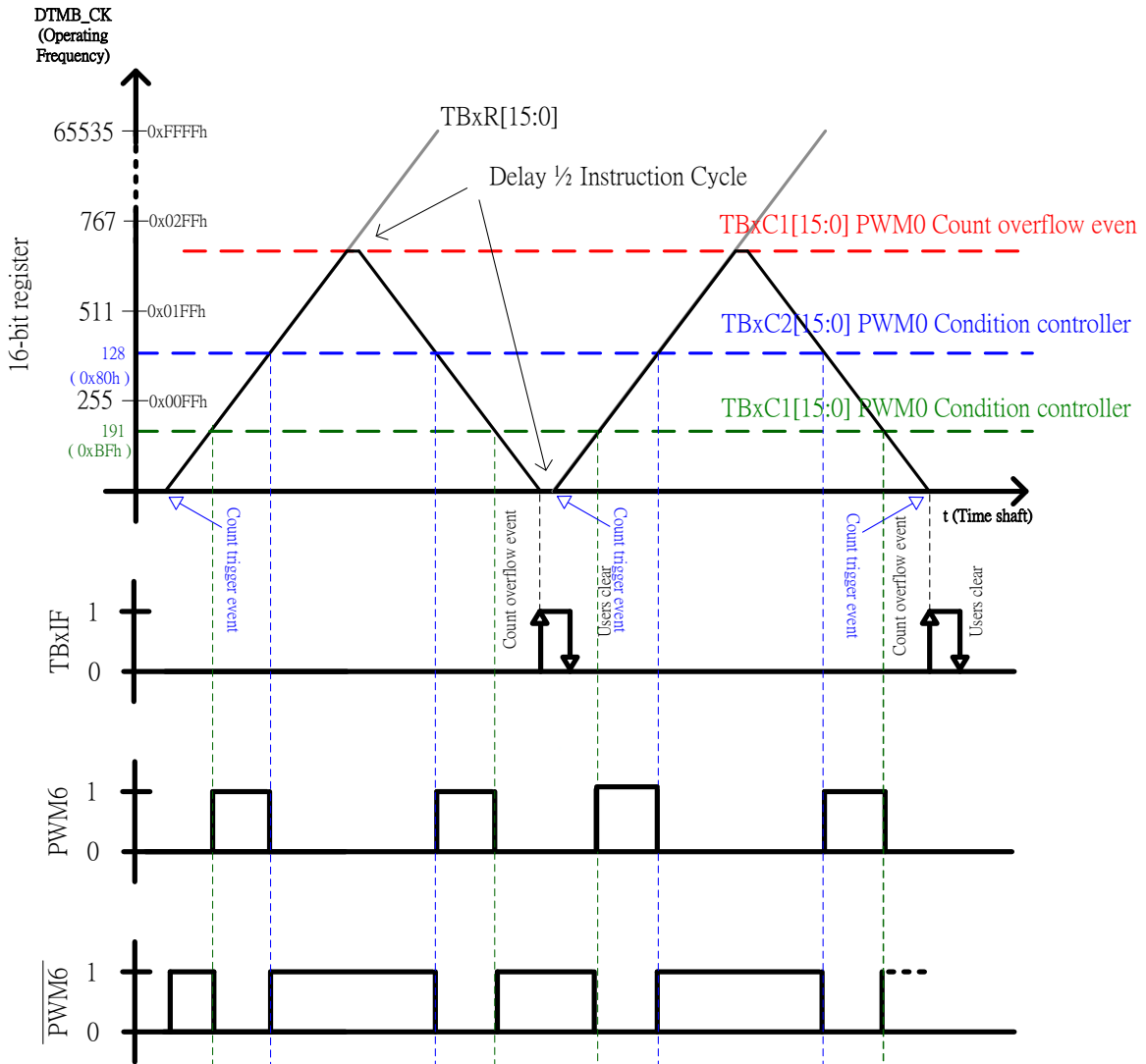


圖 12-11 PWM6O 形與使用示意圖

- 17-bit PWM 輸出操作說明
- ◆ 初始化 (PWM 頻率與工作週期設置)
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<01>，將 TMB1 規劃為 17-bit 計數器。
 - PWMA0/1[2:0]設置<101>以輸出 PWM6O 波形
 - 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用 (Always Enable)，即循環計數。
 - 寫入數據至 TB1C0H[15:8]，以決定 PWM 之頻率。
 - 寫入數據至 TB1C1L[15:0]與 TB1C2[15:0]，以決定 PWM 之工作週期(Duty Cycle)。
 - 將 ENTB1[0]設置<1>啟用計數器。
- ◆ 產生雙波形 PWM6O 形
 - 第一波形條件
 - ✓ 當 TB1R[15:0]遞增計數數值至等於 TB1C1[15:0]時，使得 PWM6O 狀態由 0→1。
 - 當 TB1R[15:0]再遞增計數數值至等於 TB1C2[15:0]時，使得 PWM6O 狀態由 1→0。
 - ✓ 接著，當 TB1R[15:0]計數數值至等於 TB1C0[15:0]時，使得 TB1R[15:0]轉為遞減計數。
 - 第二波形條件
 - ✓ 當 TB1R[15:0]遞增計數數值至等於 TB1C2[15:0]時，使得 PWM6O 狀態由 0→1。
 - ✓ 當 TB1R[15:0]再遞增計數數值至等於 TB1C1[15:0]時，使得 PWM6O 狀態由 1→0。
 - ✓ 接著，當 TB1R[15:0]計數數值至等於 0x0000h 時產生溢位事件使得 TB1IF[0]置<1>歸零重新遞增計數，此時 TB1IE[0]設置<1>則會產生中斷事件服務。
- ◆ PWM 輸出控制
 - 設置 PWMA0/1[0]設置<1>，開啟 PWM Mode。
 - 設置 PA0/1V[0]以決定引腳輸出波形是否反相。
- ◆ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。
- ◆ PWM6O 率與工作週期計算由於產生的波形特殊，在此不描述。

12.2.7. PWM7O 波形 (16-bit PWM 波形)

將 TMB 計數器設置在 16-bit 模式且 PWM 輸出波形選擇 PWM7O，則可產生週期性的 PWM 波形。

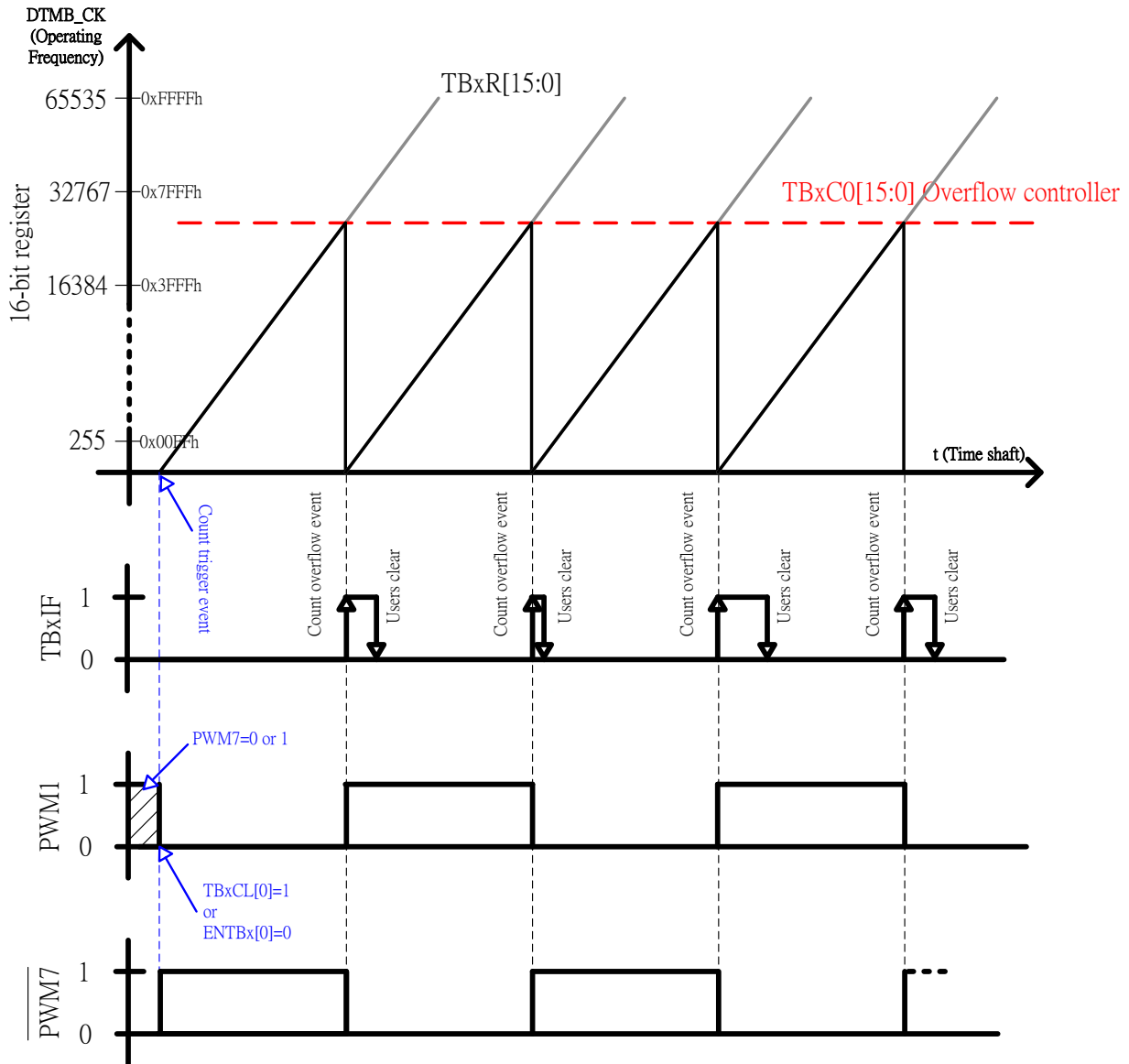


圖 12-12 PWM7O 波形與使用示意圖

- PWM7O 操作說明
- ◆ 初始化 (PWM 頻率與工作週期設置)
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
 - PWMA0/1[2:0]設置<111>以輸出 PWM7O 波形
 - 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用 (Always Enable)，即循環計數。
 - 寫入數據至 TB1C0[15:0]，以決定 PWM 之頻率。
 - 將 ENTB1[0]設置<1>啟用計數器。
- ◆ 產生 PWM7O 波形

HY17S58 Emulate Chip User' Guide

Embedded $\Sigma\Delta$ ADC
8-Bit RISC-like Mixed Signal Microcontroller

- TMB1 未啟用時 PWM7O 狀態未定，但當 ENTB1[0] 設置 <1> 或者 TB1CL[0] 設置 <1> 時，PWM7O 輸出 0 直至發生溢位事件後 PWM7O 轉態輸出 1 且於下次再發生溢位事件時轉態為 0，產生週期性波形。
- 當 TB1R[15:0] 再計數數值至等於 TB1C0[15:0] 時，使得 PWM7O 轉態；並產生溢位事件使得 TB1IF[0] 置 <1> 並歸零重新遞增計數，此時 TB1IE[0] 設置 <1> 則會產生中斷事件服務。
- ◆ PWM 輸出控制
 - 設置 PWMO0/1[0] 設置 <1>，開啟 PWM Mode。
 - 設置 PA0/1IV[0] 以決定引腳輸出波形是否反相。
- ◆ 將 ENTB1[0] 設置 <0> 則關閉計數器與 PWM 輸出。
- ◆ PWM7O 頻率與工作週期計算公式：
$$\text{PWM7O Frequency} = \frac{\text{DTMB_CK}}{\text{TBxC0}[15 : 0] + 1} \div 2$$
$$\text{PWM7O Duty Cycle} = 50\%$$

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



12.3. TMB1 控制暫存器列表與說明：

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE0	GIE	-	ADIE	WDTIE	TB1IE	TMAIE	E1IE	EOIE	0000 0000	0uuu uuuu	*****
INTF0	-				TB1IF				.000 0000	.uuu uuuu	*****
OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]		CUPS		0000 0000	uuuu uuuu	*****
OSCCN1		LCPS			DTMB[1:0]		TMBS		0000 0000	uuuu uu.	*****
OSCCN2	DLCD[1:0]		ENXT	XTS[1:0]		HAOM[1:0]		ENHAO	0000 0011	uuuu uu11	*****r
BSRCN	-	-	-	-	-	-	BSR[1]	BSR[0] xxxx uuuu*
TB1Flag	-	PWM7A	PWM6A	PWM5A	PWM4A	PWM3A	PWM2A	PWM1A	.00 0000	.uu uuuu	.,.,.,.,.,.,.
TB1CN0	ENTB1	TB1M[1:0]		TB1RT[1:0]		TB1CL	PWMO1	PWMO0	0000 0000	uuuu u0uu	*****r,w1,*
TB1CN1	PA1IV	PWMA1[2:0]			PA0IV	PWMA0[2:0]			0000 0000	uuuu uuuu	*****
TB1RH	TimerB1 counter Register [15:8]								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
TB1RL	TimerB1 counter Register [7:0]								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
TB1C0H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	*****
TB1C0L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	*****
TB1C1H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	*****
TB1C1L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	*****
TB1C2H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	*****
TB1C2L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	*****
TCCN0	-	TC1S[1:0]	-	-	-	-	-	-	0000 0000	uuuu uuuu	*****

表 12-3 TMB1/2/3 相關暫存器

BSRCN: 詳見 記憶體,Memory 章節

INTE0/INTF0: 詳見 中斷,Interrupt 章節

OSCCN0/OSCCN1/OSCCN2: 詳見 震盪器、時脈源與功耗管理章節

TB1Flag: 計數器 TMB1 產生 PWM 波形狀態旗標

位元	名稱	描述
Bit6~0	PWMxA	PWMx 波形狀態 · $1 \leq x \leq 7$ <0> 低電位 L <1> 高電位 H

TB1CN0: 計數器 TMB1 控制暫存器

位元	名稱	描述
Bit7	ENTB1	啟用與關閉 TMB1 <0> 關閉。 <1> 啟用
Bit6~5	TB1M[1:0]	計數器 TMB1 操作模式 <00> 16-bit 計數器 <01> 17-bit 計數器 <10> 兩組 8-bit 計數器 <11> 8+8-bit 計數器

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



位元	名稱	描述
Bit4~3	TB1RT[1:0]	計數器 TMB1 計數觸發選擇器 <00> Logic High <11> CPI1
Bit2	TB1CL	TB1R 計數歸零控制器 <0> 計數不歸零。 <1> 計數歸零。(設置<1>有效，計數器歸零後自動置<0>)
Bit1	PWMO1	PWM1 引腳輸出控制器 <0> 不輸出 <1> 輸出
Bit0	PWMO0	PWM0 引腳輸出控制器 <0> 不輸出 <1> 輸出

TB1CN1: 計數器 TMB1 控制暫存器

位元	名稱	描述				
Bit7	PA1IV	引腳 PWMAx 波形輸出相位 ($0 \leq x \leq 1$) <0> 反相。 <1> 同相。				
Bit3	PA0IV					
Bit6~4	PWMA1[2:0]	引腳 PWMAx 波形輸出選擇器 ($0 \leq x \leq 1$)				
Bit2~0	PWMA0[2:0]		PWMAx[2:0]	輸出選擇器	PWMAx[2:0]	輸出選擇器
			000	PWM1O	100	PWM5O
			001	PWM2O	101	PWM6O
			010	PWM3O	110	PWM7O
011	PWM4O	111	PWM7O			

TB1R: TMB1 計數器

位元	名稱	描述
Bit15~8	TB1RH[7:0]	TMB1 計數器
Bit7~0	TB1RL[7:0]	

TB1C0: TMB1 溢位控制

位元	名稱	描述
Bit15~8	TB1C0RH[7:0]	TMB1 計數器溢位控制
Bit7~0	TB1C0RL[7:0]	

TB1C1: PWMA 條件控制 1

位元	名稱	描述

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

位元	名稱	描述
Bit15~8	TB1C1RH[7:0]	PWMA 條件控制 1
Bit7~0	TB1C1RL[7:0]	

TB1C2: PWMA 條件控制 2

位元	名稱	描述
Bit15~8	TB1C2RH[7:0]	PWMA 條件控制 2
Bit7~0	TB1C2RL[7:0]	

TC1CN0: 計數器 TMC 控制暫存器

位元	名稱	描述
Bit6~5	TC1S[1:0]	計數器 TC1 事件輸入選擇器 <00> TBI2 來自 GPIO 口的輸入。(預設) <01> TBI1 來自 GPIO 口的輸入。 <10> 低頻時脈源 LPC_CK <11> TBI0 來自 GPIO 口的輸入。

13.16-bit 計數器 C, TMC (16-bit TimerC)

計數器 C 應用於信號捕捉與比較，使用時須配合 TMB1 的 TB1R[15:0]計數器。其透過輸入信號選擇器 CPI1S[1:0]與 CPSS[0]可組合而成不同的信號捕捉應用方式，並利用信號除頻器 CP1PS[3:0]與觸發型態選擇器 CPI1P[0]與 CPI2P[0]，在判斷條件成立下使 TB1R[15:0]計數器數值分別送至 TMC 條件成立暫存器 TC1R0[15:0]及 TC1R1[15:0]，並分別產生中斷事件 TC0IF[0]與 TC1IF[0]。

TMC 暫存器摘要：

INTE0	GIE
INTE2	TC11IE, TC10IE
INTF2	TC1IF, TC0IF
TC1CN0	CPI1P, CPI0P, TCEN
TC1CN1	CPSS, CPI1S[1:0], CP1PS[3:0]
TC1R0	TC1R0H[7:0], TC1R0L[7:0]
TC1R1	TC1R1H[7:0], TC1R1L[7:0]

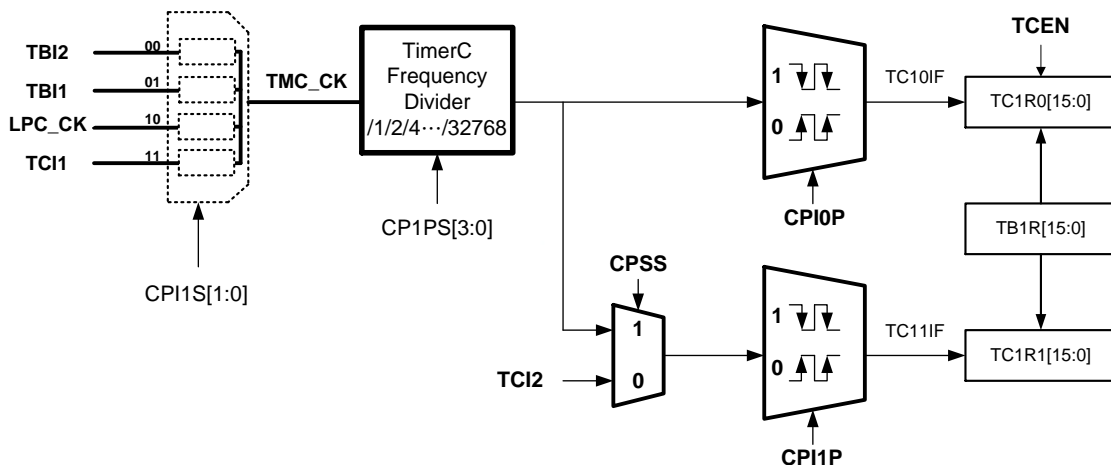


圖 13-1 TMC 計數器架構圖

- TMC 操作說明
- ◆ 初始化 TMB1
 - 設置 TMBS[1:0]可選擇 TMB 的工作頻率源，設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
 - 寫入數據至 TB1C0[15:0]。
 - 將 TB1RT[1:0]設置<00>以選擇觸發計數信號為總是啟用 (Always Enable)，即循環計數。
 - 將 ENTB1[0]設置<1>以啟用計數器
 - ✓ 當 TB1R[15:0]計數數值至等於 TB1C0[15:0]時，產生溢位事件使得 TB1IF[0]置<1>並歸零重新遞增計數，此時 TB1IE[0]設置<1>則會產生中斷事件服務。
 - ✓ 計數過程，使用者可利用計數歸零控制器 TB1CL[0]設置<1>以重新計數，且 TB1CL[0]自動置<0>。
- ◆ 初始化 TMC
 - 設置 CPI1S[1:0]與 CPSS[0]以決定捕捉的信號源及通道
 - 設置 CP1PS[3:0]以決定 TC0 所需的捕捉信號除頻頻率。

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

- 設置 CPI0P[0]與 CPI1P[0]以決定捕捉信號為上升緣或下降緣。
- 設置輸入 TMCIO 與 TMC11 之引腳為輸入狀態，並確認引腳相關設置是否正確。
- 將 TCEN[0]設置<1>以啟用 TMC。
- ◆ TMC 捕捉條件成立使得捕捉中斷事件發生 TC0IF[0]置<1>或 TC1IF[0]置<1>，此時 TC10IE[0]置<1>或 TC11IE[0]置<1>則會產生中斷事件。(比較事件成立至 TC0IF/TC1IF 轉態時間約 $4 \cdot DTMB_CK$ ，即是 $DTMB_CK=32768\text{Hz}$ 則轉態延遲時間約為 $122\mu\text{s}$)
- ◆ 將 ENTB1[0]設置<0>與 TCEN[0] 設置<0>則關閉 TMB1 與 TMC 計數器。
- ◆ 捕捉的信號限制為<TimerB/8

13.1. 暫存器說明-TMC

“.”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE0	GIE								0000 0000	0uuu uuuu	*****
INTE2			TC11IE	TC10IE					0000 0000	uuuu uuuu	*****
INTF2			TC11F	TC01F					0000 0000	uuuu uuuu	*****
TC1CN0						CPI1P	CPI0P	TCEN	0000 0000	uuuu uuuu	uuuu uuuu
TC1CN1		CPSS	CPI1S[1:0]		CP1PS[3:0]				0000 0000	uuuu uuuu	uuuu uuuu
TC1R0H	Capture 0 High Byte Data Register								xxxx xxxx	uuuu uuuu	uuuu uuuu
TC1R0L	Capture 0 Low Byte Data Register								xxxx xxxx	uuuu uuuu	uuuu uuuu
TC1R1H	Capture 1 High Byte Data Register								xxxx xxxx	uuuu uuuu	uuuu uuuu
TC1R1L	Capture 1 Low Byte Data Register								xxxx xxxx	uuuu uuuu	uuuu uuuu

表 13-1 TMC 相關暫存器

INTE0/INTE2/INTF2: 詳見 中斷, Interrupt 章節

TC1CN0:計數器 TimerC1 控制暫存器

位元	名稱	描述
Bit2	CPI1P	Capture1 觸發源設置 <0>上升源觸發。(預設) <1>下降源觸發。
Bit1	CPI0P	Capture0 觸發源設置 <0>上升源觸發。(預設) <1>下降源觸發。
Bit0	TCEN	啟用與關閉 TMC1 <0>關閉。(但不清除 TC1R0 及 TC1R1) (預設) <1>啟用

TC1CN1:計數器 TimerC1 控制暫存器

位元	名稱	描述
Bit6	CPSS	Capture 1 (Timer C Channel 2)捕捉觸發源選擇 <0>TCI2 來自 GPIO 口的輸入。(預設) <1>與 Capture 0 (Timer C Channel 1, CPI1)一樣的捕捉觸發源。
Bit5~4	CPI1S[1:0]	Capture 0 (Timer C Channel 1)捕捉觸發源選擇 <00>TBI2 來自 GPIO 口的輸入。(預設) <01>TBI1 來自 GPIO 口的輸入。 <10>低頻時脈源 LPC_CK。 <11> TCI1 來自 GPIO 口的輸入。

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



位元	名稱	描述																																				
Bit3~0	CP1PS[3:0]	Capture1 觸發源的除頻器設置																																				
		<table border="1"> <thead> <tr> <th>CP1PS[3:0]</th> <th></th> <th>CP1PS[3:0]</th> <th></th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>TMC_CK/1 (預設)</td> <td>1000</td> <td>TMC_CK/256</td> </tr> <tr> <td>0001</td> <td>TMC_CK/2</td> <td>1001</td> <td>TMC_CK/512</td> </tr> <tr> <td>0010</td> <td>TMC_CK/4</td> <td>1010</td> <td>TMC_CK/1024</td> </tr> <tr> <td>0011</td> <td>TMC_CK/8</td> <td>1011</td> <td>TMC_CK/2048</td> </tr> <tr> <td>0100</td> <td>TMC_CK/16</td> <td>1100</td> <td>TMC_CK/4096</td> </tr> <tr> <td>0101</td> <td>TMC_CK/32</td> <td>1101</td> <td>TMC_CK/8192</td> </tr> <tr> <td>0110</td> <td>TMC_CK/64</td> <td>1110</td> <td>TMC_CK/16384</td> </tr> <tr> <td>0111</td> <td>TMC_CK/128</td> <td>1111</td> <td>TMC_CK/32768</td> </tr> </tbody> </table>	CP1PS[3:0]		CP1PS[3:0]		0000	TMC_CK/1 (預設)	1000	TMC_CK/256	0001	TMC_CK/2	1001	TMC_CK/512	0010	TMC_CK/4	1010	TMC_CK/1024	0011	TMC_CK/8	1011	TMC_CK/2048	0100	TMC_CK/16	1100	TMC_CK/4096	0101	TMC_CK/32	1101	TMC_CK/8192	0110	TMC_CK/64	1110	TMC_CK/16384	0111	TMC_CK/128	1111	TMC_CK/32768
		CP1PS[3:0]		CP1PS[3:0]																																		
		0000	TMC_CK/1 (預設)	1000	TMC_CK/256																																	
		0001	TMC_CK/2	1001	TMC_CK/512																																	
		0010	TMC_CK/4	1010	TMC_CK/1024																																	
		0011	TMC_CK/8	1011	TMC_CK/2048																																	
		0100	TMC_CK/16	1100	TMC_CK/4096																																	
		0101	TMC_CK/32	1101	TMC_CK/8192																																	
		0110	TMC_CK/64	1110	TMC_CK/16384																																	
0111	TMC_CK/128	1111	TMC_CK/32768																																			

TC1R0:Capture 0 捕捉計數器

位元	名稱	描述
Bit15~8	TC1R0H[7:0]	TMC1 Capture 1 捕捉計數器
Bit7~0	TC1R0L[7:0]	

TC1R1:Capture 1 捕捉計數器

位元	名稱	描述
Bit15~8	TC1R1H[7:0]	TMC1 Capture 2 捕捉計數器
Bit7~0	TC1R1L[7:0]	

14. 電源系統, Power System

電源系統 PWR 具備一個線性穩壓電源 VDDA 以及類比電路共地電源 ACM，其提供晶片類比週邊電路使用並可適當的用來驅動外部電路。

PWR 暫存器摘要：

PWRCN ENBGR[0], LDOC[2:0], LDOM[1:0], ENLDO[0]

AD1CN5 LDOPL[0]

BIACN0 ENREFO[0]

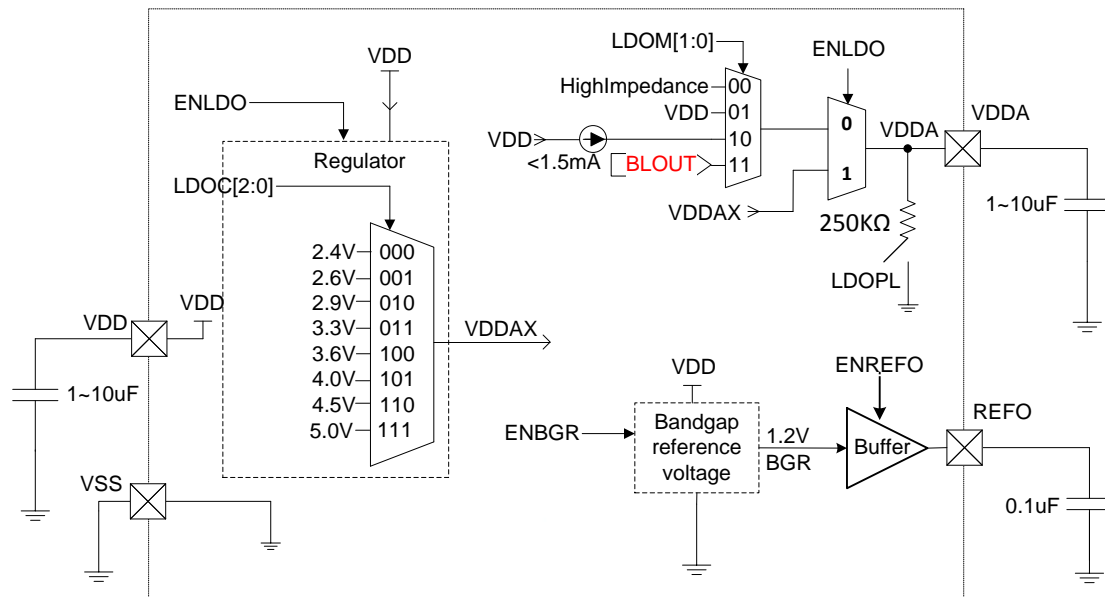


圖 14-1 Power System 方塊圖

14.1. VDDA 使用說明

14.1.1. VDDA 初始化設置：

穩壓選擇器 LDOC[2:0]可設置 VDDA 引腳輸出的電壓計可由 2.4V~4.5V，共有 7 段電壓。由於 VDDA 為一線性穩壓電源，使用時必須注意 VDD 工作電壓的電壓值是否低於 VDDA 輸出電壓的設定值以免造成不可預期的電路誤動作。

14.1.2. VDDA 使用外部偏壓：

VDDA 可採用外部輸入電壓設計，當使用者欲自行提供電壓源則必須由 VDDA 引腳外灌電壓方式輸入。採用此方式時必須關閉 VDDA，即 LDOM [1:0]設置 00。必須注意，此使用方式可能會影響類比電路的效能故需謹慎。

14.1.3. VDDA 啟用

ENLDO[0]設置<1>則會啟用 VDDA 穩壓器。啟動 VDDA 穩壓器須避免 $\Sigma\Delta$ ADC 處於啟用狀態，而且需要等到 VDDA 電壓穩定後才可以啟用 $\Sigma\Delta$ ADC。當外接 1uF(10uF)穩壓電容時約需要 500uS(5mS)的穩定時間。

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



14.2. 暫存器說明-PWR

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
PWRCN	ENBGR	LDOC[2:0]			LDOPL	LDOPL	ENLDO		0000 0000	uuuu u00u	*,*,*,*,*,wr0,wr0,*
AD1CN5				LDOPL		-			0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*,*
BIACN0								ENREFO	0000 0000	uuuu uuuu	*,*,*,*,*,*,*,*,*

表 14-1 PWR 暫存器

PWRCN: 電源系統控制暫存器

位元	名稱	描述																				
Bit7	ENBGR	內部參考電壓控制器 <0>關閉 <1>啟用。當開啟 ADC 及 TPS 時，必須先設為'1'，後再開啟。 此 bit 與 HAO 為連動，故只要 HAO 為開啟的。就算此 bit 寫 0，實際上 BGR 還是開啟的																				
Bit6~4	LDOC[2:0]	VDDAX 輸出電壓選擇器 當 ENLDO 為'1'時，此設定電壓才會輸出至 VDDA 接腳上。 <table border="1"> <thead> <tr> <th>LDOC[2:0]</th> <th>VDDAX 輸出電壓</th> <th>LDOC[2:0]</th> <th>VDDAX 輸出電壓</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>2.4V</td> <td>100</td> <td>3.6V</td> </tr> <tr> <td>001</td> <td>2.6V^{*1}</td> <td>101</td> <td>4.0V^{*1}</td> </tr> <tr> <td>010</td> <td>2.9V^{*1}</td> <td>110</td> <td>4.5V^{*1}</td> </tr> <tr> <td>011</td> <td>3.3V^{*1}</td> <td>111</td> <td>Reserved</td> </tr> </tbody> </table> ^{*1} HY17P52 不具有此選項	LDOC[2:0]	VDDAX 輸出電壓	LDOC[2:0]	VDDAX 輸出電壓	000	2.4V	100	3.6V	001	2.6V ^{*1}	101	4.0V ^{*1}	010	2.9V ^{*1}	110	4.5V ^{*1}	011	3.3V ^{*1}	111	Reserved
LDOC[2:0]	VDDAX 輸出電壓	LDOC[2:0]	VDDAX 輸出電壓																			
000	2.4V	100	3.6V																			
001	2.6V ^{*1}	101	4.0V ^{*1}																			
010	2.9V ^{*1}	110	4.5V ^{*1}																			
011	3.3V ^{*1}	111	Reserved																			
Bit3~2	LDOPL[1:0]	VDDA 輸出選擇器 當 ENLDO 為'0'時，此設定才會輸出至 VDDA 接腳上。 <00> 關閉具高輸入阻抗模式 <01> 輸出 VDD 電壓 <10> Pull high to VDD by 1.5mA. (It is use to initial VDDA when a small current) <11> BLOUT(功能僅在 ICE 才可以實現，HY17P58 不帶有該功能!)																				
Bit1	ENLDO	內部線性穩壓器控制器 <0>關閉 <1>啟用																				

AD1CN5: Σ ADC 控制暫存器 5

位元	名稱	描述
Bit4	LDOPL	內部 250k Ω 電阻下拉開關 <0>關閉 (預設) <1>啟用。

HY17S58 Emulate Chip User' Guide

Embedded $\Sigma\Delta$ ADC
8-Bit RISC-like Mixed Signal Microcontroller

		以下幾點務必使 LDOPL 為 1，否則結果會不如預期 ※ 使用內部 LDO 輸出 ※ ADC 參考電壓選用 VDDA/2-VSS
--	--	---

BIACN0:暫存器

位元	名稱	描述
Bit0	ENREFO	REFO 電壓源輸出控制 <0> 關閉，處於高阻態 (預設) <1> 電壓源輸出。

15. 類比數位轉換器, $\Sigma\Delta$ ADC

$\Sigma\Delta$ ADC 為高解析度超取樣和差型類比數位轉換器(Over Sampling Sigma Delta Analog-to-Digital Converter) · 具有 24 位元的輸出。其包含多功能的輸入多工器、輸入緩衝器(Input Buffer)與前置低雜訊放大器(PGA, Programmable Gain Amplifier)、 $\Sigma\Delta$ 調變器 ($\Sigma\Delta$ AD, Sigma Delta Modulator)、梳狀濾波器(Comb Filter) 等 4 部分。

- 多功能的輸入多工器
可切換選擇多組不同的輸入通道,單一晶片可做多種量測
輸入通道可做短路,消除 ADC 的零點偏移
內置溫度感測電路輸出電壓
- $\Sigma\Delta$ 調變器
可調整輸入電壓放大倍率 · 倍率為 1/4~16 倍
可選擇參考電壓的倍率為 1 或 1/2
4 位元的直流輸入偏壓設定
- 梳狀濾波器(Comb filter)
可調整 OSR(Over Sampling Ratio)= 64~65536
支援 2nd + 3rd 架構
產生中斷事件

$\Sigma\Delta$ ADC 暫存器摘要：

AD1CN0	ENAD1, OSR[3:0], CMFR
AD1CN1	VREGN, PGAGN[1:0], ADGN[2:0]
AD1CN2	DCSET[3:0]
AD1CN3	INP[3:0], INN[3:0]
AD1CN4	VRH[1:0], VRL[1:0], INX[1:0], VRIS, INIS
AD1CN5	ENACM, ENV12, VCMS, LDOPL, ENTPS, TPSCH

HY17S58 Emulate Chip User' Guide

Embedded $\Sigma\Delta$ ADC
8-Bit RISC-like Mixed Signal Microcontroller

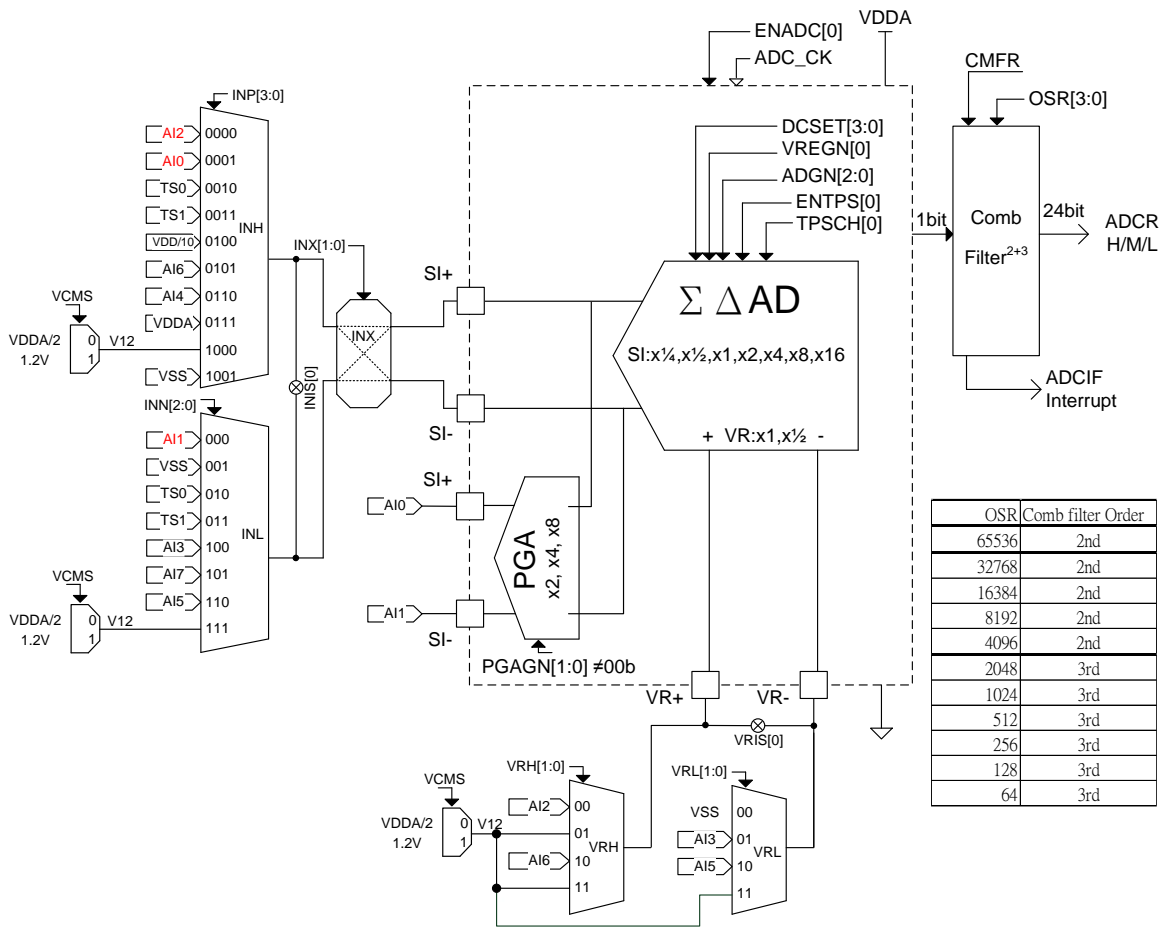


圖 15-1 $\Sigma\Delta$ ADC 方塊圖(For HY17P48)

HY17S58 Emulate Chip User' Guide

Embedded $\Sigma\Delta$ ADC
8-Bit RISC-like Mixed Signal Microcontroller

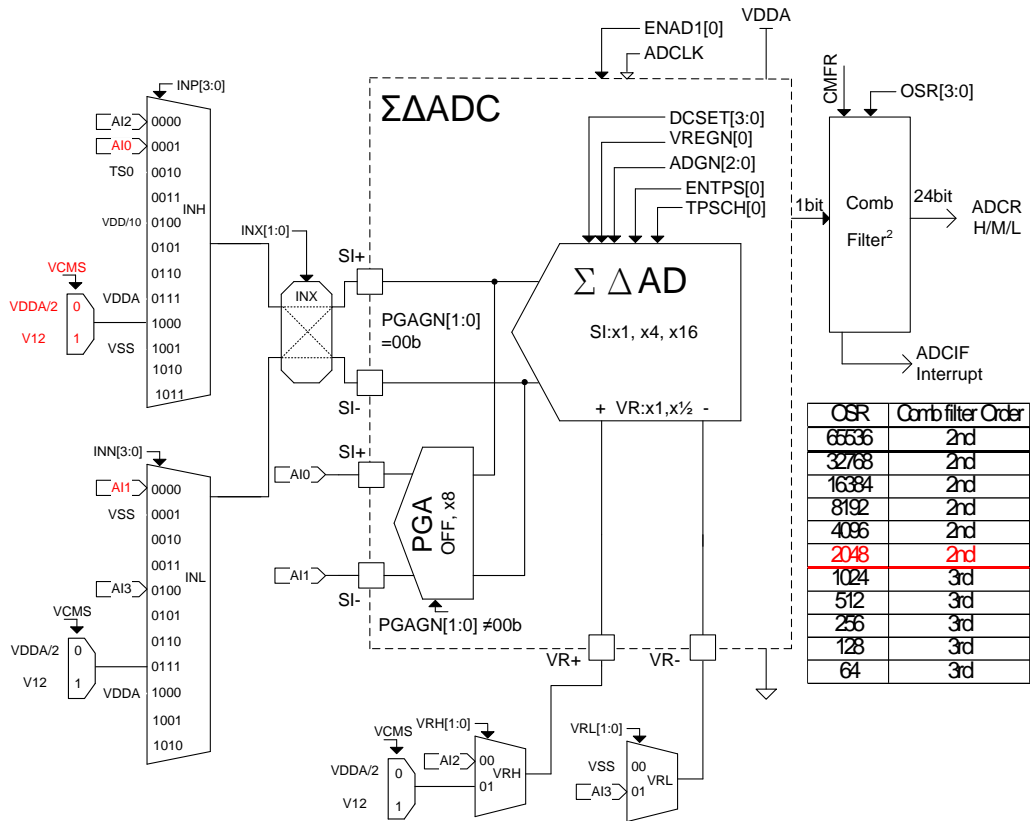


圖 15-2 $\Sigma\Delta$ ADC 方塊圖(For HY17P51)

HY17S58 Emulate Chip User' Guide

Embedded $\Sigma\Delta$ ADC
8-Bit RISC-like Mixed Signal Microcontroller

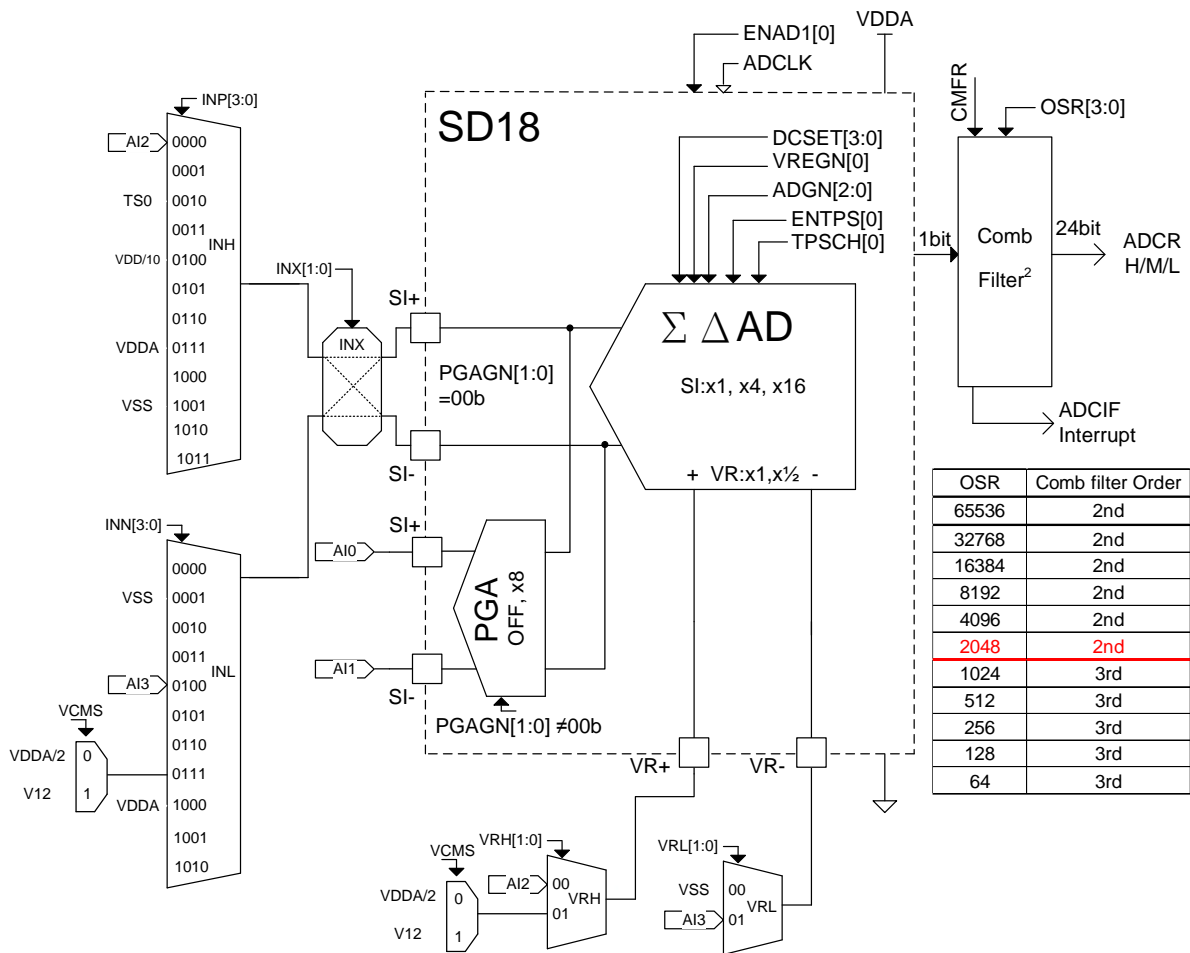


圖 15-3 $\Sigma\Delta$ ADC 方塊圖(For HY17P52)

HY17S58 Emulate Chip User' Guide

Embedded $\Sigma\Delta$ ADC
8-Bit RISC-like Mixed Signal Microcontroller

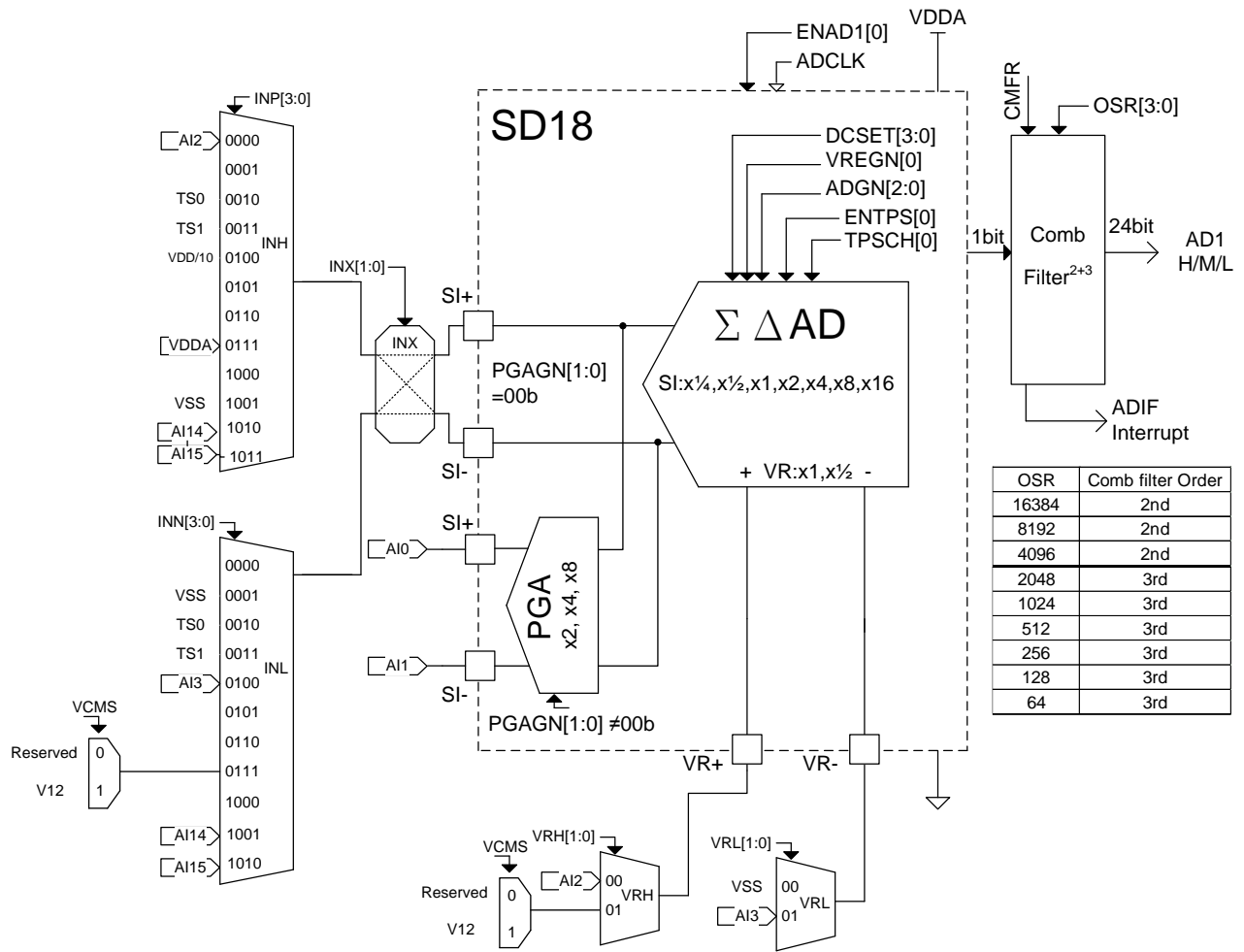


圖 15-4 $\Sigma\Delta$ ADC 方塊圖(For HY17P55/HY17P56)

HY17S58 Emulate Chip User' Guide

Embedded $\Sigma\Delta$ ADC
8-Bit RISC-like Mixed Signal Microcontroller

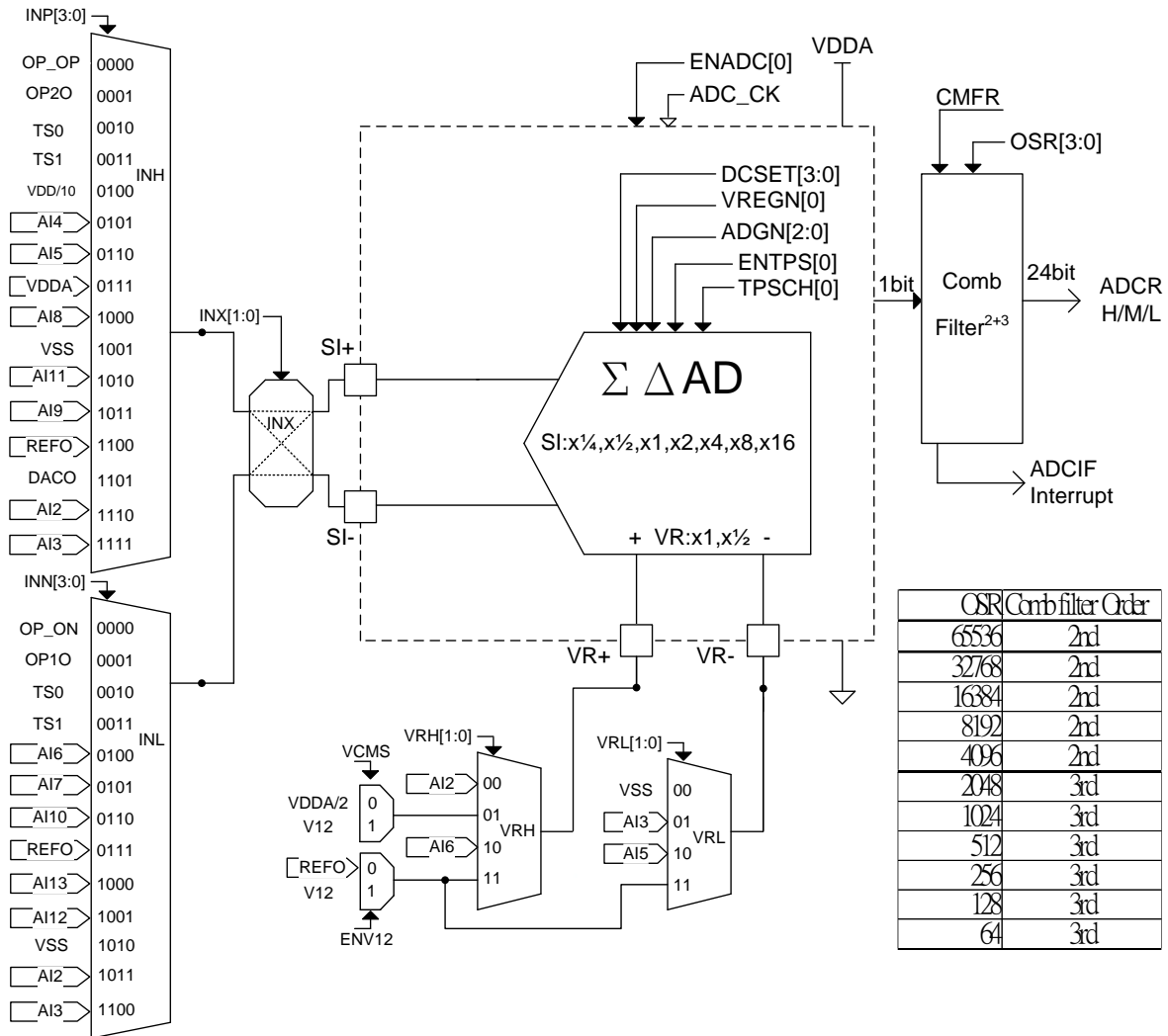


圖 15-5 $\Sigma\Delta$ ADC 方塊圖(For HY17P58)

15.1. $\Sigma\Delta$ ADC 使用說明

15.1.1. $\Sigma\Delta$ ADC 初始化設置

15.1.1.1. 工作頻率配置方式

$\Sigma\Delta$ ADC 的取樣頻率可經由取樣頻率選擇器 ADCCK[0]設置 $\Sigma\Delta$ ADC 的工作頻率由 DHS_CK 提供，其最高取樣頻率不可大於 1MHz(HY17P56/55 不可大於 500KHz)。較快的取樣頻率可在相同的輸出速度下得到較好的解析度，但其輸入阻抗也會降低(參考: 15.2 類比通道輸入特性)。當 DHS_CK 頻率超過最大允許值時則必須透過取樣頻率預除頻器 DADC[1:0]進行頻率調整。

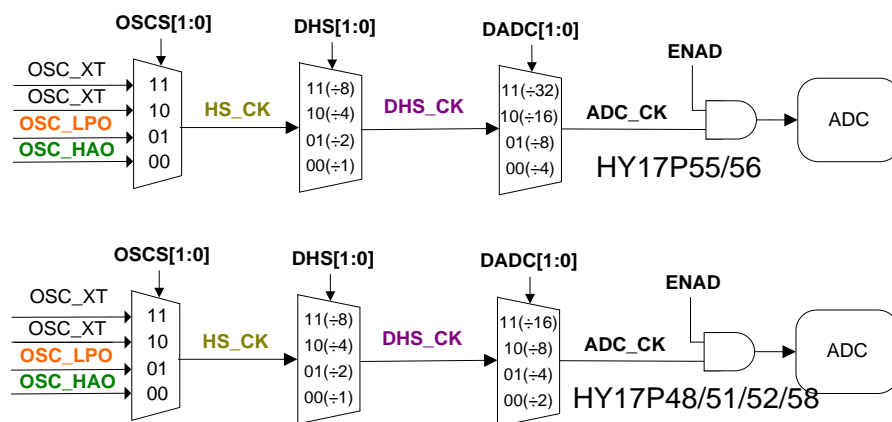


圖 15-6 $\Sigma\Delta$ ADC 工作頻率方塊圖

15.1.1.2. 多功能的輸入多工器配置方式

$\Sigma\Delta$ ADC 採用二階的 $\Sigma\Delta$ 調變器，其待測訊號及參考電壓都可經由已下設置進行倍率及偏壓調整。

- ΔVR_{\pm} 倍率調整器 VREGN[0]設置<1>時，會將參考電壓的信號進行 1/2 倍率的調整也因會改變輸入信號的 $\Delta SI_{\pm} = (SI+ - SI-)$ 與 $\Delta VR_{\pm} = (VR+ - VR-)$ 的比值；設置<0>則進行 1 倍調整。
- 輸入信號經倍率調整器 ADGN[2:0]的設置，最大可達 16 倍的信號放大倍率，如表 15-1(a)。
- 輸入信號 SI_{\pm} 透過直流輸入偏壓調整器 DCSET[3:0]，可調整輸入信號零點位置以增加量測範圍。偏壓方式採加權參考信號 VR_{\pm} 的倍率值，如表 15-1(b)。
- 信號測量時，需注意外部輸入信號阻抗與 ADC 匹配問題。詳細說明請參見 15.2 類比通道輸入特性。

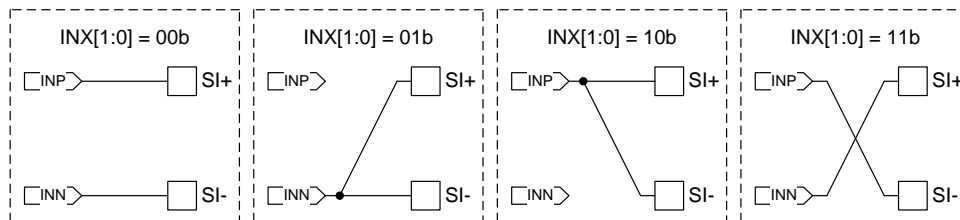


圖 15-7 INX 輸入信號轉置器四種組合方式

設置 輸入	ADGN[2:0]							
	000	001	010	011	100	101	110	111
AD Gain	x1/4	x1/2	x1	x2	x4	x8	x16	RSVD

表 15-1 (a)ADGN[2:0]放大倍率配置表

設置	DCSET[3:0]							
輸入	0000	0001	0010	0011	0100	0101	0110	0111
SI±	+0	+1/8 * Vref	+2/8 * Vref	+3/8 * Vref	+4/8 * Vref	+5/8 * Vref	+6/8 * Vref	+7/8 * Vref
設置	DCSET[3:0]							
輸入	1000	1001	1010	1011	1100	1101	1110	1111
SI±	-0	-1/8 * Vref	-2/8 * Vref	-3/8 * Vref	-4/8 * Vref	-5/8 * Vref	-6/8 * Vref	-7/8 * Vref

單位：VR±

表 15-1 (b) SI±輸入信號加權參考電壓倍率一覽表

$\Sigma\Delta$ 調變器經前置 PGA 及調變器本身的倍率偏壓調整後，其等效的待測訊號 ΔSI_I 與等效的參考電壓 ΔVR_I 的計算公式分別如下：

式 15-1

$$\Delta SI_I = PGAGN \times ADGN \times \Delta SI_{\pm} + (DCSET \times \Delta VR_{\pm})$$

式 15-2

$$\Delta VR_I = VREGN \times VR_{\pm}$$

必須注意，為了使 $\Sigma\Delta$ 調變器輸出得到較高的解析度及線性度，故等效的參考電壓 ΔVR_I 建議落在 $\Delta VR_I=0.8V\sim 1.2V$ ，而等效的待測訊號 ΔSI_I 則操作在 $\Delta SI_I=\pm 0.9 \times \Delta VR_I$ 之間。

15.1.1.3. 梳狀濾波器 Comb Filter 設置方式

$\Sigma\Delta$ 調變器輸出 1-bit 資料至二階梳狀濾波器 Comb Filter，再由 Comb Filter 轉成 24-bit 的數值存放於 AD1[23:0]暫存器。AD1[23:0]資料的更新速率即為 $\Sigma\Delta$ ADC 的輸出速率，計算方式為 $\Sigma\Delta$ ADC 取樣頻率與 $\Sigma\Delta$ ADC 輸出速率頻率比值， $\Sigma\Delta$ ADC 輸出速率頻率又稱為 OSR (Over Sampling Ratio)。

所以 $\Sigma\Delta$ ADC 輸出速率為 $ADC_CK \div OSR$ ，而 OSR 數值可透過 OSR[3:0]設置以產生不同的 $\Sigma\Delta$ ADC 輸出轉換頻率，如表 15-1(c)。

設置	OSR[3:0]										
ADC_ CK	65536	32768	16384	8192	4096	2048	1024	512	256	128	64
1000k	15	30	61	122	244	488	976	1953	3906	7812	15624
500K	7	15	30	61	122	244	488	976	1953	3906	7812
250K	3	7	15	30	61	122	244	488	976	1953	3906

表 15-1 (c) $\Sigma\Delta$ ADC 超取樣頻率配置簡表

AD1[23:0]分別由 AD1H[7:0]、AD1M[7:0]及 AD1L[7:0]組成，其用於存放 Comb Filter 輸出的 24-bit 資料。Comb Filter 的數據格式組成成分如表 15-2 所示。

+FSR/-FSR : 正相與負相最大量測範圍

	等效待測訊號	AD1[23:0]	
		十六進制	二進制
兩極性輸出 二補數格式	ΔVR_I	7FFFFFFF	0111-1111 1111-1111 1111-1111
	$\Delta VR_I \times \frac{1}{2^{23}}$	000001	0000-0000 0000-0000 0000-0001
	0	000000	0000-0000 0000-0000 0000-0000
	$-\Delta VR_I \times \frac{1}{2^{23}}$	FFFFFFF	1111-1111 1111-1111 1111-1111
	$-\Delta VR_I$	800000	1000-0000 0000-0000 0000-0000

表 15-2 AD1[23:0]與輸入信號關係表

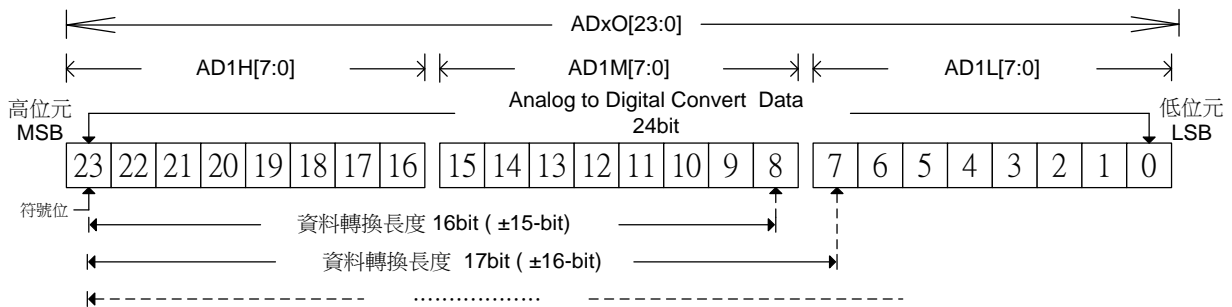


圖 15-8 AD1[23:0]解析度示意圖

15.1.1.4. ADC 使用注意說明

- 當啟動 ADC 時，必須設定 ADC Common Voltage，可以選擇 VCMS=0b(ACM=VDDA/2)或是 VCMS=1b(ACM=1.2V)。
- 如果啟動內部 VDDA 穩壓時，除 ENLDO=1b，還需要啟動 LDOPL=1b，才能正確穩壓。
- LDOPL bit 與 VCMS bit 有連動關係。如果 LDOPL=1b，則 VCMS 可以選擇 VCMS=0b(ACM=VDDA/2)，或是 VCMS=1b(ACM=1.2V)使用；如果 LDOPL=0b，則 VCMS 只可以選擇 VCMS=1b(ACM=1.2V)使用。
- 如果 VDDA 為外灌電壓模式時，則須設定 ENLDO=0b 關閉 LDO，切換 LDOM=00b=high impedance，才可由外部輸入電壓。如果設定了 LDOPL=0b，則可以關閉 pull down 電阻達省電效果。因此在設定 LDOPL=0b 之後，則需要設定 ADC Common Voltage，VCMS=1b(ACM=1.2V)。

15.2. 類比通道輸入特性

$\Sigma\Delta$ ADC 是使用切換式電容線路來進行類比訊號處理，當輸入緩衝器不使用時為了保證取樣電容的電壓可以得到正確的值，輸入信號的最大輸出阻抗必須受到限制，而且會與 $\Sigma\Delta$ ADC 的取樣頻率及信號倍率選擇有相互牽制的關係。

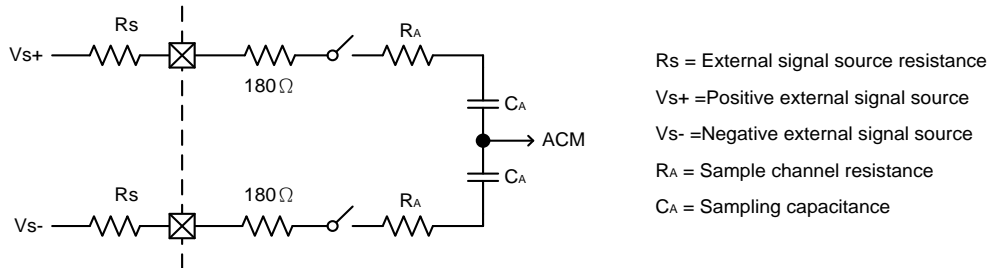


圖 15-9 AIx 輸入電容與阻抗模組

由圖 15-可知，當輸入信號不經緩衝器直接輸入時必須進一步考慮輸入信號內阻 R_s 與 $\Sigma\Delta$ ADC 的取樣頻率 ADC_CK 及寄生電阻 R_A 、電容 C_A 的效應。相關的計算公式如下：

式 15-3

$$t_s > (R_s + R_A + 180\Omega) \times C_A \times [\ln(2^{\text{ENOB}} \times \text{Gain}) + 2]$$

t_s : $\Sigma\Delta$ ADC 最短取樣時間

ENOB : 期望得到 $\Sigma\Delta$ ADC 的有效位數

Gain : ($\Sigma\Delta$ AD Gain)

式 15-4

$$F_s = \frac{1}{2 \times t_s}$$

F_s : $\Sigma\Delta$ ADC 最短取樣頻率

由於 $\Sigma\Delta$ ADC 組成包含 PGA 與 $\Sigma\Delta$ AD，此兩部分在設計上存在各自的 R_A 與 C_A 值，而最短取樣時間 t_s 的計算是依直接與輸入信號匹配的部分來考量。

$\Sigma\Delta$ AD Gain	C_A	R_A
x1/4		
x1/2		
x1	0.5pF	10k Ω
x2	1pF	10k Ω
x4	2pF	10k Ω
x8	4pF	5k Ω
X16		

表 15-3(a) $\Sigma\Delta$ ADC Gain 與 R_A 及 C_A 關係表

VR Gain	C _A	R _A
x1/2	0.25pF	10k Ω
X1	0.5pF	10 kohm

表 15-3(b) VR Gain 與 R_A 及 C_A 關係表

$\Sigma\Delta$ ADC 主要應用是要量測低頻的訊號，但在真實世界裡待測訊號會含有許多高頻的雜訊，根據訊號取樣原理超過取樣頻率的高頻雜訊經過取樣後會產生零點飄移及低頻雜訊，進而造成量測的誤差。因此我們建議在晶片差動待測訊號及參考電壓端加上 10nF~100nF 的濾波電容以加強量測的準確性。

15.2.1. TPS 初始化設置與計算方式

- TPS 的啟用，除了 ENAD1 設置為 1b，還須將 ENTPTS 設置為 1b 才能啟用。
- Gain=1、PGA=1、VR=VCMS-VSS、VCMS=V12、OSR=32768
- ADC 輸入信號須測試兩次。分別測得 ADC_{TPS0}、ADC_{TPS1} 兩次的信號測是 ADC 通道配置參考下表

	HY17P52	HY17P48/55/56/58
ADC _{TPS0}	INP=0010 INN=0001 TPSCH=0b	INP=0010 INN=0010 TPSCH=0b
ADC _{TPS1}	INP=0010 INN=0001 TPSCH=1b	INP=0011 INN=0011 TPSCH=0b

- 在同一溫度 TA(溫度 0 下， $\Sigma\Delta$ 度測量得到 ADC_{TPS0} 與 ADC_{TPS1} 的數值後，將兩數相加並取平均值即可求得在溫度 TA 下測得 TPS 相對應的值 ADC_{TPS@TA}。
- TPS 的輸出值 V_{TPS} 對溫度變化為一線性曲線，故可推導得出其增益值 G_{TPS}(或稱斜率)。

式 15-5 TPS 增益公式

$$G_{TPS} = \frac{ADC_{TPS@T_A}}{(273.15 + T_{offset} + T_A)K}$$

G_{TPS}:溫度計算斜率 $\frac{ADC \text{ count}}{K}$

ADC_{TPS@TA}:校正溫度下所測得的 ADC 值
K=°C+273.15

T_{offset}=由於 TPS 在溫度單位轉換上的不理想，故會有一偏差值

- TPS 在溫度轉換上的不理想，因此實際上並非於°C=K-273.15，而是°C=K+KT=K+(-273.15-T_{offset})其
中的 KT 值請參考該類 IC Data sheet ADC 章節內 TPS 規格。

IC 型號	KT 值
HY17P48	-272
HY17P52	-279
HY17P55/56	-284
HY17P58	-284

15.2.2. TPS 範例說明

假設將於 25°C 進行 TPS 的校正。校正後將 IC 移動置一較高溫環境(65°C)，測試該環境下的溫度。

- (1) 設定 INP=0010b=TS0、INN=0010b=TS0、AD1CN5[TPSCH]=0b、AD1CN5[ENTPS]=1b。ADC 量測得到一個數位碼 ADCTPS0=5897634。
- (2) 設定 INP=0011b=TS1、INN=0011b=TS1、AD1CN5[TPSCH]=0b、AD1CN5[ENTPS]=1b。ADC 量測得到一個數位碼 ADCTPS1=5827679。
- (3) 計算 $ADCTPS@25=(ADCTPS0 + ADCTPS1)/2=5862656$ 。此動作可消除 Temperature Sensor 的 Offset。
- (4) 計算 G_{TPS} ：

$$G_{TPS} = \frac{ADC_{TPS@T_A}}{(273.15 + T_{offset} + T_A)K} = \frac{5862656}{(284 + 25)K} = 18973$$

- (5) 將 IC 移置高溫環境(65°C)後一段時間後，參考步驟(1)~(3) 再次測得 $ADCTPS@65 : 6630103$

$$T_x = \frac{ADC_{TPS@65}}{G_{TPS}} - [273.15 + T_{offset}] = \frac{6630103}{18973} - 284 = 65.45^\circ C$$

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



15.3. 暫存器說明- Σ ADC

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE0	GIE	-	ADIE	WDTE	TB1E	TMAE	E1E	E0E	0000 0000	0uuu uuuu	***** r r r r
INTF0	-	-	ADIF	WDTF	TB1F	TMAF	E1F	E0F	.000 0000	.uuu uuuu	***** r r r r
PWRCN	ENBGR	LDOC[2:0]			LDOM[0]	LDOM	ENLDO	CSFON	0000 0000	uuuu u00u	* * * * *,w r0,w r0,*
AD1H	ADC1 conversion high byte data register								..00 0000	..uu uuuu	-,-, ***** r r r r
AD1M	ADC1 conversion middle byte data register								0000 0000	uuuu uuuu	***** r r r r
AD1L	ADC1 conversion low byte data register								0000 0000	uuuu uuuu	***** r r r r
AD1CN0	ENAD1	-	-	OSR[3:0]			CMFR	000. 0000	uuu. uuuu	***** r r r r	
AD1CN1	-	-	VREGN	PGAGN[1:0]		ADGN[2:0]		xxxx xxxx	uuuu uuuu	***** r r r r	
AD1CN2	INIS1	-	-	-	DCSET[3:0]			xxxx xxxx	uuuu uuuu	***** r r r r	
AD1CN3	INP[1:0]			INN[1:0]				xxxx xxxx	uuuu uuuu	***** r r r r	
AD1CN4	-	VRH[0]	-	-	INX[1:0]		VRIS	INIS	0010 0000	uuuu uuuu	***** r r r r
AD1CN5	-	-	-	-	-	TPSCP	ENTPS	TPSCH	0000 0000	uuuu uuuu	***** r r r r

表 15-4 Σ ADC 暫存器

INTE0/INTF0: 詳見 中斷,Interrupt 章節

PWRCN: 詳見電源系統,Power System 章節

AD1[23:0]類比數位轉換暫存器

AD1H[7:0] AD1 類比數位轉換資料暫存器

AD1M[7:0] AD1 類比數位轉換資料暫存器

AD1L[7:0] AD1 類比數位轉換資料暫存器

AD1CN0: Σ ADC 控制暫存器 0

位元	名稱	描述																																																
Bit7	ENAD1	Σ ADC 啟用控制器 <0> 關閉 <1> 啟用																																																
Bit4~1	OSR<3:0>	Σ ADC 超取樣率除頻器(HY17P48/51/52/58)																																																
		<table border="1"> <thead> <tr> <th>OSR<3:0></th> <th>OSR</th> <th>Comb filter Order</th> <th>OSR<3:0></th> <th>OSR</th> <th>Comb filter Order</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>65536</td> <td>2nd</td> <td>1000</td> <td>256</td> <td>3rd</td> </tr> <tr> <td>0001</td> <td>32768</td> <td>2nd</td> <td>1001</td> <td>128</td> <td>3rd</td> </tr> <tr> <td>0010</td> <td>16384</td> <td>2nd</td> <td>1010</td> <td>64</td> <td>3rd</td> </tr> <tr> <td>0011</td> <td>8192</td> <td>2nd</td> <td>1011</td> <td>65536</td> <td>2nd</td> </tr> <tr> <td>0100</td> <td>4096</td> <td>2nd</td> <td>1100</td> <td>65536</td> <td>2nd</td> </tr> <tr> <td>0101</td> <td>2048</td> <td>2rd(HY17P51/52) 3rd(HY17P48/58)</td> <td>1101</td> <td>65536</td> <td>2nd</td> </tr> <tr> <td>0110</td> <td>1024</td> <td>3rd</td> <td>1110</td> <td>65536</td> <td>2nd</td> </tr> </tbody> </table>	OSR<3:0>	OSR	Comb filter Order	OSR<3:0>	OSR	Comb filter Order	0000	65536	2nd	1000	256	3rd	0001	32768	2nd	1001	128	3rd	0010	16384	2nd	1010	64	3rd	0011	8192	2nd	1011	65536	2nd	0100	4096	2nd	1100	65536	2nd	0101	2048	2rd(HY17P51/52) 3rd(HY17P48/58)	1101	65536	2nd	0110	1024	3rd	1110	65536	2nd
OSR<3:0>	OSR	Comb filter Order	OSR<3:0>	OSR	Comb filter Order																																													
0000	65536	2nd	1000	256	3rd																																													
0001	32768	2nd	1001	128	3rd																																													
0010	16384	2nd	1010	64	3rd																																													
0011	8192	2nd	1011	65536	2nd																																													
0100	4096	2nd	1100	65536	2nd																																													
0101	2048	2rd(HY17P51/52) 3rd(HY17P48/58)	1101	65536	2nd																																													
0110	1024	3rd	1110	65536	2nd																																													

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



位元	名稱	描述																																																												
		<table border="1"> <tr> <td>0111</td> <td>512</td> <td>3rd</td> <td>1111</td> <td>65536</td> <td>2nd</td> </tr> </table> <p>ΣADC 超取樣率除頻器(HY17P55/56)</p> <table border="1"> <thead> <tr> <th>OSR<3:0></th> <th>OSR</th> <th>Comb filter Order</th> <th>OSR<3:0></th> <th>OSR</th> <th>Comb filter Order</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>RSV</td> <td>RSV</td> <td>1000</td> <td>128</td> <td>3rd</td> </tr> <tr> <td>0001</td> <td>16384</td> <td>2nd</td> <td>1001</td> <td>64</td> <td>3rd</td> </tr> <tr> <td>0010</td> <td>8192</td> <td>2nd</td> <td>1010</td> <td>Rsd</td> <td>3rd</td> </tr> <tr> <td>0011</td> <td>4096</td> <td>2nd</td> <td>1011</td> <td>16384</td> <td>2nd</td> </tr> <tr> <td>0100</td> <td>2048</td> <td>2nd</td> <td>1100</td> <td>16384</td> <td>2nd</td> </tr> <tr> <td>0101</td> <td>1024</td> <td>3rd</td> <td>1101</td> <td>16384</td> <td>2nd</td> </tr> <tr> <td>0110</td> <td>512</td> <td>3rd</td> <td>1110</td> <td>16384</td> <td>2nd</td> </tr> <tr> <td>0111</td> <td>256</td> <td>3rd</td> <td>1111</td> <td>16384</td> <td>2nd</td> </tr> </tbody> </table>	0111	512	3rd	1111	65536	2nd	OSR<3:0>	OSR	Comb filter Order	OSR<3:0>	OSR	Comb filter Order	0000	RSV	RSV	1000	128	3rd	0001	16384	2nd	1001	64	3rd	0010	8192	2nd	1010	Rsd	3rd	0011	4096	2nd	1011	16384	2nd	0100	2048	2nd	1100	16384	2nd	0101	1024	3rd	1101	16384	2nd	0110	512	3rd	1110	16384	2nd	0111	256	3rd	1111	16384	2nd
0111	512	3rd	1111	65536	2nd																																																									
OSR<3:0>	OSR	Comb filter Order	OSR<3:0>	OSR	Comb filter Order																																																									
0000	RSV	RSV	1000	128	3rd																																																									
0001	16384	2nd	1001	64	3rd																																																									
0010	8192	2nd	1010	Rsd	3rd																																																									
0011	4096	2nd	1011	16384	2nd																																																									
0100	2048	2nd	1100	16384	2nd																																																									
0101	1024	3rd	1101	16384	2nd																																																									
0110	512	3rd	1110	16384	2nd																																																									
0111	256	3rd	1111	16384	2nd																																																									
Bit0	CMFR	<p>ΣΔFR4 與梳狀濾波器復位控制器</p> <p><0> 不復位</p> <p><1> 復位；寫入動作即發生復位</p>																																																												

AD1CN1: Σ ADC 控制暫存器 1

位元	名稱	描述																												
Bit5	VREGN	<p>VR\pm倍率調整器</p> <p><0> x1</p> <p><1> x1/2</p>																												
Bit4~3	PGAGN	<p>PGA 倍率調整器</p> <table border="1"> <thead> <tr> <th colspan="2">HY17P58/56/55/48</th> <th colspan="2">HY17P51/52</th> </tr> <tr> <th>PGAGN</th> <th>Gain</th> <th>PGAGN</th> <th>Gain</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>x1</td> <td>00</td> <td>x1</td> </tr> <tr> <td>01</td> <td>x2</td> <td>01</td> <td>RSVD</td> </tr> <tr> <td>10</td> <td>x4</td> <td>10</td> <td>RSVD</td> </tr> <tr> <td>11</td> <td>x8</td> <td>11</td> <td>x8</td> </tr> </tbody> </table>	HY17P58/56/55/48		HY17P51/52		PGAGN	Gain	PGAGN	Gain	00	x1	00	x1	01	x2	01	RSVD	10	x4	10	RSVD	11	x8	11	x8				
HY17P58/56/55/48		HY17P51/52																												
PGAGN	Gain	PGAGN	Gain																											
00	x1	00	x1																											
01	x2	01	RSVD																											
10	x4	10	RSVD																											
11	x8	11	x8																											
Bit2~0	ADGN[2:0]	<p>AD 倍率調整器</p> <table border="1"> <thead> <tr> <th colspan="2">HY17P58/56/55/48</th> <th colspan="2">HY17P51/52</th> </tr> <tr> <th>ADGN[2:0]</th> <th>Gain</th> <th>ADGN[2:0]</th> <th>Gain</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>x1/4</td> <td>000</td> <td>x1</td> </tr> <tr> <td>001</td> <td>x1/2</td> <td>001</td> <td>x4</td> </tr> <tr> <td>010</td> <td>x1</td> <td>010</td> <td>x16</td> </tr> <tr> <td>011</td> <td>x2</td> <td>011</td> <td>x16</td> </tr> <tr> <td>100</td> <td>x4</td> <td>100</td> <td>x16</td> </tr> </tbody> </table>	HY17P58/56/55/48		HY17P51/52		ADGN[2:0]	Gain	ADGN[2:0]	Gain	000	x1/4	000	x1	001	x1/2	001	x4	010	x1	010	x16	011	x2	011	x16	100	x4	100	x16
HY17P58/56/55/48		HY17P51/52																												
ADGN[2:0]	Gain	ADGN[2:0]	Gain																											
000	x1/4	000	x1																											
001	x1/2	001	x4																											
010	x1	010	x16																											
011	x2	011	x16																											
100	x4	100	x16																											

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



位元	名稱	描述			
		101	x8	101	x16
		110	x16	110	x16
		111	RSVD	111	RSVD

AD1CN2: Σ ADC 控制暫存器 2

位元	名稱	描述																																							
Bit7	INIS1	C-Type PGA SI_{\pm} 輸入信號短路控制器 <0> 未短路 <1> 短路(測試用，不建議設定)																																							
Bit3~0	DCSET[3:0]	SI_{\pm} 偏壓調整器 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>DCSET<3:0></th> <th>Offset</th> <th>DCSET<3:0></th> <th>Offset</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>+0*(REFP - REFN)</td> <td>1000</td> <td>-0*(REFP - REFN)</td> </tr> <tr> <td>0001</td> <td>+1/8*(REFP - REFN)</td> <td>1001</td> <td>-1/8*(REFP - REFN)</td> </tr> <tr> <td>0010</td> <td>+2/8*(REFP - REFN)</td> <td>1010</td> <td>-2/8*(REFP - REFN)</td> </tr> <tr> <td>0011</td> <td>+3/8*(REFP - REFN)</td> <td>1011</td> <td>-3/8*(REFP - REFN)</td> </tr> <tr> <td>0100</td> <td>+4/8*(REFP - REFN)</td> <td>1100</td> <td>-4/8*(REFP - REFN)</td> </tr> <tr> <td>0101</td> <td>+5/8*(REFP - REFN)</td> <td>1101</td> <td>-5/8*(REFP - REFN)</td> </tr> <tr> <td>0110</td> <td>+6/8*(REFP - REFN)</td> <td>1110</td> <td>-6/8*(REFP - REFN)</td> </tr> <tr> <td>0111</td> <td>+7/8*(REFP - REFN)</td> <td>1111</td> <td>-7/8*(REFP - REFN)</td> </tr> </tbody> </table>				DCSET<3:0>	Offset	DCSET<3:0>	Offset	0000	+0*(REFP - REFN)	1000	-0*(REFP - REFN)	0001	+1/8*(REFP - REFN)	1001	-1/8*(REFP - REFN)	0010	+2/8*(REFP - REFN)	1010	-2/8*(REFP - REFN)	0011	+3/8*(REFP - REFN)	1011	-3/8*(REFP - REFN)	0100	+4/8*(REFP - REFN)	1100	-4/8*(REFP - REFN)	0101	+5/8*(REFP - REFN)	1101	-5/8*(REFP - REFN)	0110	+6/8*(REFP - REFN)	1110	-6/8*(REFP - REFN)	0111	+7/8*(REFP - REFN)	1111	-7/8*(REFP - REFN)
DCSET<3:0>	Offset	DCSET<3:0>	Offset																																						
0000	+0*(REFP - REFN)	1000	-0*(REFP - REFN)																																						
0001	+1/8*(REFP - REFN)	1001	-1/8*(REFP - REFN)																																						
0010	+2/8*(REFP - REFN)	1010	-2/8*(REFP - REFN)																																						
0011	+3/8*(REFP - REFN)	1011	-3/8*(REFP - REFN)																																						
0100	+4/8*(REFP - REFN)	1100	-4/8*(REFP - REFN)																																						
0101	+5/8*(REFP - REFN)	1101	-5/8*(REFP - REFN)																																						
0110	+6/8*(REFP - REFN)	1110	-6/8*(REFP - REFN)																																						
0111	+7/8*(REFP - REFN)	1111	-7/8*(REFP - REFN)																																						

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



AD1CN3: Σ ADC 控制暫存器 3

位元	名稱	描述																																																																																																												
Bit7~4	INP[3:0]	<p>SI±“+”輸入信號選擇器</p> <p>HY17P48</p> <table border="1"> <thead> <tr> <th>INP<3:0></th> <th>ADC 輸入通道</th> <th>INP<3:0></th> <th>ADC 輸入通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>AI2</td> <td>1000</td> <td>VCMS</td> </tr> <tr> <td>0001</td> <td>AI0</td> <td>1001</td> <td>VSS</td> </tr> <tr> <td>0010</td> <td>TS0</td> <td>1010</td> <td>-</td> </tr> <tr> <td>0011</td> <td>TS1</td> <td>1011</td> <td>-</td> </tr> <tr> <td>0100</td> <td>VDD/10 註 1</td> <td>1100</td> <td>-</td> </tr> <tr> <td>0101</td> <td>AI6</td> <td>1101</td> <td>-</td> </tr> <tr> <td>0110</td> <td>AI4</td> <td>1110</td> <td>-</td> </tr> <tr> <td>0111</td> <td>VDDA</td> <td>1111</td> <td>-</td> </tr> </tbody> </table> <p>註 1:HY17P48 使用 VDD/10 通道時，INN 固定要選為 AI3。如需要對 VSS 測量，須從 IC 外部把 AI3 短路到 VSS；或者開啟高精度模式配合，此用法建議與代理商工程窗口確認</p> <p>HY17P51/52</p> <table border="1"> <thead> <tr> <th>INP<3:0></th> <th>ADC 輸入通道</th> <th>INP<3:0></th> <th>ADC 輸入通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>AI2</td> <td>1000</td> <td>由 VCMS[0]控制位元決定(HY17P51 Only)</td> </tr> <tr> <td>0001</td> <td>AI0(HY17P51 Only)</td> <td>1001</td> <td>VSS</td> </tr> <tr> <td>0010</td> <td>TS0</td> <td>1010</td> <td>-</td> </tr> <tr> <td>0011</td> <td>-</td> <td>1011</td> <td>-</td> </tr> <tr> <td>0100</td> <td>VDD/10</td> <td>1100</td> <td>-</td> </tr> <tr> <td>0101</td> <td>-</td> <td>1101</td> <td>-</td> </tr> <tr> <td>0110</td> <td>-</td> <td>1110</td> <td>-</td> </tr> <tr> <td>0111</td> <td>VDDA</td> <td>1111</td> <td>-</td> </tr> </tbody> </table> <p>HY17P55/HY17P56</p> <table border="1"> <thead> <tr> <th>INP<3:0></th> <th>ADC 輸入通道</th> <th>INP<3:0></th> <th>ADC 輸入通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>AI2</td> <td>1000</td> <td>-</td> </tr> <tr> <td>0001</td> <td>-</td> <td>1001</td> <td>VSS</td> </tr> <tr> <td>0010</td> <td>TS0</td> <td>1010</td> <td>AI14</td> </tr> <tr> <td>0011</td> <td>TS1</td> <td>1011</td> <td>AI15</td> </tr> <tr> <td>0100</td> <td>VDD/10</td> <td>1100</td> <td>-</td> </tr> <tr> <td>0101</td> <td>-</td> <td>1101</td> <td>-</td> </tr> <tr> <td>0110</td> <td>-</td> <td>1110</td> <td>-</td> </tr> <tr> <td>0111</td> <td>VDDA</td> <td>1111</td> <td>-</td> </tr> </tbody> </table>	INP<3:0>	ADC 輸入通道	INP<3:0>	ADC 輸入通道	0000	AI2	1000	VCMS	0001	AI0	1001	VSS	0010	TS0	1010	-	0011	TS1	1011	-	0100	VDD/10 註 1	1100	-	0101	AI6	1101	-	0110	AI4	1110	-	0111	VDDA	1111	-	INP<3:0>	ADC 輸入通道	INP<3:0>	ADC 輸入通道	0000	AI2	1000	由 VCMS[0]控制位元決定(HY17P51 Only)	0001	AI0(HY17P51 Only)	1001	VSS	0010	TS0	1010	-	0011	-	1011	-	0100	VDD/10	1100	-	0101	-	1101	-	0110	-	1110	-	0111	VDDA	1111	-	INP<3:0>	ADC 輸入通道	INP<3:0>	ADC 輸入通道	0000	AI2	1000	-	0001	-	1001	VSS	0010	TS0	1010	AI14	0011	TS1	1011	AI15	0100	VDD/10	1100	-	0101	-	1101	-	0110	-	1110	-	0111	VDDA	1111	-
INP<3:0>	ADC 輸入通道	INP<3:0>	ADC 輸入通道																																																																																																											
0000	AI2	1000	VCMS																																																																																																											
0001	AI0	1001	VSS																																																																																																											
0010	TS0	1010	-																																																																																																											
0011	TS1	1011	-																																																																																																											
0100	VDD/10 註 1	1100	-																																																																																																											
0101	AI6	1101	-																																																																																																											
0110	AI4	1110	-																																																																																																											
0111	VDDA	1111	-																																																																																																											
INP<3:0>	ADC 輸入通道	INP<3:0>	ADC 輸入通道																																																																																																											
0000	AI2	1000	由 VCMS[0]控制位元決定(HY17P51 Only)																																																																																																											
0001	AI0(HY17P51 Only)	1001	VSS																																																																																																											
0010	TS0	1010	-																																																																																																											
0011	-	1011	-																																																																																																											
0100	VDD/10	1100	-																																																																																																											
0101	-	1101	-																																																																																																											
0110	-	1110	-																																																																																																											
0111	VDDA	1111	-																																																																																																											
INP<3:0>	ADC 輸入通道	INP<3:0>	ADC 輸入通道																																																																																																											
0000	AI2	1000	-																																																																																																											
0001	-	1001	VSS																																																																																																											
0010	TS0	1010	AI14																																																																																																											
0011	TS1	1011	AI15																																																																																																											
0100	VDD/10	1100	-																																																																																																											
0101	-	1101	-																																																																																																											
0110	-	1110	-																																																																																																											
0111	VDDA	1111	-																																																																																																											
位元	名稱	描述																																																																																																												

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



		<p>HY17P58</p> <table border="1"> <thead> <tr> <th>INP<3:0></th> <th>ADC 輸入通道</th> <th>INP<3:0></th> <th>ADC 輸入通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>OP_OP</td> <td>1000</td> <td>AI8</td> </tr> <tr> <td>0001</td> <td>OP20</td> <td>1001</td> <td>VSS</td> </tr> <tr> <td>0010</td> <td>TS1</td> <td>1010</td> <td>AI11</td> </tr> <tr> <td>0011</td> <td>TS0</td> <td>1011</td> <td>AI9</td> </tr> <tr> <td>0100</td> <td>VDD/10</td> <td>1100</td> <td>REFO</td> </tr> <tr> <td>0101</td> <td>AI4</td> <td>1101</td> <td>DACO</td> </tr> <tr> <td>0110</td> <td>AI5</td> <td>1110</td> <td>AI2</td> </tr> <tr> <td>0111</td> <td>VDDA</td> <td>1111</td> <td>AI3</td> </tr> </tbody> </table>	INP<3:0>	ADC 輸入通道	INP<3:0>	ADC 輸入通道	0000	OP_OP	1000	AI8	0001	OP20	1001	VSS	0010	TS1	1010	AI11	0011	TS0	1011	AI9	0100	VDD/10	1100	REFO	0101	AI4	1101	DACO	0110	AI5	1110	AI2	0111	VDDA	1111	AI3																																				
INP<3:0>	ADC 輸入通道	INP<3:0>	ADC 輸入通道																																																																							
0000	OP_OP	1000	AI8																																																																							
0001	OP20	1001	VSS																																																																							
0010	TS1	1010	AI11																																																																							
0011	TS0	1011	AI9																																																																							
0100	VDD/10	1100	REFO																																																																							
0101	AI4	1101	DACO																																																																							
0110	AI5	1110	AI2																																																																							
0111	VDDA	1111	AI3																																																																							
Bit3~0	INN[3:0]	<p>SI±“-”輸入信號選擇器</p> <p>HY17P48</p> <table border="1"> <thead> <tr> <th>INN<3:0></th> <th>ADC 輸入通道</th> <th>INN<3:0></th> <th>ADC 輸入通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>AI1</td> <td>1000</td> <td>-</td> </tr> <tr> <td>0001</td> <td>VSS</td> <td>1001</td> <td>-</td> </tr> <tr> <td>0010</td> <td>TS0</td> <td>1010</td> <td>-</td> </tr> <tr> <td>0011</td> <td>TS1</td> <td>1011</td> <td>-</td> </tr> <tr> <td>0100</td> <td>AI3 註 2</td> <td>1100</td> <td>-</td> </tr> <tr> <td>0101</td> <td>AI7</td> <td>1101</td> <td>-</td> </tr> <tr> <td>0110</td> <td>AI5</td> <td>1110</td> <td>-</td> </tr> <tr> <td>0111</td> <td>VCMS[0]=0 時 · 為 VDDA/2 VCMS[0]=1 時 · 為 V12</td> <td>1111</td> <td>-</td> </tr> </tbody> </table> <p>註 2 進低功耗模式前，須把 INN 選離 AI3 通道</p> <p>HY17P51/52</p> <table border="1"> <thead> <tr> <th>INN<3:0></th> <th>ADC 輸入通道</th> <th>INN<3:0></th> <th>ADC 輸入通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>AI1(HY17P51 Only)</td> <td>1000</td> <td>VDDA</td> </tr> <tr> <td>0001</td> <td>VSS</td> <td>1001</td> <td>-</td> </tr> <tr> <td>0010</td> <td>-</td> <td>1010</td> <td>-</td> </tr> <tr> <td>0011</td> <td>-</td> <td>1011</td> <td>-</td> </tr> <tr> <td>0100</td> <td>AI3</td> <td>1100</td> <td>-</td> </tr> <tr> <td>0101</td> <td>-</td> <td>1101</td> <td>-</td> </tr> <tr> <td>0110</td> <td>-</td> <td>1110</td> <td>-</td> </tr> <tr> <td>0111</td> <td>VCMS[0]=0 時 · 為 VDDA/2 VCMS[0]=1 時 · 為 V12</td> <td>1111</td> <td>-</td> </tr> </tbody> </table>	INN<3:0>	ADC 輸入通道	INN<3:0>	ADC 輸入通道	0000	AI1	1000	-	0001	VSS	1001	-	0010	TS0	1010	-	0011	TS1	1011	-	0100	AI3 註 2	1100	-	0101	AI7	1101	-	0110	AI5	1110	-	0111	VCMS[0]=0 時 · 為 VDDA/2 VCMS[0]=1 時 · 為 V12	1111	-	INN<3:0>	ADC 輸入通道	INN<3:0>	ADC 輸入通道	0000	AI1(HY17P51 Only)	1000	VDDA	0001	VSS	1001	-	0010	-	1010	-	0011	-	1011	-	0100	AI3	1100	-	0101	-	1101	-	0110	-	1110	-	0111	VCMS[0]=0 時 · 為 VDDA/2 VCMS[0]=1 時 · 為 V12	1111	-
INN<3:0>	ADC 輸入通道	INN<3:0>	ADC 輸入通道																																																																							
0000	AI1	1000	-																																																																							
0001	VSS	1001	-																																																																							
0010	TS0	1010	-																																																																							
0011	TS1	1011	-																																																																							
0100	AI3 註 2	1100	-																																																																							
0101	AI7	1101	-																																																																							
0110	AI5	1110	-																																																																							
0111	VCMS[0]=0 時 · 為 VDDA/2 VCMS[0]=1 時 · 為 V12	1111	-																																																																							
INN<3:0>	ADC 輸入通道	INN<3:0>	ADC 輸入通道																																																																							
0000	AI1(HY17P51 Only)	1000	VDDA																																																																							
0001	VSS	1001	-																																																																							
0010	-	1010	-																																																																							
0011	-	1011	-																																																																							
0100	AI3	1100	-																																																																							
0101	-	1101	-																																																																							
0110	-	1110	-																																																																							
0111	VCMS[0]=0 時 · 為 VDDA/2 VCMS[0]=1 時 · 為 V12	1111	-																																																																							

位元	名稱	描述
----	----	----

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

位元	名稱	描述			
		HY17P55/HY17P56			
		INN<3:0>	ADC 輸入通道	INN<3:0>	ADC 輸入通道
		0000	-	1000	-
		0001	VSS	1001	AI14
		0010	TS0	1010	AI15
		0011	TS1	1011	-
		0100	AI3	1100	-
		0101	-	1101	-
		0110	-	1110	-
		0111	VCMS[0]=0 時，為 VDDA/2 VCMS[0]=1 時，為 V12	1111	-
		HY17P58			
		INN<3:0>	ADC 輸入通道	INN<3:0>	ADC 輸入通道
		0000	OP_ON	1000	AI13
		0001	OP10	1001	AI12
		0010	TS0	1010	VSS
		0011	TS1	1011	AI2
		0100	AI6	1100	AI3
		0101	AI7	1101	-
		0110	AI10	1110	-
		0111	REFO	1111	-

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

AD1CN4: Σ ADC 控制暫存器 4

位元	名稱	描述																														
Bit7~6	VRH[1:0]	<p>VR±“+”電壓信號選擇器</p> <p>HY17P58</p> <table border="1"> <thead> <tr> <th>VRH[1:0]</th> <th>ADC 參考電壓+</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>A12</td> </tr> <tr> <td>01</td> <td>VCMS[0]=0 時，為 VDDA/2(保留，不開放) VCMS[0]=1 時，為 V12</td> </tr> <tr> <td>10</td> <td>A16</td> </tr> <tr> <td>11</td> <td>ENV12[0]=0 時，為 REFO ENV12[0]=1 時，為 V12</td> </tr> </tbody> </table> <p>HY17P51/52/55/56</p> <table border="1"> <thead> <tr> <th>VRH[1:0]</th> <th>ADC 參考電壓+</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>A12</td> </tr> <tr> <td>01</td> <td>VCMS[0]=0 時，為 VDDA/2(保留，不開放) VCMS[0]=1 時，為 V12</td> </tr> <tr> <td>10</td> <td>-</td> </tr> <tr> <td>11</td> <td>-</td> </tr> </tbody> </table> <p>HY17P48</p> <table border="1"> <thead> <tr> <th>VRH[1:0]</th> <th>ADC 參考電壓+</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>A12</td> </tr> <tr> <td>01</td> <td>VCMS[0]=0 時，為 VDDA/2(保留，不開放) VCMS[0]=1 時，為 V12</td> </tr> <tr> <td>10</td> <td>A16</td> </tr> <tr> <td>11</td> <td>ENV12[0]=0 時，為 VDDA/2 ENV12[0]=1 時，為 V12</td> </tr> </tbody> </table>	VRH[1:0]	ADC 參考電壓+	00	A12	01	VCMS[0]=0 時，為 VDDA/2(保留，不開放) VCMS[0]=1 時，為 V12	10	A16	11	ENV12[0]=0 時，為 REFO ENV12[0]=1 時，為 V12	VRH[1:0]	ADC 參考電壓+	00	A12	01	VCMS[0]=0 時，為 VDDA/2(保留，不開放) VCMS[0]=1 時，為 V12	10	-	11	-	VRH[1:0]	ADC 參考電壓+	00	A12	01	VCMS[0]=0 時，為 VDDA/2(保留，不開放) VCMS[0]=1 時，為 V12	10	A16	11	ENV12[0]=0 時，為 VDDA/2 ENV12[0]=1 時，為 V12
VRH[1:0]	ADC 參考電壓+																															
00	A12																															
01	VCMS[0]=0 時，為 VDDA/2(保留，不開放) VCMS[0]=1 時，為 V12																															
10	A16																															
11	ENV12[0]=0 時，為 REFO ENV12[0]=1 時，為 V12																															
VRH[1:0]	ADC 參考電壓+																															
00	A12																															
01	VCMS[0]=0 時，為 VDDA/2(保留，不開放) VCMS[0]=1 時，為 V12																															
10	-																															
11	-																															
VRH[1:0]	ADC 參考電壓+																															
00	A12																															
01	VCMS[0]=0 時，為 VDDA/2(保留，不開放) VCMS[0]=1 時，為 V12																															
10	A16																															
11	ENV12[0]=0 時，為 VDDA/2 ENV12[0]=1 時，為 V12																															

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

位元	名稱	描述																														
Bit5~4	VRL[1:0]	<p>VR±“-”電壓信號選擇器</p> <p>HY17P58</p> <table border="1"> <thead> <tr> <th>VRL[1:0]</th> <th>ADC 參考電壓-</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>VSS</td> </tr> <tr> <td>01</td> <td>AI3</td> </tr> <tr> <td>10</td> <td>AI5</td> </tr> <tr> <td>11</td> <td>ENV12[0]=0 時 · 為 REFO ENV12[0]=1 時 · 為 V12</td> </tr> </tbody> </table> <p>HY17P51/52/55/56</p> <table border="1"> <thead> <tr> <th>VRL[1:0]</th> <th>ADC 參考電壓-</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>VSS</td> </tr> <tr> <td>01</td> <td>AI3</td> </tr> <tr> <td>10</td> <td>-</td> </tr> <tr> <td>11</td> <td>-</td> </tr> </tbody> </table> <p>HY17P48</p> <table border="1"> <thead> <tr> <th>VRL[1:0]</th> <th>ADC 參考電壓-</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>VSS</td> </tr> <tr> <td>01</td> <td>AI3</td> </tr> <tr> <td>10</td> <td>AI5</td> </tr> <tr> <td>11</td> <td>ENV12[0]=0 時 · 為 VDDA/2 ENV12[0]=1 時 · 為 V12</td> </tr> </tbody> </table>	VRL[1:0]	ADC 參考電壓-	00	VSS	01	AI3	10	AI5	11	ENV12[0]=0 時 · 為 REFO ENV12[0]=1 時 · 為 V12	VRL[1:0]	ADC 參考電壓-	00	VSS	01	AI3	10	-	11	-	VRL[1:0]	ADC 參考電壓-	00	VSS	01	AI3	10	AI5	11	ENV12[0]=0 時 · 為 VDDA/2 ENV12[0]=1 時 · 為 V12
VRL[1:0]	ADC 參考電壓-																															
00	VSS																															
01	AI3																															
10	AI5																															
11	ENV12[0]=0 時 · 為 REFO ENV12[0]=1 時 · 為 V12																															
VRL[1:0]	ADC 參考電壓-																															
00	VSS																															
01	AI3																															
10	-																															
11	-																															
VRL[1:0]	ADC 參考電壓-																															
00	VSS																															
01	AI3																															
10	AI5																															
11	ENV12[0]=0 時 · 為 VDDA/2 ENV12[0]=1 時 · 為 V12																															
Bit3~2	INX	<p>SI±輸入信號轉置器</p> <p><11> INP→ADL,INN→ADH</p> <p><10> INN 浮接,INP→ADH & ADH</p> <p><01> INN→ADH & ADL,INP 浮接</p> <p><00> INP→ADH,INN→ADL</p>																														
Bit1	VRIS	<p>VR±輸入信號短路控制器</p> <p><0> 未短路</p> <p><1> 短路(測試用 · 不建議設定)</p>																														
Bit0	INIS	<p>SI±輸入信號短路控制器</p> <p><0> 未短路</p> <p><1> 短路(測試用 · 不建議設定)</p>																														

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

AD1CN5: Σ ADC 控制暫存器 5

位元	名稱	描述
Bit7	ENACM	ADC Common Mode Voltage <0> 關閉。 <1> 啟用。
Bit6	ENV12	Voltage Source 1.2V (Buffer Enable) <0> 選擇 REFO。 <1> 選擇 V12。
Bit5	VCMS	ADC Common Voltage. <0> VDDA/2。(HY17P55/56/58 不開放。HY17P52 開放) <1> 1.2V。
Bit4	LDOPL	內部 250kL 電阻下拉開關 <0>關閉 (預設) <1>啟用。 以下幾點務必使 LDOPL 為 1，否則結果會不如預期 ※ 使用內部 LDO 輸出 ※ ADC 參考電壓選用 VDDA/2-VSS
Bit1	ENTPS	內部 TPS 啟用控制 <0> 關閉 <1> 啟用，需設置相對的 ADC 網路
Bit0	TPSCH	TPS 輸出電壓反向控制 <0> 正常 <1> 反向

16.8-bit Resistance Ladder 網路

晶片內嵌一個 8-bit resistance ladder 網路，它是由一個保證單調性數位電阻器所構成。搭配 Waveform Generator，可產生波形輸出。

- 8-bit resistance ladder 特性包括:
 - 8 位元的單調輸出
 - 內部或外部基準的可編程選擇
 - 可用來當作可編程電阻

8-bit resistance ladder 暫存器摘要：

DACCN0 DANC[2:0], DAPS[3:0]
DACCN1 DALH, DAOE[1:0], ENDA
DACCN2 DABIT[7:0]

Waveform Generator 暫存器摘要：

DGCON1 DGRST, DGDiv[2:0], DGEN

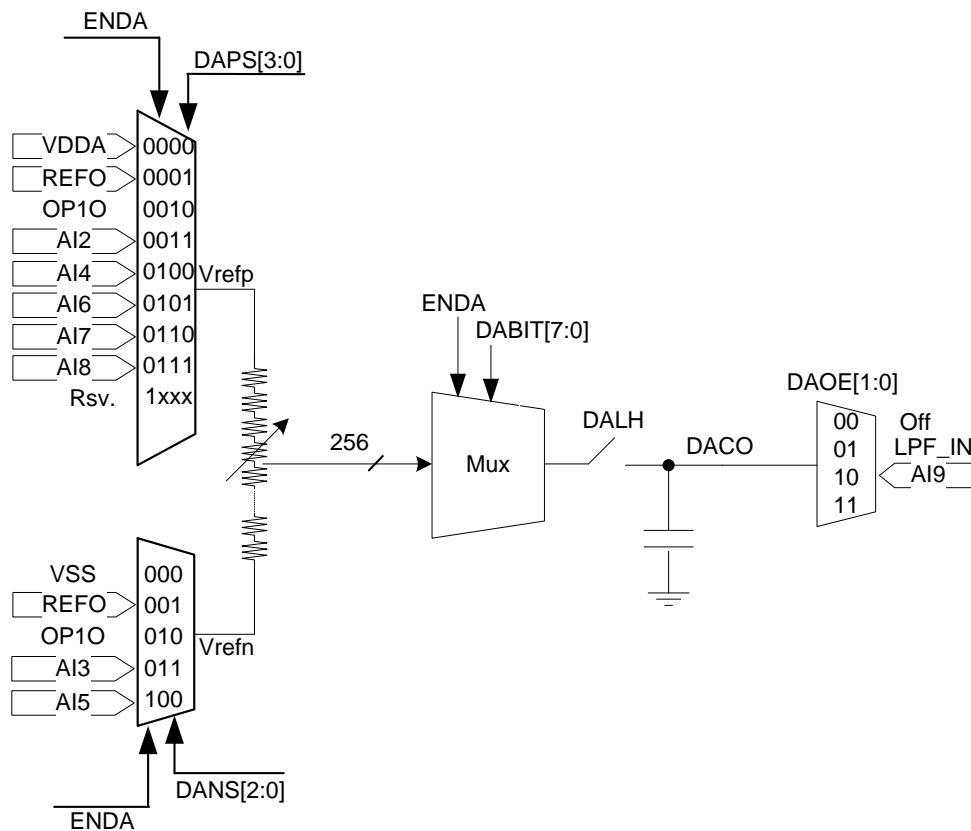


圖 16-1 8-bit DAC 方塊圖

- 8-bit resistance ladder 的運作:

當 ENDA 是 0，則 8-bit resistance ladder 會被關閉，就不會消耗電源。DA_Vrefp 多工器被關閉，變成一個高阻抗節點。如果 DAOE 被設為 1，就會變成具有標量歐姆值且每一步驟的可編程電阻。

■ 8-bit resistance ladder 輸出:

DAO 依據儲存在 DABIT 和 DA_Vrefp - DA_Vrefn 的數據來產生電壓輸出。

DABIT 是直二進制數據格式。下圖顯示傳輸功能圖。

$$DAO = (V_{DAC_Vrefp} - V_{DAC_Vrefn}) \times \frac{DAbit_in}{256} + V_{DAC_Vrefn}$$

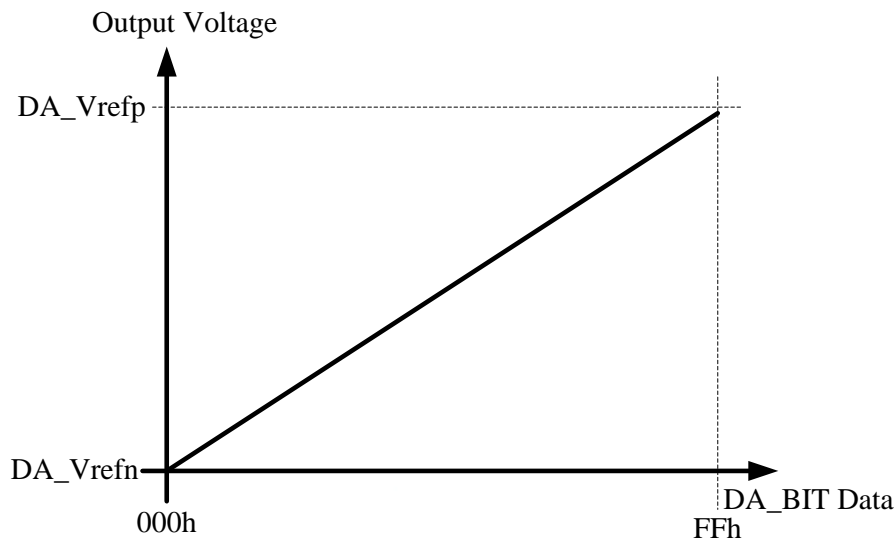


圖 16-2 8-bit resistance ladder 轉換圖

■ 8-bit resistance ladder 初始化配置：

開啟 VDDA 電壓 ENLDO 與設置 VDDA 穩壓電壓輸入源 LDOC[2:0]，開啟共模參考電壓 ENACM=<1>，VDDA 電壓要大於 2.4V，等待穩定時間。

設置 8-bit resistance ladder 正向與負向的參考電壓輸入(DANS[2:0]/DAPS[3:0]暫存器)，並且設置 8-bit resistance ladder 輸出電壓的初始比例值(DABIT[7:0]暫存器)。

開啟 8-bit resistance ladder 輸出開關控制，設置 DAOE[1:0]。

8-bit resistance ladder 功能開啟，設置 ENDA=<1>。

Waveform Generator Function

波形產生器最多有 64 個點(SRAM 位址: 0x300~ 0x33F)·它可以自己重複·當 DGEN 暫存器為 0 時·MCU 可以將數據讀入/寫入該 SRAM·由 DGRP 設置波形的長度·如果不使用 DAC 波形產生器·它可以用作擴展 SRAM·

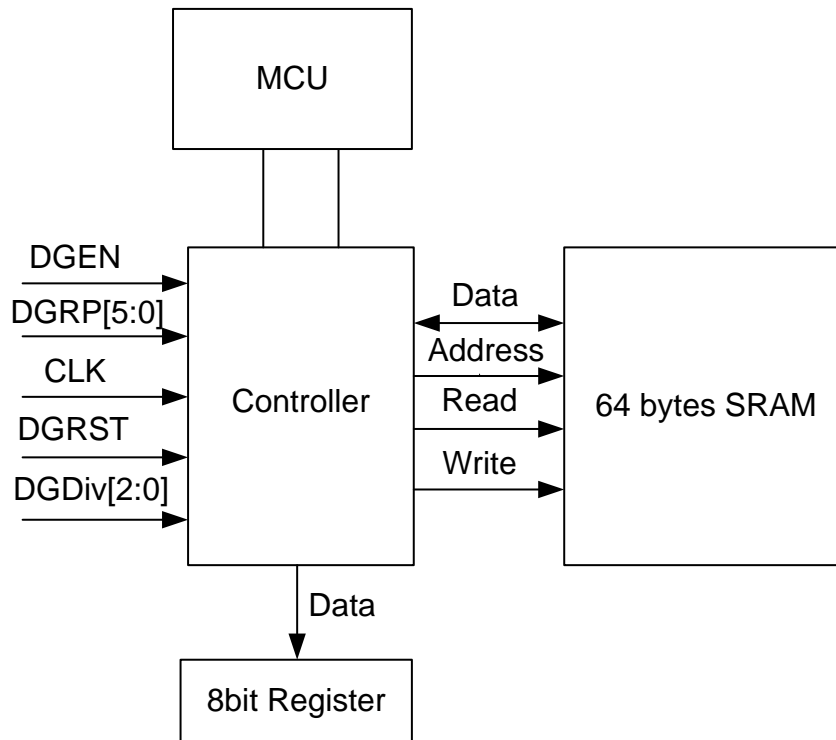


圖 16-3 Wave Generator 方塊圖

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

16.1. 暫存器說明-8-bit resistance ladder

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
DACCN0		DANS[2:0]			DAPS[3:0]				0000 0000	uuuu uuuu	*****
DACCN1				DADCS	DALH	DAOE[1:0]		ENDA	0000 0000	uuuu uuuu	*****
DACCN2		DABIT[7:0]							0000 0000	uuuu uuuu	*****

表 16-1 8-bit resistance ladder 暫存器

DACCN0: DAC 控制暫存器 0

位元	名稱	描述																																				
Bit6~4	DANS[2:0]	8-bit resistance ladder 負向輸入源選擇 <table border="1"> <thead> <tr> <th>DANS[2:0]</th> <th>DA_Vrefn</th> <th>DANS[2:0]</th> <th>DA_Vrefn</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>VSS</td> <td>100</td> <td>AI5</td> </tr> <tr> <td>001</td> <td>REFO</td> <td>101</td> <td>-</td> </tr> <tr> <td>010</td> <td>OP1O</td> <td>110</td> <td>-</td> </tr> <tr> <td>011</td> <td>AI3</td> <td>111</td> <td>-</td> </tr> </tbody> </table>	DANS[2:0]	DA_Vrefn	DANS[2:0]	DA_Vrefn	000	VSS	100	AI5	001	REFO	101	-	010	OP1O	110	-	011	AI3	111	-																
DANS[2:0]	DA_Vrefn	DANS[2:0]	DA_Vrefn																																			
000	VSS	100	AI5																																			
001	REFO	101	-																																			
010	OP1O	110	-																																			
011	AI3	111	-																																			
Bit3~0	DAPS[3:0]	8-bit resistance ladder 正向輸入源選擇 <table border="1"> <thead> <tr> <th>DAPS[3:0]</th> <th>DA_Vrefp</th> <th>DAPS[3:0]</th> <th>DA_Vrefp</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>VDDA</td> <td>1000</td> <td>-</td> </tr> <tr> <td>0001</td> <td>REFO</td> <td>1001</td> <td>-</td> </tr> <tr> <td>0010</td> <td>OP1O</td> <td>1010</td> <td>-</td> </tr> <tr> <td>0011</td> <td>AI2</td> <td>1011</td> <td>-</td> </tr> <tr> <td>0100</td> <td>AI4</td> <td>1100</td> <td>-</td> </tr> <tr> <td>0101</td> <td>AI6</td> <td>1101</td> <td>-</td> </tr> <tr> <td>0110</td> <td>AI7</td> <td>1110</td> <td>-</td> </tr> <tr> <td>0111</td> <td>AI8</td> <td>1111</td> <td>-</td> </tr> </tbody> </table>	DAPS[3:0]	DA_Vrefp	DAPS[3:0]	DA_Vrefp	0000	VDDA	1000	-	0001	REFO	1001	-	0010	OP1O	1010	-	0011	AI2	1011	-	0100	AI4	1100	-	0101	AI6	1101	-	0110	AI7	1110	-	0111	AI8	1111	-
DAPS[3:0]	DA_Vrefp	DAPS[3:0]	DA_Vrefp																																			
0000	VDDA	1000	-																																			
0001	REFO	1001	-																																			
0010	OP1O	1010	-																																			
0011	AI2	1011	-																																			
0100	AI4	1100	-																																			
0101	AI6	1101	-																																			
0110	AI7	1110	-																																			
0111	AI8	1111	-																																			

DACCN1: DAC 控制暫存器 1

位元	名稱	描述
Bit3	DALH	8-bit resistance ladder 內部輸出控制 <0> 關閉 <1> 開啟
Bit2~1	DAOE[1:0]	8-bit resistance ladder 輸出開啟控制。 <00> 關閉 · 處於高阻態 <01> LPF_IN <10> A9 <11> 保留
Bit0	ENDA	8-bit resistance ladder 功能開啟控制 <0> 關閉

HY17S58 Emulate Chip User' Guide

Embedded ΣΔADC
8-Bit RISC-like Mixed Signal Microcontroller



位元	名稱	描述
		<1> 開啟

DACCN2: DAC 控制暫存器 2

位元	名稱	描述
Bit7~0	DABIT[7:0]	輸出電壓的比例值設定，即是 DAO[7:0]/256

16.2. 暫存器說明-Waveform Generator

“-”no use, “r”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
DGCON1				DGRST	DGDiv[2:0]			DGEN	0000 0000	uuuu uuuu	***** r r r r r r r
DGCON2			DGRP[5:0]						0000 0000	uuuu uuuu	***** r r r r r r r

表 16-2 Waveform Generator 暫存器

DGCON1: 波形產生器控制暫存器 1

位元	名稱	描述																				
Bit4	DGRST	DAC 計數器重置控制器 該位元只能設置為“1”，控制器復位後將返回“0”。可以將點數計數器和輸出暫存器重置為“0”。 <0> 正常 <1> 重置																				
Bit3~1	DGDiv[2:0]	波形產生器時脈預除器 <table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th>DGDiv[2:0]</th> <th>Clock divider</th> <th>DGDiv[2:0]</th> <th>Clock divider</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>Disable (divided by 1)</td> <td>100</td> <td>CLK divided by 16</td> </tr> <tr> <td>001</td> <td>CLK divided by 2</td> <td>101</td> <td>CLK divided by 32</td> </tr> <tr> <td>010</td> <td>CLK divided by 4</td> <td>110</td> <td>CLK divided by 64</td> </tr> <tr> <td>011</td> <td>CLK divided by 8</td> <td>111</td> <td>CLK divided by 128</td> </tr> </tbody> </table>	DGDiv[2:0]	Clock divider	DGDiv[2:0]	Clock divider	000	Disable (divided by 1)	100	CLK divided by 16	001	CLK divided by 2	101	CLK divided by 32	010	CLK divided by 4	110	CLK divided by 64	011	CLK divided by 8	111	CLK divided by 128
DGDiv[2:0]	Clock divider	DGDiv[2:0]	Clock divider																			
000	Disable (divided by 1)	100	CLK divided by 16																			
001	CLK divided by 2	101	CLK divided by 32																			
010	CLK divided by 4	110	CLK divided by 64																			
011	CLK divided by 8	111	CLK divided by 128																			
Bit0	DGEN	波形產生器啟用控制器 <0> 關閉 <1> 啟用																				

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



DGCON2: 波形產生器控制暫存器 2

位元	名稱	描述																																																																																																				
Bit5~0	DGRP[5:0]	<p>波形產生器重複點數控制器</p> <p><000000> Only DC, no AC</p> <p><000001> 1st → 2nd → 1st → 2nd</p> <p><000010> 1st → 2nd → 3rd → 1st → 2nd → 3rd</p> <p>.....</p> <p><1111111> 1st → 2nd → 3rd → 4th → → 64th → 1st → 2nd</p> <p>Example:</p> <p>DAC 輸出所存放在 (在 SRAM 的 0x300~0x33F) 資料代表波形振幅 · 8 位元資料中 · MSB 代表正負號 · 總共長度為 +/-7bit。</p> <p>振幅由 8 位元 DAC 的 Vrefp-Vrefn 所決定。</p> <p>如果 SRAM 資料中心值為 0x80 · 則最大值則為 0xFF ; 最小值則為 0x01。該模式下 SRAM 數值不為 0。</p> <table border="1"> <thead> <tr> <th>HAO(kHz)</th> <th colspan="3">8000</th> <th colspan="3">4000</th> <th colspan="3">2000</th> </tr> </thead> <tbody> <tr> <td>DGDiv[2:0]</td> <td>5</td> <td>0</td> <td>0</td> <td>5</td> <td>0</td> <td>0</td> <td>4</td> <td>0</td> <td>0</td> </tr> <tr> <td>DG_Divider</td> <td>32</td> <td>1</td> <td>1</td> <td>32</td> <td>1</td> <td>1</td> <td>16</td> <td>1</td> <td>1</td> </tr> <tr> <td>DGRP[5:0]</td> <td>49</td> <td>39</td> <td>31</td> <td>24</td> <td>19</td> <td>15</td> <td>24</td> <td>9</td> <td>7</td> </tr> <tr> <td>Frequency of Waveform Generator (kHz)</td> <td>5</td> <td>200</td> <td>250</td> <td>5</td> <td>200</td> <td>250</td> <td>5</td> <td>200</td> <td>250</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>HAO(kHz)</th> <th colspan="3">7834</th> <th colspan="3">3686</th> <th colspan="3">1843</th> </tr> </thead> <tbody> <tr> <td>DGDiv[2:0]</td> <td>5</td> <td>0</td> <td>0</td> <td>4</td> <td>0</td> <td>0</td> <td>3</td> <td>0</td> <td>0</td> </tr> <tr> <td>DG_Divider</td> <td>32</td> <td>1</td> <td>1</td> <td>16</td> <td>1</td> <td>1</td> <td>8</td> <td>1</td> <td>1</td> </tr> <tr> <td>DGRP[5:0]</td> <td>48</td> <td>38</td> <td>30</td> <td>45</td> <td>18</td> <td>14</td> <td>45</td> <td>8</td> <td>6</td> </tr> <tr> <td>Frequency of Waveform Generator (kHz)</td> <td>4.996</td> <td>200.9</td> <td>252.7</td> <td>5.008</td> <td>194.8</td> <td>245.7</td> <td>5.008</td> <td>204.8</td> <td>263.3</td> </tr> </tbody> </table> <p>Frequency of Waveform Generator(Full-Cycle Mode) = SystemFrequency/(DGDiv)/(DGRP+1)</p>	HAO(kHz)	8000			4000			2000			DGDiv[2:0]	5	0	0	5	0	0	4	0	0	DG_Divider	32	1	1	32	1	1	16	1	1	DGRP[5:0]	49	39	31	24	19	15	24	9	7	Frequency of Waveform Generator (kHz)	5	200	250	5	200	250	5	200	250	HAO(kHz)	7834			3686			1843			DGDiv[2:0]	5	0	0	4	0	0	3	0	0	DG_Divider	32	1	1	16	1	1	8	1	1	DGRP[5:0]	48	38	30	45	18	14	45	8	6	Frequency of Waveform Generator (kHz)	4.996	200.9	252.7	5.008	194.8	245.7	5.008	204.8	263.3
HAO(kHz)	8000			4000			2000																																																																																															
DGDiv[2:0]	5	0	0	5	0	0	4	0	0																																																																																													
DG_Divider	32	1	1	32	1	1	16	1	1																																																																																													
DGRP[5:0]	49	39	31	24	19	15	24	9	7																																																																																													
Frequency of Waveform Generator (kHz)	5	200	250	5	200	250	5	200	250																																																																																													
HAO(kHz)	7834			3686			1843																																																																																															
DGDiv[2:0]	5	0	0	4	0	0	3	0	0																																																																																													
DG_Divider	32	1	1	16	1	1	8	1	1																																																																																													
DGRP[5:0]	48	38	30	45	18	14	45	8	6																																																																																													
Frequency of Waveform Generator (kHz)	4.996	200.9	252.7	5.008	194.8	245.7	5.008	204.8	263.3																																																																																													

17. OPAMP

OPAMP 可單獨使用或搭配 Σ 獨使用。

- R2ROP1 特性包括:
可設計為 DAC Output buffer,
可設計為 ADC input buffer,(ADC negative channel)
具單獨輸入/輸出 PAD.
- R2ROP2 特性包括:
輸入端可以連接身體阻抗測量輸入點。
可設計為 ADC input buffer,(ADC positive channel)
單獨輸入/輸出 PAD.

OPAMP 暫存器摘要：

OP1CN0	OP1OS[1:0], ENOP1
OP1NET	OP1PS[2:0], OP1NS[2:0]
OP2CN0	OP2OS[1:0], ENOP2
OP2NET	OP2PS[3:0], OP2NS[2:0]
IQ0	ENIQ[0]
IQ1	QOffset[5:0], IQMODE[0], IQINV[0]

低通濾波器暫存器摘要：

BIACN0	ENLPF, LPFS[1:0]
---------------	------------------

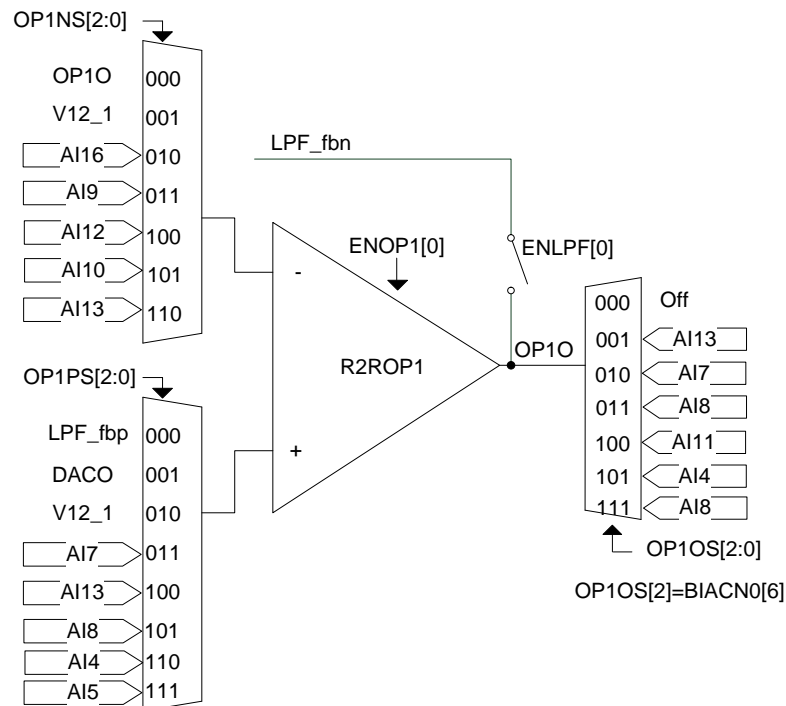


圖 17-1 Rail-to-Rail OPAMP1 方塊圖

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

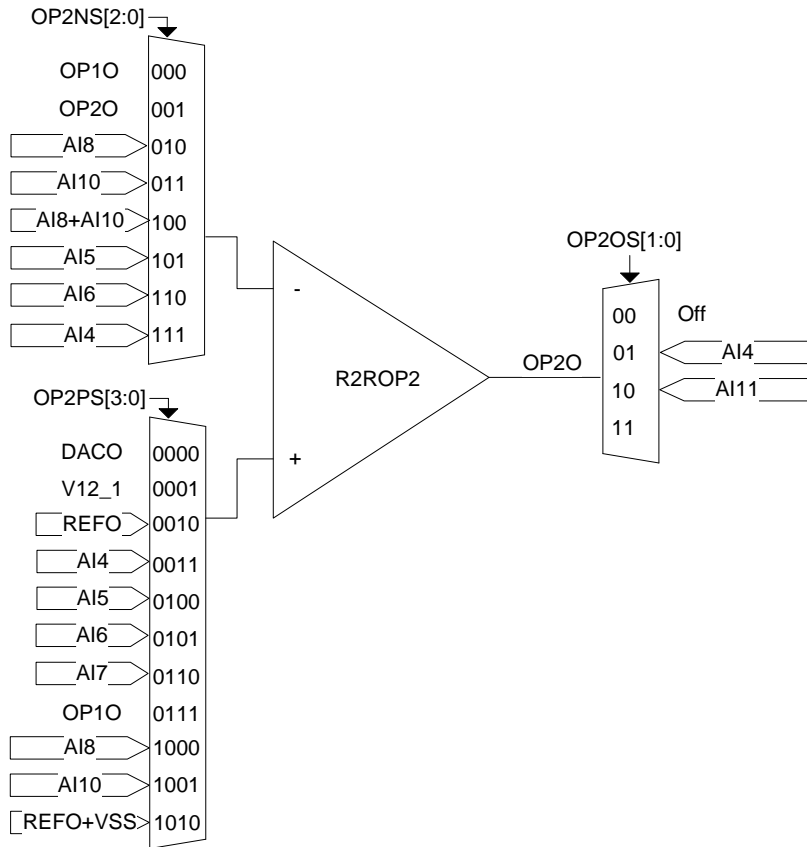


圖 17-2 Rail-to-Rail OPAMP2 方塊圖

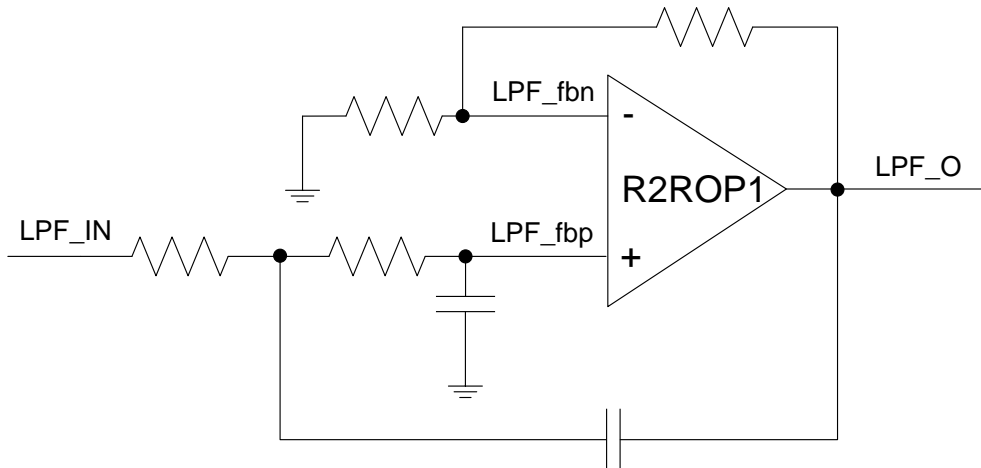


圖 17-3 低通濾波器方塊圖

HY17S58 Emulate Chip User' Guide

Embedded ΣΔADC
8-Bit RISC-like Mixed Signal Microcontroller



17.1. 暫存器說明- OPAMP

“.”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
OP1CN0						OP1OS[1:0]	ENOP1		0000 0000	uuuu uuuu	*****
OP1NET		OP1PS[2:0]				OP1NS[2:0]			0000 0000	uuuu uuuu	*****
OP2CN0						OP2OS[1:0]	ENOP2		0000 0000	uuuu uuuu	*****
OP2NET		OP2PS[3:0]				OP2NS[2:0]			0000 0000	uuuu uuuu	*****
IQ0							ENIQ		0000 0000	uuuu uuuu	*****
IQ1		IQOffset[5:0]					IQMODE	IQINV	0000 0000	uuuu uuuu	*****

表 17-1 OPAMP 暫存器

OP1CN0: OPAMP1 控制暫存器

位元	名稱	描述																				
Bit2~1	OP1OS[1:0]	OPAMP1 輸出信號選擇器 <table border="1"> <thead> <tr> <th>OP1OS[2:0]</th> <th>Output</th> <th>OP1OS[2:0]</th> <th>Output</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>Off</td> <td>100</td> <td>AI11</td> </tr> <tr> <td>001</td> <td>AI13</td> <td>101</td> <td>AI4</td> </tr> <tr> <td>010</td> <td>AI7</td> <td>110</td> <td>-</td> </tr> <tr> <td>011</td> <td>AI8</td> <td>111</td> <td>AI8</td> </tr> </tbody> </table>	OP1OS[2:0]	Output	OP1OS[2:0]	Output	000	Off	100	AI11	001	AI13	101	AI4	010	AI7	110	-	011	AI8	111	AI8
OP1OS[2:0]	Output	OP1OS[2:0]	Output																			
000	Off	100	AI11																			
001	AI13	101	AI4																			
010	AI7	110	-																			
011	AI8	111	AI8																			
Bit0	ENOP1	R2ROP1 啟用控制器 <0> Disable <1> Enable																				

OP1NET: OPAMP1 輸入選擇暫存器

位元	名稱	描述																				
Bit6~4	OP1PS[2:0]	OPAMP1 正端輸入信號選擇器 <table border="1"> <thead> <tr> <th>OP1PS[2:0]</th> <th>Input</th> <th>OP1PS[2:0]</th> <th>Input</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>LPF_fbp</td> <td>100</td> <td>AI13</td> </tr> <tr> <td>001</td> <td>DACO</td> <td>101</td> <td>AI8</td> </tr> <tr> <td>010</td> <td>V12_1</td> <td>110</td> <td>AI4</td> </tr> <tr> <td>011</td> <td>AI7</td> <td>111</td> <td>AI5</td> </tr> </tbody> </table>	OP1PS[2:0]	Input	OP1PS[2:0]	Input	000	LPF_fbp	100	AI13	001	DACO	101	AI8	010	V12_1	110	AI4	011	AI7	111	AI5
OP1PS[2:0]	Input	OP1PS[2:0]	Input																			
000	LPF_fbp	100	AI13																			
001	DACO	101	AI8																			
010	V12_1	110	AI4																			
011	AI7	111	AI5																			
Bit2~0	OP1NS[2:0]	OPAMP1 負端輸入信號選擇器 <table border="1"> <thead> <tr> <th>OP1NS[2:0]</th> <th>Input</th> <th>OP1PS[2:0]</th> <th>Input</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>OP1O</td> <td>100</td> <td>AI12</td> </tr> <tr> <td>001</td> <td>V12_1</td> <td>101</td> <td>AI10</td> </tr> <tr> <td>010</td> <td>AI16</td> <td>110</td> <td>AI13</td> </tr> <tr> <td>011</td> <td>AI9</td> <td>111</td> <td>-</td> </tr> </tbody> </table>	OP1NS[2:0]	Input	OP1PS[2:0]	Input	000	OP1O	100	AI12	001	V12_1	101	AI10	010	AI16	110	AI13	011	AI9	111	-
OP1NS[2:0]	Input	OP1PS[2:0]	Input																			
000	OP1O	100	AI12																			
001	V12_1	101	AI10																			
010	AI16	110	AI13																			
011	AI9	111	-																			

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

OP2CN0: OPAMP2 控制暫存器

位元	名稱	描述										
Bit2~1	OP2OS[1:0]	OPAMP2 輸出信號選擇器 <table border="1" data-bbox="478 358 766 604"> <thead> <tr> <th>OP2OS[1:0]</th> <th>Output</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>Off</td> </tr> <tr> <td>01</td> <td>AI4</td> </tr> <tr> <td>10</td> <td>AI11</td> </tr> <tr> <td>11</td> <td>-</td> </tr> </tbody> </table>	OP2OS[1:0]	Output	00	Off	01	AI4	10	AI11	11	-
OP2OS[1:0]	Output											
00	Off											
01	AI4											
10	AI11											
11	-											
Bit0	ENOP2	R2ROP2 啟用控制器 <0> Disable <1> Enable										

OP2NET: OPAMP2 輸入選擇暫存器

位元	名稱	描述																																				
Bit7~4	OP2PS[3:0]	OPAMP2 正端輸入信號選擇器 <table border="1" data-bbox="478 940 1101 1388"> <thead> <tr> <th>OP2PS[3:0]</th> <th>Input</th> <th>OP2PS[3:0]</th> <th>Input</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>DACO</td> <td>1000</td> <td>AI8</td> </tr> <tr> <td>0001</td> <td>V12_1</td> <td>1001</td> <td>AI10</td> </tr> <tr> <td>0010</td> <td>REFO</td> <td>1010</td> <td>REFO+VSS</td> </tr> <tr> <td>0011</td> <td>AI4</td> <td>1011</td> <td>-</td> </tr> <tr> <td>0100</td> <td>AI5</td> <td>1100</td> <td>-</td> </tr> <tr> <td>0101</td> <td>AI6</td> <td>1101</td> <td>-</td> </tr> <tr> <td>0110</td> <td>AI7</td> <td>1110</td> <td>-</td> </tr> <tr> <td>0111</td> <td>OP10</td> <td>1111</td> <td>-</td> </tr> </tbody> </table>	OP2PS[3:0]	Input	OP2PS[3:0]	Input	0000	DACO	1000	AI8	0001	V12_1	1001	AI10	0010	REFO	1010	REFO+VSS	0011	AI4	1011	-	0100	AI5	1100	-	0101	AI6	1101	-	0110	AI7	1110	-	0111	OP10	1111	-
OP2PS[3:0]	Input	OP2PS[3:0]	Input																																			
0000	DACO	1000	AI8																																			
0001	V12_1	1001	AI10																																			
0010	REFO	1010	REFO+VSS																																			
0011	AI4	1011	-																																			
0100	AI5	1100	-																																			
0101	AI6	1101	-																																			
0110	AI7	1110	-																																			
0111	OP10	1111	-																																			
Bit2~0	OP2NS[2:0]	OPAMP2 負端輸入信號選擇器 <table border="1" data-bbox="478 1433 1069 1680"> <thead> <tr> <th>OP2NS[2:0]</th> <th>Input</th> <th>OP2NS[2:0]</th> <th>Input</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>OP10</td> <td>100</td> <td>AI8+AI10</td> </tr> <tr> <td>001</td> <td>OP20</td> <td>101</td> <td>AI5</td> </tr> <tr> <td>010</td> <td>AI8</td> <td>110</td> <td>AI6</td> </tr> <tr> <td>011</td> <td>AI10</td> <td>111</td> <td>AI4</td> </tr> </tbody> </table>	OP2NS[2:0]	Input	OP2NS[2:0]	Input	000	OP10	100	AI8+AI10	001	OP20	101	AI5	010	AI8	110	AI6	011	AI10	111	AI4																
OP2NS[2:0]	Input	OP2NS[2:0]	Input																																			
000	OP10	100	AI8+AI10																																			
001	OP20	101	AI5																																			
010	AI8	110	AI6																																			
011	AI10	111	AI4																																			

IQ0:

位元	名稱	描述
Bit0	ENIQ[0]	啟動 IQ Clock, AND IQ Clock 輸出至 AI11 PAD.

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



IQ1:

位元	名稱	描述
Bit7~3	IQOffset[5:0]	設定 IQ Clock 輸出的延遲時間. Max value \leq DNR[5:0].
Bit1	IQMODE[0]	設定 IQ Clock 模式; <0> IQ Clock phase delay= IQOffset[5:0] <1> IQ Clock phase delay= DNR[5:0]/4 + IQOffset[5:0]; (/4 表示 Clock 相位相差 90 相差實際以設計為主);
Bit0	IQINV[0]	決定 IQ Clock 是否反向; <0> 正向 IQ Clock. <1> 反向 IQ Clock.

17.2. 暫存器說明-低通濾波器

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
BIACN0	-				ENLPF	LPFS[1:0]			0000 0000	uuuu uuuu	*,*,*,*,*,*,*

表 17-2 低通濾波器暫存器

BIACN0:暫存器

位元	名稱	描述
Bit3	ENLPF	Enable the output of low pass filter <0> Disable <1> Enable
Bit2~1	LPFS[1:0]	Select the cutoff frequency of the low pass filter <00> Fc=5kHz <01> Fc=50kHz <1x> Fc=300kHz

18. 可程式放大器, R-Type PGA

R-Type PGA 可單獨使用或將信號輸出到類比接腳上

(R-Type PGA 僅 HY17P58 支援·HY17P56/55/52/48 C Type 的操作參考 15 章 類比數位轉換器, $\Sigma\Delta$ ADC)

■ PGA 特性包括:

PGA 包含 LNOP1 及 LNOP2 · 支援 x4~x32 倍放大倍率。

LNOP1 可做身體阻抗測量線路使用。

PGA 輸入端帶有 AI0~AI3 純類比輸入接腳 · 可以支援四腳掃描秤需求。

波形產生器訊號輸出後 · 可以直接透過內部 2k Ω 電阻接入 LNOP1 輸入負端。

LNOP1/LNOP2 輸入端網路都是單獨控制開關 · 可以同時啟動多個輸入端。

LNOP1 負端回授具有積分電容迴路。

LNOP1/LNOP2 輸出端可以透過 AIx(x=5~9)輸出到晶片接腳。

PGA 暫存器摘要：

PGACN0 CHM[1:0], ENHS, ENPGAEXT[1:0], ENPGA [1:0]

PGACN1 GAINS[1:0], OPDIEN

PGANET1 LNOP1NS[2:0]

PGANET2 LNOP1PS[2:0]

PGANET3 LNOP2NS[2:0]

PGANET4 LNOP2PS[2:0]

PGANET5 LNOP2OS[2:0], OPCS[0], LNOP1OS[2:0]

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

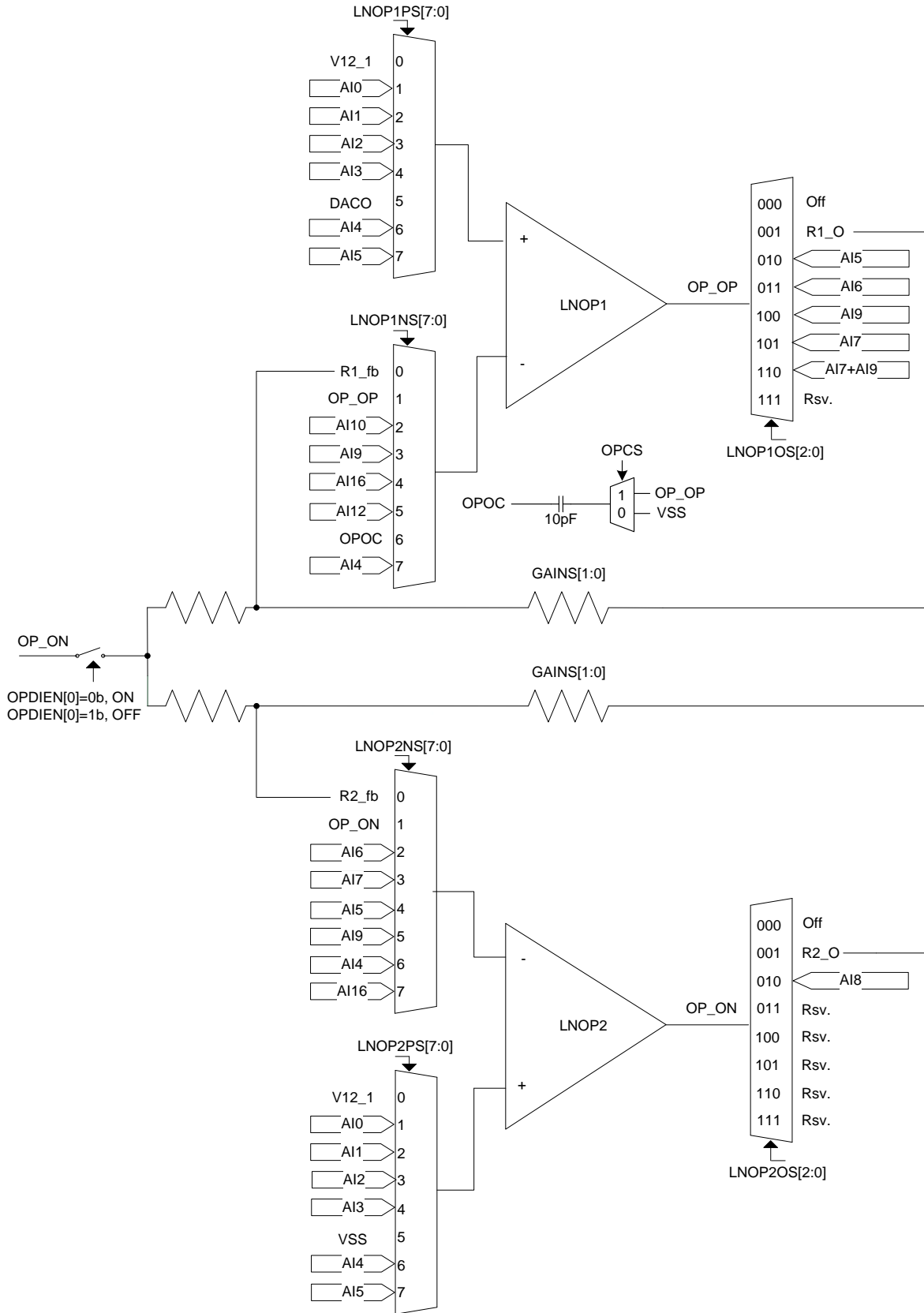


圖 18-1 R-type PGA 方塊圖

18.1. 暫存器說明-可程式放大器

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
PGACN0	-	CHM[1:0]		ENHS	-	-	ENPGA[1:0]		0000 0000	uuuu uuuu	*** **
PGACN1	-	-	-	GAINS[1:0]		OPDIEN	ENOPPGA[1:0]		0000 0000	uuuu uuuu	*** **
PGANET1	LNOP1NS[7:0]								0000 0000	uuuu uuuu	*** **
PGANET2	LNOP1PS[7:0]								0000 0000	uuuu uuuu	*** **
PGANET3	LNOP2NS[7:0]								0000 0000	uuuu uuuu	*** **
PGANET4	LNOP2PS[7:0]								0000 0000	uuuu uuuu	*** **
PGANET5	-	LNOP2OS[2:0]		OPCS	LNOP1OS[2:0]			0000 0000	uuuu uuuu	*** **	

表 18-1 可程式放大器暫存器

PGACN0: 可程式放大器控制暫存器 0

位元	名稱	描述
Bit7	ENCHP	OP Chopper 頻率控制器 <0> Chopper frequency= ADC clock/16 <1> Chopper frequency= ADC clock/64
Bit6~5	CHM[1:0]	Chopper 模式控制器 <00> No chopper <01> Enable the loading chopper <10> Enable the input pair chopper <11> Enable both loading and input pair chopper
Bit4	ENHS	Enable high speed OP, but with poor noise performance if no chopper <0> Disable <1> Enable
Bit1	ENPGA[1]	LNOP2 啟用控制器 <0> 關閉 LNOP2 <1> 啟用 LNOP2。
Bit0	ENPGA[0]	LNOP1 啟用控制器 <0> 關閉 LNOP1 <1> 啟用 LNOP1。

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

PGACN1: 可程式放大器控制暫存器 1

位元	名稱	描述
Bit4~3	GAINS[1:0]	Select the gain of OP in PGA mode <00> 4x(不開放) <01> 8x <10> 16x <11> 32x
Bit2	OPDIEN	Enable the fully differential PGA in PGA mode <0> 與 OP_ON 短路 <1> 與 OP_ON 開路

PGANET1: 可程式放大器網路控制暫存器 1

位元	名稱	描述																				
Bit2~0	LNOP1NS[2:0]	LNOP1 負端輸入信號選擇器 <table border="1"><thead><tr><th>LNOP1NS</th><th>Input</th><th>LNOP1NS</th><th>Input</th></tr></thead><tbody><tr><td>Bit0</td><td>R1_fb</td><td>Bit4</td><td>AI16</td></tr><tr><td>Bit1</td><td>OP_OP</td><td>Bit5</td><td>AI12</td></tr><tr><td>Bit2</td><td>AI10</td><td>Bit6</td><td>OPOC</td></tr><tr><td>Bit3</td><td>AI9</td><td>Bit7</td><td>AI4</td></tr></tbody></table>	LNOP1NS	Input	LNOP1NS	Input	Bit0	R1_fb	Bit4	AI16	Bit1	OP_OP	Bit5	AI12	Bit2	AI10	Bit6	OPOC	Bit3	AI9	Bit7	AI4
LNOP1NS	Input	LNOP1NS	Input																			
Bit0	R1_fb	Bit4	AI16																			
Bit1	OP_OP	Bit5	AI12																			
Bit2	AI10	Bit6	OPOC																			
Bit3	AI9	Bit7	AI4																			

PGANET2: 可程式放大器網路控制暫存器 2

位元	名稱	描述																				
Bit2~0	LNOP1PS[2:0]	LNOP1 正端輸入信號選擇器 <table border="1"><thead><tr><th>LNOP1PS</th><th>Input</th><th>LNOP1PS</th><th>Input</th></tr></thead><tbody><tr><td>Bit0</td><td>V12_1</td><td>Bit4</td><td>AI3</td></tr><tr><td>Bit1</td><td>AI0</td><td>Bit5</td><td>DACO</td></tr><tr><td>Bit2</td><td>AI1</td><td>Bit6</td><td>AI4</td></tr><tr><td>Bit3</td><td>AI2</td><td>Bit7</td><td>AI5</td></tr></tbody></table>	LNOP1PS	Input	LNOP1PS	Input	Bit0	V12_1	Bit4	AI3	Bit1	AI0	Bit5	DACO	Bit2	AI1	Bit6	AI4	Bit3	AI2	Bit7	AI5
LNOP1PS	Input	LNOP1PS	Input																			
Bit0	V12_1	Bit4	AI3																			
Bit1	AI0	Bit5	DACO																			
Bit2	AI1	Bit6	AI4																			
Bit3	AI2	Bit7	AI5																			

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

PGANET3: 可程式放大器控制暫存器 3

位元	名稱	描述																				
Bit2~0	LNOP2NS[2:0]	LNOP2 負端輸入信號選擇器 <table border="1" data-bbox="496 365 1018 604"> <thead> <tr> <th>LNOP2NS</th> <th>Input</th> <th>LNOP2NS</th> <th>Input</th> </tr> </thead> <tbody> <tr> <td>Bit0</td> <td>R2_fb</td> <td>Bit4</td> <td>AI5</td> </tr> <tr> <td>Bit1</td> <td>OP_ON</td> <td>Bit5</td> <td>AI9</td> </tr> <tr> <td>Bit2</td> <td>AI6</td> <td>Bit6</td> <td>AI4</td> </tr> <tr> <td>Bit3</td> <td>AI7</td> <td>Bit7</td> <td>AI16</td> </tr> </tbody> </table>	LNOP2NS	Input	LNOP2NS	Input	Bit0	R2_fb	Bit4	AI5	Bit1	OP_ON	Bit5	AI9	Bit2	AI6	Bit6	AI4	Bit3	AI7	Bit7	AI16
LNOP2NS	Input	LNOP2NS	Input																			
Bit0	R2_fb	Bit4	AI5																			
Bit1	OP_ON	Bit5	AI9																			
Bit2	AI6	Bit6	AI4																			
Bit3	AI7	Bit7	AI16																			

PGANET4: 可程式放大器控制暫存器 4

位元	名稱	描述																				
Bit2~0	LNOP2PS[2:0]	LNOP2 正端輸入信號選擇器 <table border="1" data-bbox="496 806 997 1048"> <thead> <tr> <th>LNOP2PS</th> <th>Input</th> <th>LNOP2PS</th> <th>Input</th> </tr> </thead> <tbody> <tr> <td>Bit0</td> <td>V12_1</td> <td>Bit4</td> <td>AI3</td> </tr> <tr> <td>Bit1</td> <td>AI0</td> <td>Bit5</td> <td>VSS</td> </tr> <tr> <td>Bit2</td> <td>AI1</td> <td>Bit6</td> <td>AI4</td> </tr> <tr> <td>Bit3</td> <td>AI2</td> <td>Bit7</td> <td>AI5</td> </tr> </tbody> </table>	LNOP2PS	Input	LNOP2PS	Input	Bit0	V12_1	Bit4	AI3	Bit1	AI0	Bit5	VSS	Bit2	AI1	Bit6	AI4	Bit3	AI2	Bit7	AI5
LNOP2PS	Input	LNOP2PS	Input																			
Bit0	V12_1	Bit4	AI3																			
Bit1	AI0	Bit5	VSS																			
Bit2	AI1	Bit6	AI4																			
Bit3	AI2	Bit7	AI5																			

PGANET5: 可程式放大器控制暫存器 5

位元	名稱	描述																				
Bit6~4	LNOP2OS[2:0]	LNOP2 輸出信號選擇器 <table border="1" data-bbox="496 1249 1134 1491"> <thead> <tr> <th>LNOP2OS[2:0]</th> <th>Output</th> <th>LNOP2OS[2:0]</th> <th>Output</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>Off</td> <td>100</td> <td>-</td> </tr> <tr> <td>001</td> <td>R2_O</td> <td>101</td> <td>-</td> </tr> <tr> <td>010</td> <td>AI8</td> <td>110</td> <td>-</td> </tr> <tr> <td>011</td> <td>-</td> <td>111</td> <td>-</td> </tr> </tbody> </table>	LNOP2OS[2:0]	Output	LNOP2OS[2:0]	Output	000	Off	100	-	001	R2_O	101	-	010	AI8	110	-	011	-	111	-
LNOP2OS[2:0]	Output	LNOP2OS[2:0]	Output																			
000	Off	100	-																			
001	R2_O	101	-																			
010	AI8	110	-																			
011	-	111	-																			
Bit3	OPCS[0]	LNOP1 內置電容用途設置 <0> Connect 10pF with OPOC and VSS. <1> Connect 10pF with OPOC and OP_OP.																				
Bit2~0	LNOP1OS[2:0]	LNOP1 輸出信號選擇器 <table border="1" data-bbox="496 1691 1169 1933"> <thead> <tr> <th>LNOP1OS[2:0]</th> <th>Output</th> <th>LNOP1OS[2:0]</th> <th>Output</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>Off</td> <td>100</td> <td>AI9</td> </tr> <tr> <td>001</td> <td>R1_O</td> <td>101</td> <td>AI7</td> </tr> <tr> <td>010</td> <td>AI5</td> <td>110</td> <td>AI7+ AI9</td> </tr> <tr> <td>011</td> <td>AI6</td> <td>111</td> <td>-</td> </tr> </tbody> </table>	LNOP1OS[2:0]	Output	LNOP1OS[2:0]	Output	000	Off	100	AI9	001	R1_O	101	AI7	010	AI5	110	AI7+ AI9	011	AI6	111	-
LNOP1OS[2:0]	Output	LNOP1OS[2:0]	Output																			
000	Off	100	AI9																			
001	R1_O	101	AI7																			
010	AI5	110	AI7+ AI9																			
011	AI6	111	-																			

19. LCD 驅動器

液晶驅動電路適用於 TN-LCD 與 STN-LCD 等製程的液晶顯示器，其具有以下特點：

- 內置倍壓電路(Regulated charge pump)
- 多段可調式驅動電壓準位
- 支援 4-duty, 1/3 bias 的 LCD 波形的操作方式
- 可選擇輸入時脈源與可規劃輸出頻率
- 具閃爍控制功能(Blinking capability)

LCD 暫存器摘要：

LCDCN1	ENLCP[0], LCDV[2:0], ENLB[0], SEL_PCLK[0], LCDPU[0]
LCDCN2	LCDDTYPE[0], LCDBL[0]
LCD[159:0]	LCD0[7:0]~LCD20[7:0]

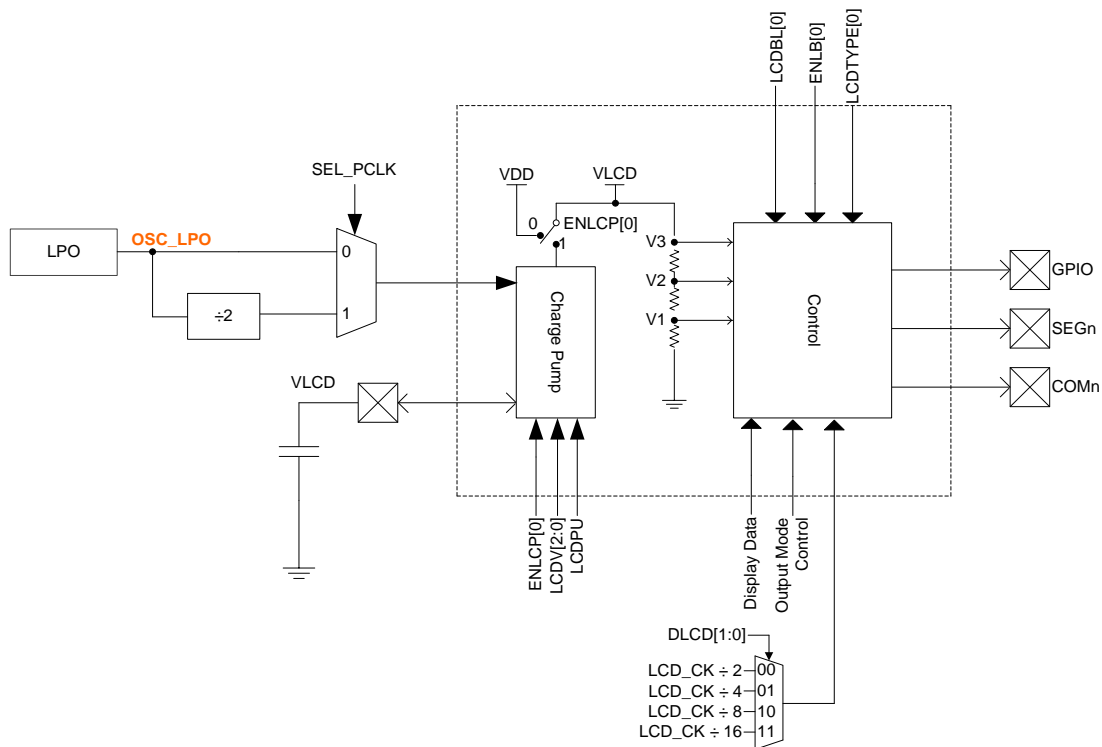


圖 19-1 LCD 方塊圖

19.1. LCD 使用說明

19.1.1. 工作頻率與輸出幀幅頻率設置

工作頻率來源由 LCDS 選擇，經工作頻率預除頻器 DLCD[1:0]除頻後提供適當的工作頻率予 LCD 輸出幀幅頻率。

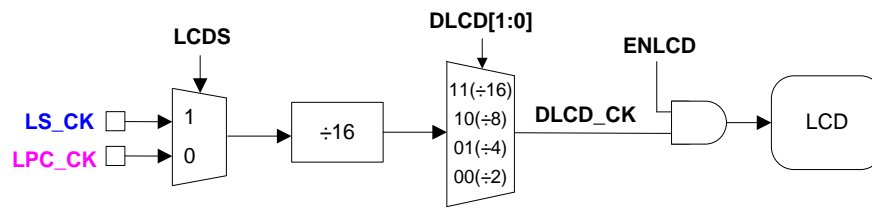


圖 19-2 LCD 工作頻率與幀頻率

19.1.2. 倍壓電路與 LCD 工作電壓設置

LCD 工作電壓源為 VLCD，其產生有兩種方式：

- 由外部輸入 VLCD 電壓源，必須將 ENLCP[0]設置<0> 關閉倍壓電路，然後由外部 VLCD 引腳灌入電壓以決定 LCD 工作電壓。使用外部輸入時，LCDV[2:0]的設置對 LCD 工作電壓不會產生任何影響。
 - 當推動尺寸或負載較大的 LCD 顯示器時，可將 LCD 輸出緩衝器 ENLB[0]設置<1>，啟用緩衝器以增加 LCD 的驅動能力。反之，ENLB[0]設置<0>則關閉緩衝器亦減少 LCD 的消耗電流。
- 由內部倍壓電路產生，將倍壓電路控制器 ENLCP[0]設置<1>，並配置倍壓電壓準位控制器 LCDV[2:0]即可產生 VLCD 電壓源供給 LCD，使其不隨晶片工作電壓的變化而影響顯示。
 - LCDV[2:0]可設置不同的工作電壓且必須在倍壓電路啟用時才有效，而倍壓電路可能會影響類比數位轉換器 $\Sigma\Delta$ ADC 在高解析度轉換的效能。
 - 使用內部倍壓電路產生 VLCD 電壓源時，LCD 緩衝器會由內部硬體線路自動啟用。
 - 在 LCD 正常顯示的時候建議將 LCDPU=1，可以減少 LCD 的耗電。

19.1.3. 閃爍設置

閃爍效果是讓 LCD 顯示由顯示狀態快速轉為全滅或再轉為顯示，此等循環過程只需透過字節閃爍控制器 LCDBL[0]設置<1>全滅或設置<0>顯示，即可達到快速顯示或全滅的狀態。故 LCDBL[0]設置<1>時，LCD 顯示器不會點亮任何字節。反之，LCDBL[0]設置<0>時，LCD 顯示器會依字節暫存器 LCD0[7:0]~ LCD19[7:0]的設置來點亮。

19.1.4. LCD 字節暫存器

每一個字節暫存器 LCDn[7:0]控制兩個字節引腳 SEGn，而每個字節引腳具有 4-bit 控制位元 SEGn[3:0]。

19.2.LCD Type A 輸出波形

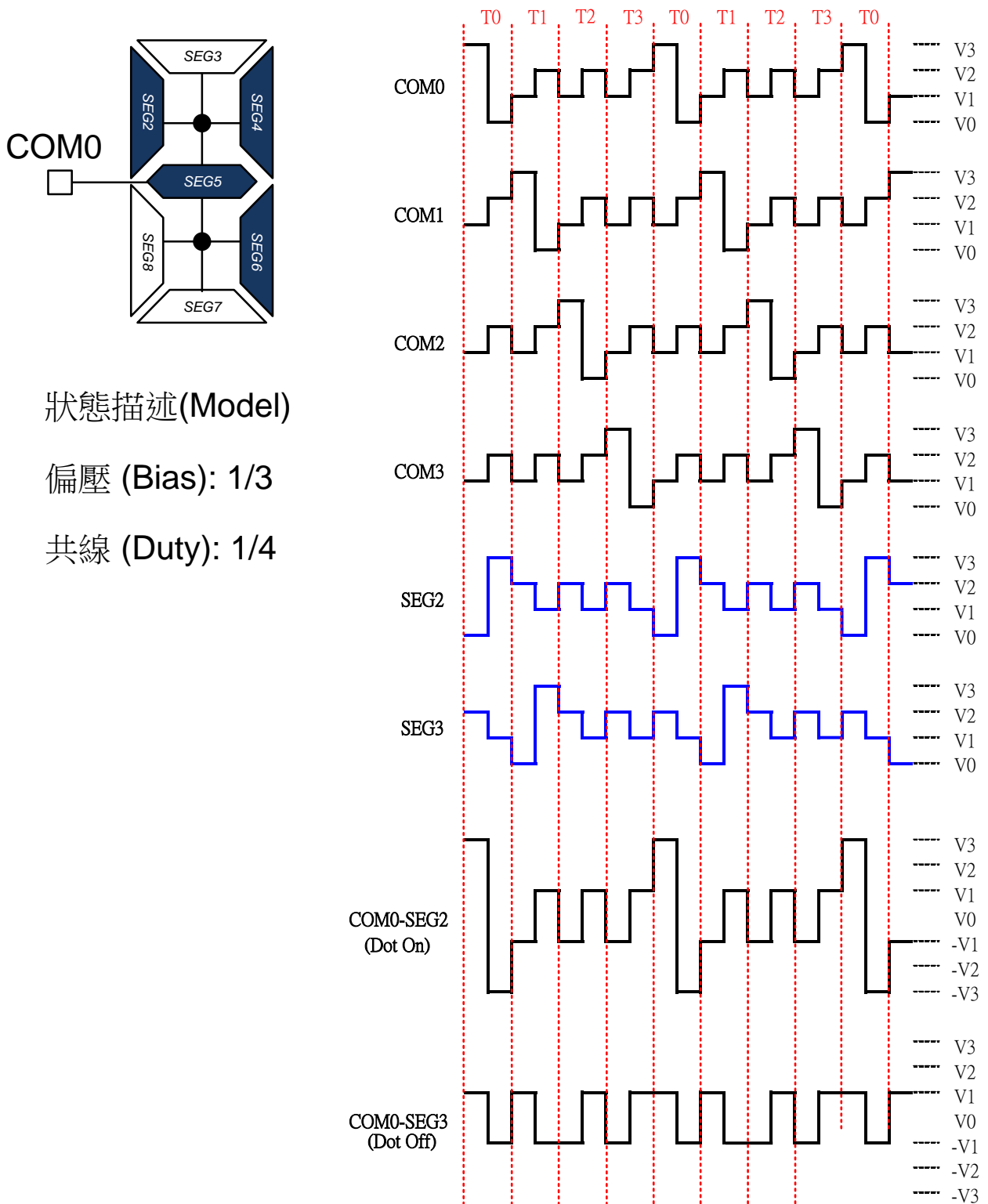
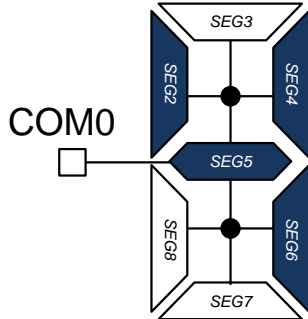


圖 19-3 輸出波形-4 共線

19.3.LCD Type B 輸出波形



狀態描述(Model)

偏壓 (Bias): 1/3

共線 (Duty): 1/4

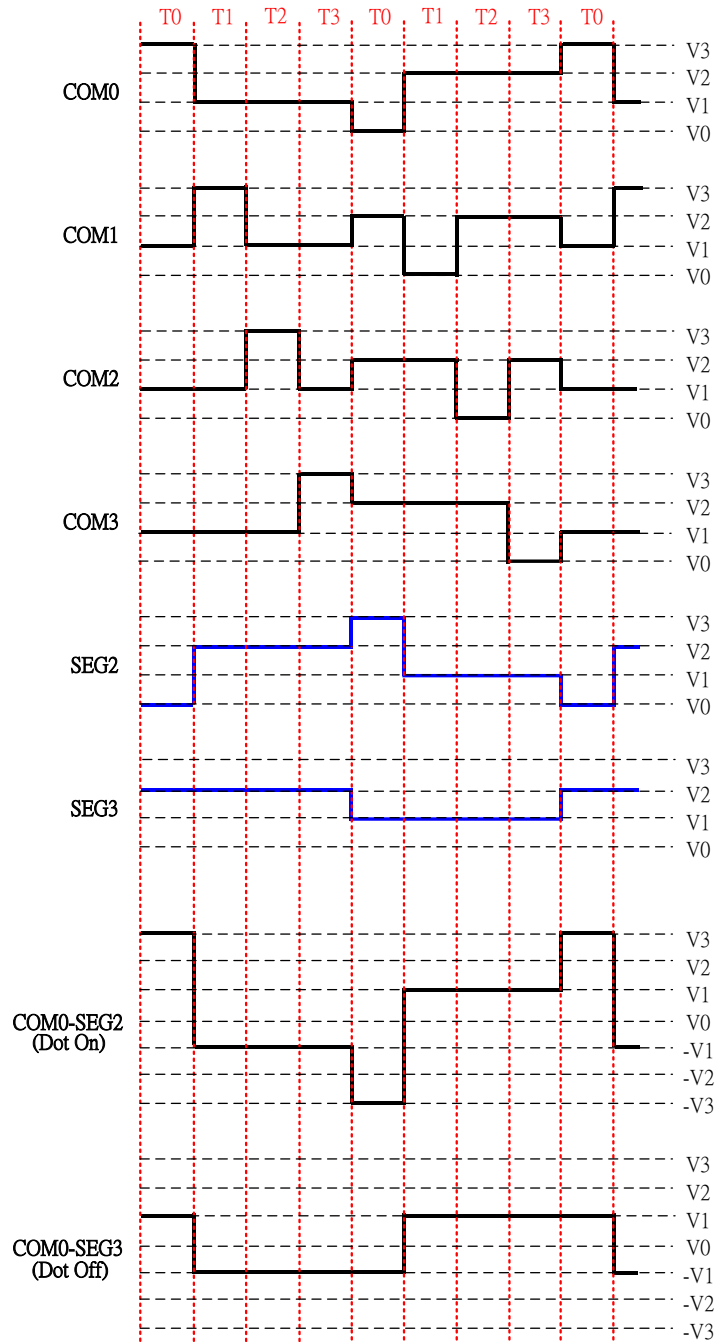


圖 19-4 輸出波形-4 共線

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



19.4. 暫存器說明-LCD

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
BSRCN	-	-	-	-	-	-	BSR[1]	BSR[0] xxxx uuuu	-, -, -, *, *, *
OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]			CUPS	0000 0000	uuuu uuuu	*, *, *, *, *, *
OSCCN1								LCDS	0000 0000	uuuu uu.	*, *, *, *, *, *
OSCCN2	DLCD[1:0]		ENXT	XTS[1:0]		HAOM[1:0]		ENHAO	0000 0011	uuuu uu11	*, *, *, *, *, *
LCDCN1	ENLCP	LCDV[2:0]			ENLB	SELCLK	-	LCDFPU	0000 00..	uuuu uu..	*, *, *, *, *, *
LCDCN2	-	-	-	-	-	LCDFTYPE	LCDFBL	LCI	0000 00..	uuuu uu..	*, *, *, *, *, *
LCDCN3	SCM3[1:0]		SCM2[1:0]		SCM1[1:0]		SCM0[1:0]		0000 0000	uuuu uuuu	*, *, *, *, *, *
LCDCN4	SSG21	SSG20	SSG19	SSG18	SSG17	SSG16	SSG15	SSG14	0000 0000	uuuu uuuu	*, *, *, *, *, *
LCDCN5	SSG41	SSG40	SSG39	SSG38	SSG37	SSG36	SSG35	SSG34	0000 0000	uuuu uuuu	*, *, *, *, *, *
LCDCN6	SSG5[1:0]		SSG4[1:0]		SSG3[1:0]		SSG2[1:0]		0000 0000	uuuu uuuu	*, *, *, *, *, *
LCDCN7	SSG9[1:0]		SSG8[1:0]		SSG7[1:0]		SSG6[1:0]		0000 0000	uuuu uuuu	*, *, *, *, *, *
LCDCN8	SSG13[1:0]		SSG12[1:0]		SSG11[1:0]		SSG10[1:0]		0000 0000	uuuu uuuu	*, *, *, *, *, *
LCDCN9	SSG25[1:0]		SSG24[1:0]		SSG23[1:0]		SSG22[1:0]		0000 0000	uuuu uuuu	*, *, *, *, *, *
LCDCN10	SSG29[1:1]		SSG28[1:1]		SSG27[1:1]		SSG26[1:1]		0000 0000	uuuu uuuu	*, *, *, *, *, *
LCDCN11	SSG33[1:1]		SSG32[1:1]		SSG31[1:1]		SSG30[1:1]		0000 0000	uuuu uuuu	*, *, *, *, *, *
LCD0	LCD SEG3[4:7] data				LCD SEG2[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD1	LCD SEG5[4:7] data				LCD SEG4[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD2	LCD SEG7[7:4] data				LCD SEG6[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD3	LCD SEG9[7:4] data				LCD SEG8[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD4	LCD SEG11[7:4] data				LCD SEG10[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD5	LCD SEG13[7:4] data				LCD SEG12[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD6	LCD SEG15[4:7] data				LCD SEG14[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD7	LCD SEG17[4:7] data				LCD SEG16[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD8	LCD SEG19[4:7] data				LCD SEG18[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD9	LCD SEG21[4:7] data				LCD SEG20[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD10	LCD SEG23[4:7] data				LCD SEG22[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD11	LCD SEG25[4:7] data				LCD SEG24[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD12	LCD SEG27[4:7] data				LCD SEG26[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD13	LCD SEG29[4:7] data				LCD SEG28[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD14	LCD SEG31[4:7] data				LCD SEG30[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD15	LCD SEG33[4:7] data				LCD SEG32[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD16	LCD SEG35[4:7] data				LCD SEG34[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD17	LCD SEG37[4:7] data				LCD SEG36[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD18	LCD SEG39[4:7] data				LCD SEG38[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *
LCD19	LCD SEG41[4:7] data				LCD SEG40[3:0] data				xxxx xxxx	uuuu uuuu	*, *, *, *, *, *

表 19-1 LCD 暫存器

BSRCN: 詳見 記憶體,Memory 章節

OSCCN0/OSCCN1/OSCCN2: 詳見 震盪器、時脈源與功耗管理章節

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

LCDCN1: LCD 控制暫存器 1

位元	名稱	描述																				
Bit7	ENLCP	LCD 倍壓電路控制器 <0> 關閉；VLCD 電壓源由外部引腳灌入。 <1> 啟用；VLCD 電壓源由晶片內部產生。																				
Bit6~4	LCDV[2:0]	倍壓電壓準位選擇控制器 (Test Condition : VDD=3.0V, ENLCP[0]=1, C _{VLCD} =1uF) <table border="1"><thead><tr><th>LCDV [2:0]</th><th>VLCD 輸出電壓</th><th>LCDV [2:0]</th><th>VLCD 輸出電壓</th></tr></thead><tbody><tr><td>000</td><td>5.05V</td><td>100</td><td>3.0V</td></tr><tr><td>001</td><td>4.5V</td><td>101</td><td>2.8V</td></tr><tr><td>010</td><td>4.05V</td><td>110</td><td>2.6V</td></tr><tr><td>011</td><td>3.3V</td><td>111</td><td>2.4V</td></tr></tbody></table>	LCDV [2:0]	VLCD 輸出電壓	LCDV [2:0]	VLCD 輸出電壓	000	5.05V	100	3.0V	001	4.5V	101	2.8V	010	4.05V	110	2.6V	011	3.3V	111	2.4V
LCDV [2:0]	VLCD 輸出電壓	LCDV [2:0]	VLCD 輸出電壓																			
000	5.05V	100	3.0V																			
001	4.5V	101	2.8V																			
010	4.05V	110	2.6V																			
011	3.3V	111	2.4V																			
Bit3	ENLB	LCD 輸出緩衝器 <0> 關閉。 <1> 啟用，在 LCD 輸出模式建議設置為'1'。																				
Bit2	SELPCLK	LCD 倍壓電路時脈控制 <0> 14.5kHz (預設) <1> 7.25kHz，速度慢可較省電																				
Bit0	LCDPU	LCD 倍壓電路能力 <0> 高(啟動 BIE 功能時，選擇此設定) <1> 低(正常使用 LCD 功能時，選用此設定)																				

LCDCN2: LCD 控制暫存器 2

位元	名稱	描述
Bit2	LCDDTYPE	LCD 驅動模式(HY17P58 only) <0> TYPE A。 <1> TYPE B。
Bit1	LCDBL	LCD 字節閃爍控制器 <0> LCD 字節正常顯示。 <1> LCD 字節全滅，只有關閉顯示輸出。 只需要控制此位元，即可做閃爍字節的顯示
Bit0	LCI	不開放使用須設定為 0

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

LCDCN3: LCD 控制暫存器 3

位元	名稱	描述
Bit7~6	SCM3[1:0]	引腳複用功能選擇。(x=0~3)
Bit5~4	SCM2[1:0]	<0> PT6.x 數位引腳功能。需自行設定 TRISC6 暫存器。(預設)
Bit3~2	SCM1[1:0]	<11> LCD COMx 引腳設定, 只要有任一 COM 引腳設為 LCD 模式, 則 ENLCD = 1。
Bit1~0	SCM0[1:0]	

LCDCN4: LCD 控制暫存器 4

位元	名稱	描述
Bit7	SSG21	引腳功能選擇。(x=14~21)
Bit6	SSG20	<0> PT8 數位引腳功能。需自行設定 TRISC 暫存器。(預設)
Bit5	SSG19	
Bit4	SSG18	
Bit3	SSG17	
Bit2	SSG16	
Bit1	SSG15	
Bit0	SSG14	

LCDCN5: LCD 控制暫存器 5

位元	名稱	描述
Bit7	SSG41	引腳功能選擇。(x=34~41)
Bit6	SSG40	<0> PT11 數位引腳功能。需自行設定 TRISC 暫存器。(預設)
Bit5	SSG39	<1> LCD SEGx 引腳設定。
Bit4	SSG38	
Bit3	SSG37	
Bit2	SSG36	
Bit1	SSG35	
Bit0	SSG34	

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

LCDCN6: LCD 控制暫存器 6

位元	名稱	描述
Bit7~6	SSG5[1:0]	引腳複用功能選擇。($x=2\sim5, n=4\sim7$) <00>PT6.n 數位引腳功能。需自行設定 TRISC 暫存器。(預設) <11> LCD SEGx 引腳設定。
Bit5~4	SSG4[1:0]	
Bit3~2	SSG3[1:0]	
Bit1~0	SSG02[1:0]	

LCDCN7: LCD 控制暫存器 7

位元	名稱	描述
Bit7~6	SSG9[1:0]	引腳複用功能選擇。($x=6\sim9, n=0\sim3$) <00> PT7 數位引腳功能。需自行設定 TRISC 暫存器。(預設) <11> LCD SEGx 引腳設定。
Bit5~4	SSG8[1:0]	
Bit3~2	SSG7[1:0]	
Bit1~0	SSG6[1:0]	

LCDCN8: LCD 控制暫存器 8

位元	名稱	描述
Bit7~6	SSG13[1:0]	引腳複用功能選擇。($x=10\sim13, n=4\sim7$) <00> PT7 數位引腳功能。需自行設定 TRISC 暫存器。(預設) <11> LCD SEGx 引腳設定。
Bit5~4	SSG12[1:0]	
Bit3~2	SSG11[1:0]	
Bit1~0	SSG10[1:0]	

LCDCN9: LCD 控制暫存器 9

位元	名稱	描述
Bit7~6	SSG25[1:0]	引腳複用功能選擇。($x=22\sim25, n=0\sim3$) <00>PT9 數位引腳功能。需自行設定 TRISC 暫存器。(預設) <11> LCD SEGx 引腳設定。
Bit5~4	SSG24[1:0]	
Bit3~2	SSG23[1:0]	
Bit1~0	SSG22[1:0]	

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

LCDCN10: LCD 控制暫存器 10

位元	名稱	描述
Bit7~6	SSG29[1:0]	引腳複用功能選擇。(x=26~29, n=4~7) <00> PT9 數位引腳功能。需自行設定 TRISC 暫存器。(預設) <11> LCD SEGx 引腳設定。
Bit5~4	SSG28[1:0]	
Bit3~2	SSG27[1:1]	
Bit1~0	SSG26[1:0]	

LCDCN11: LCD 控制暫存器 11

位元	名稱	描述
Bit7~6	SSG33[1:0]	引腳複用功能選擇。(x=30~33, n=8~11) <00> PT10 數位引腳功能。需自行設定 TRISC 暫存器。(預設) <11> LCD SEGx 引腳設定。
Bit5~4	SSG32[1:0]	
Bit3~2	SSG31[1:0]	
Bit1~0	SSG30[1:0]	

LCD0~LCD19 : LCD 字節資料暫存器

名稱	MODE	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LCD0	LCD	Segment SEG3				Segment SEG2			
LCD1	LCD	Segment SEG5				Segment SEG4			
LCD2	LCD	Segment SEG7				Segment SEG6			
LCD3	LCD	Segment SEG9				Segment SEG8			
LCD4	LCD	Segment SEG11				Segment SEG10			
LCD5	LCD	Segment SEG13				Segment SEG12			
LCD6	LCD	Segment SEG15				Segment SEG14			
LCD7	LCD	Segment SEG17				Segment SEG16			
LCD8	LCD	Segment SEG19				Segment SEG18			
LCD9	LCD	Segment SEG21				Segment SEG20			
LCD10	LCD	Segment SEG23				Segment SEG22			
LCD11	LCD	Segment SEG25				Segment SEG24			
LCD12	LCD	Segment SEG27				Segment SEG26			
LCD13	LCD	Segment SEG29				Segment SEG28			
LCD14	LCD	Segment SEG31				Segment SEG30			
LCD15	LCD	Segment SEG33				Segment SEG32			
LCD16	LCD	Segment SEG35				Segment SEG34			
LCD17	LCD	Segment SEG37				Segment SEG36			
LCD18	LCD	Segment SEG39				Segment SEG38			
LCD19	LCD	Segment SEG41				Segment SEG40			

20. LED 背光昇壓輸出

LED 背光昇壓穩壓線路，其具有以下特點：

- 具有 15mA 驅動能力
- 八段可調式驅動電壓準位

LED 背光昇壓暫存器摘要：

LEDCN ENLEDP, LEDS[2:0]

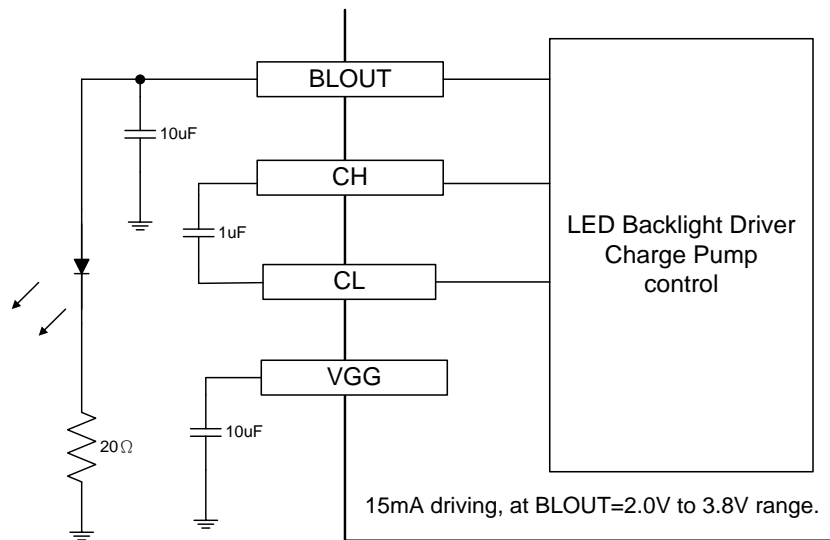


圖 20-1 LED 背光方塊圖

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

20.1. 暫存器說明-LED 背光昇壓輸出

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
LEDCN			ENLEDP	VGGS	ENBLOUT	LEDS[2:0]			0000 0000	uuuu uuuu	*****

表 20-1 LED 背光昇壓輸出暫存器

LEDCN: LED 昇壓控制暫存器

位元	名稱	描述																				
Bit5	ENLEDP	啟動背光昇壓穩壓電源(VGG)控制 <0> 關閉(預設) <1> 啟動																				
Bit4	VGGS	VGG 昇壓啟動選擇 <0> VGG=VDD(預設) <1> 啟動 VGG 昇壓功能 · VGG \approx 2*VDD · ENLEDP 啟動後才有效。																				
Bit3	ENBLOUT	BLOUT 穩壓啟動選擇 <0> 關閉 · 處於高阻態 (預設) <1> 啟動 BLOUT 穩壓功能 · 穩壓輸入來自 VGG · ENLEDP 啟動後才有效。																				
Bit2~0	LEDS[2:0]	昇壓穩壓電源(BLOUT)輸出電壓選擇表 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>LEDS[2:0]</th> <th>Output</th> <th>LEDS[2:0]</th> <th>Output</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>2.0V (預設)</td> <td>100</td> <td>3.2V</td> </tr> <tr> <td>001</td> <td>2.2V</td> <td>101</td> <td>3.4V</td> </tr> <tr> <td>010</td> <td>2.4V</td> <td>110</td> <td>3.6V</td> </tr> <tr> <td>011</td> <td>3.0V</td> <td>111</td> <td>3.8V</td> </tr> </tbody> </table>	LEDS[2:0]	Output	LEDS[2:0]	Output	000	2.0V (預設)	100	3.2V	001	2.2V	101	3.4V	010	2.4V	110	3.6V	011	3.0V	111	3.8V
LEDS[2:0]	Output	LEDS[2:0]	Output																			
000	2.0V (預設)	100	3.2V																			
001	2.2V	101	3.4V																			
010	2.4V	110	3.6V																			
011	3.0V	111	3.8V																			

21. 同步串列通訊介面, Serial Peripheral Interface

串列通訊介面 Serial Peripheral Interface, SPI 週邊，SPI 具有以下功能：

- SPI 模組允許同步發送和接收 8 位元資料。
- 可用於其他裝置進行通信的串列接口，裝置多為 EEPROM、移位暫存器等。
- 供主控模式及被動模式使用。
- 主動模式的引腳配置如下，使用時須設將 SCK 設定成 Output

	HY17P58	HY17P56	HY17P48
串列資料輸出 SDO	PT1.5	PT1.5	PT12.2
串列資料輸入 SDI	PT1.0	PT1.2	PT12.1
串列時鐘源 SCK	PT1.6	PT1.6	PT12.0

- 被動模式下可以多使用 1 隻引腳控制，被動同步選擇引腳 SCE

	HY17P58	HY17P56	HY17P48
被動同步選擇引腳 SCE	PT1.1	PT1.1	PT12.3

SPI 暫存器摘要：

SSPCNO ENSSP[0], CKP[0], CKE[0], SMP[0], SSPM[1:0]

SSPSTA SSPBY[0], SSPOV[0], BF[0]

SSPBUF SSPBUF[7:0]

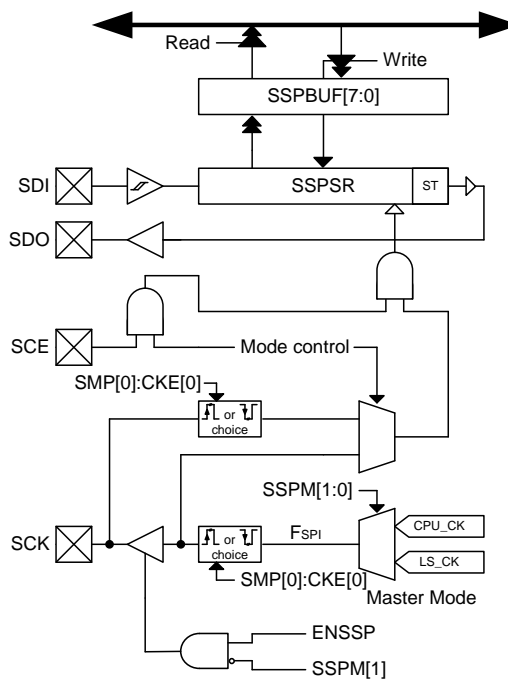


圖 21-1 SPI 方塊圖

21.1. SPI 使用說明

使用時除了相對應引腳須設定為輸入輸出腳位之外，也因主動被動選擇，使用腳位不同。

- 主動模式：使用引腳為 SCK(時鐘輸出), SDI(資料輸入), SDO(資料輸出)
- 被動模式：使用引腳為 SCK(時鐘輸入), SDI(資料輸入), SDO(資料輸出), SCE(同步資料接收致能)

透過配置 SSPCON1 暫存器可設定 SPI 等控制位元：

- 設置 ENSSP 位元可用於啟動 SPI 通訊模組。
- 設置 CKP 位元，決定傳輸完成後 SCK 所處電平狀態。
- 設置 CKE 位元，決定傳輸資料於 SCK 上升或下降緣。
- 設置 SMP 位元，決定輸入數據採樣時間點。(時脈中間或末尾取樣)。
- 設置 SSPM[1:0]位元組，決定主動模式 SCK 頻率源或被動模式 SCE 引腳是否啟用。
- 透過配置 SSPBUF 暫存器決定傳輸資料或接受資料，SSPSTA 暫存器則反映傳送及接收狀態：
- SPI 傳送及接收暫存器由 SSPBUF 及 SSPSR 暫存器所組成。
- SSPBUF 會保持上次寫入 SSPSR 的數據，直到下一次接收到的數據準備好為止。當 8 位元資料接收完成後，該資料就會被移入 SSPBUF 暫存器中，而 SSPSTA 暫存器中 BF 位元及 INTF2 暫存器中 SSPIF 位元將會被設置為 1。
- 雙重暫存器將可以允許在讀取該筆接收資料(Read SSPBUF)的同時，接收下一筆資料在 SSPSR 暫存器中。當資料接收時，應先判斷 SSPSTA 暫存器 BF 位元是否被設置為 1，若為 1 則表示 SSPBUF 中有接收完成的資料但卻未被使用者讀取，使用者應先讀取 SSPBUF 資料，讀取後 BF 位元將被硬體自動清除為 0。若使用者在 BF 被設置為 1 的情形下，卻未讀取 SSPBUF 的資料，當再次接收到資料時，SSPSTA 暫存器 SSPOV 位元將會被設置為 1，而該筆資料將會遺失不會被寫入到 SSPBUF 暫存器中。
- 當資料在傳送時 SSPSTA 暫存器 SSPBY 位元將被設置為 1，任何寫入 SSPBUF 暫存器的動作都會被忽略。傳送資料完成後，SSPBY 位元將自動被清為 0。
- 當 SPI 為主動模式時，則可以不理會 SSPBUF 暫存器所接收的數值，只須寫入欲傳送資料即可。

21.2. SPI 主動模式

SPI 設定為主動模式時，可以隨時啟動資料傳輸動作，只要在資料被寫入 SSPBUF 暫存器時，資料就會透過 SDO 引腳搭配 SCK 時脈源輸出。

此時若接收資料模組同為 SPI 模組時，可以將 SPI 被動模組 SDO 引腳配置為輸入腳位，則不會傳回失效資料給主動模組。若接收模組須同步傳回資料給主動模組，則可將被動模組 SDO 引腳配置為輸出腳位，則主動模組 SDI 引腳則會連續接收到移入資料，等接收完成後，會將資料寫入 SSPBUF 暫存器中，並且相對應的 SSPSTA 暫存器 BF 位元及 INTF1 暫存器中 SPIIF 位元將會被設置為 1。

同時可以透過 SSPCON1 暫存器 SSPM[1:0]位元組來設定主動模組頻率源，並透過 CKE, CKP 位元設定值來決定時脈源的極性。

主動模式配置說明：

- 驅動引腳設定：使用引腳為 SCK(時鐘輸出), SDI(資料輸入), SDO(資料輸出)
- 須先正確設定 I/O 引腳輸出入功能，及 SCK，SDO 輸出模組功能。
- 配置 SSPCON1 暫存器達 SPI 功能控制位元
- 設置 CKP 位元，決定傳輸完成後 SCK 所處電平狀態。
- 設置 CKE 位元，決定傳輸資料於 SCK 上升或下降緣。
- 設置 SMP 位元，決定輸入數據採樣時間點。(時脈中間或末尾取樣)。
- 設置 SSPM[1:0]位元組，決定主動模式 SCK 頻率源。
- 設置 ENSSP 位元可用於啟動 SPI 通訊模組。
- 配置 SSPBUF 暫存器決定傳輸資料，SSPSTA 暫存器則反映傳送狀態
- SPI 傳送暫存器由 SSPBUF 及 SSPSR 暫存器所組成。
- 當資料寫入 SSPBUF 後，硬體動作會將 SSPBUF 資料搬移到 SSPSR 暫存器中，並將 SSPSR 資料隨 SCK 時脈源送出。
- 當資料傳送出去之後，SSPSR 會同步接收到 SDI 引腳上的資料輸入，並在接收完成後，硬體動作會將 SSPSR 內的資料搬移到 SSPBUF 中。可透過 BF 旗標判斷是否接收完成。
- SSPBUF 會保持上次從 SSPSR 所接收到的數據，直到下一次接收到的數據準備好為止。
- 當 8 位元資料接收完成後，該資料就會被移入 SSPBUF 暫存器中，而 INTF1 暫存器中 SPIIF 位元將在 SCK 傳送完成 8 個位元資料後，會被設置為 1。而 SSPSTA 暫存器中 BF 位元將在資料接收完成並由硬體搬移到 SSPBUF 後被設置為 1。
- 當資料在傳送時 SSPSTA 暫存器 SSPBY 位元將被設置為 1，任何寫入 SSPBUF 暫存器的動作都會被忽略。傳送資料完成後，SSPBY 位元將自動被清為 0。
- 當 SPI 為主動模式時，則可以不理會 SSPBUF 暫存器所接收的數值，只須寫入欲傳送資料即可。若 SSPBUF 所接收的數值可使用時，使用者應自行將資料搬移後，再寫入欲送的資料。

相關配置可見下圖說明：

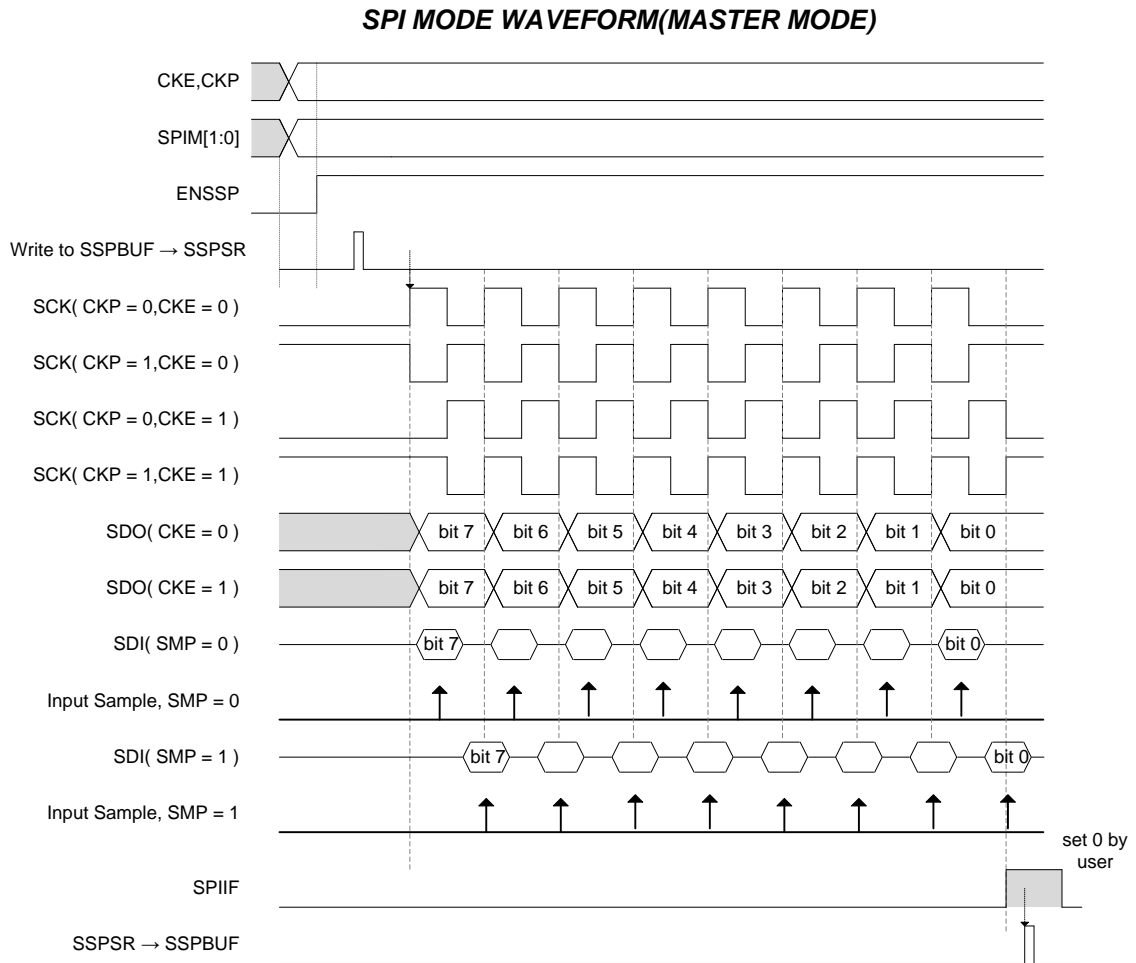


圖 21-2 SPI 主動模組時序波形

21.3. SPI 被動模式

被動模組下，SCK 時脈源由外部所提供，且 SCK 引腳必須處於空閑狀態，並須將 SCK 引腳配置為輸入腳位。在搭配主動模組時脈源極性設定時，可以透過 CKE, CKP 位元設定值來決定被動模組時脈源的極性。

被動模式配置說明：

- 驅動引腳設定：使用引腳為 SCK(時鐘輸入), SDI(資料輸入), SDO(資料輸出), SCE(同步資料接收致能)
- 須先正確設定 I/O 引腳輸出入功能，及 SDO 輸出模組功能。
- 配置 SSPCON1 暫存器達 SPI 功能控制位元
- 設置 CKP 位元，決定傳輸完成後 SCK 所處電平狀態。
- 設置 CKE 位元，決定傳輸資料於 SCK 上升或下降緣。
- 設置 SMP 位元，決定輸入數據採樣時間點。(時脈中間或末尾取樣)
- 設置 SSPM[1:0]位元組，決定被動模式 SCE 引腳是否啟用。
- 設置 ENSSP 位元可用於啟動 SPI 通訊模組。
- 透過配置 SSPBUF 暫存器決定接受與同步發送資料，SSPSTA 暫存器則反映接收狀態
- SPI 接收暫存器由 SSPBUF 及 SSPSR 暫存器所組成。
- 接收資料前，應先將要同步發送的資料寫入 SSPBUF 中，等待主控端時脈源到達。
- 即使不要同步發送資料，仍須完成寫入 SSPBUF 的動作，並建議寫入 0FFh 的資料。
- 寫入同步發送資料之後到主控端時脈源到達之前的時間需要延遲 5 個指令週期的時間，以利硬體將 SSPBUF 資料正確搬移到 SSPSR 暫存器中。
- 當主控端 SCK 時脈源輸入時，被動模組除擷取 SDI 輸入引腳資料外，仍會同步將 SSPSR 的資料由 SDO 引腳輸出給主控端。
- SSPBUF 會保持上次接收到的 SSPSR 的數據，直到下一次接收到的數據準備好為止。
- 當 8 位元資料接收完成後，該資料就會被移入 SSPBUF 暫存器中，而 INTF1 暫存器中 SPIIF 位元將在主控 SCK 傳送完成 8 個位元資料後，會被設置為 1。而 SSPSTA 暫存器中 BF 位元將在資料接收完成並由硬體搬移到 SSPBUF 後被設置為 1。
- 雙重暫存器將可以允許在讀取該筆接收資料(Read SSPBUF)的同時，接收下一筆資料在 SSPSR 暫存器中。當資料接收時，應先判斷 SSPSTA 暫存器 BF 位元是否被設置為 1，若為 1 則表示 SSPBUF 中有接收完成的資料但卻未被使用者讀取，使用者應先讀取 SSPBUF 資料，讀取後 BF 位元將被硬體自動清除為 0。若使用者在 BF 被設置為 1 的情形下，卻未讀取 SSPBUF 的資料，當再次接收到資料時，SSPSTA 暫存器 SSPOV 位元將會被設置為 1，而該筆資料將會遺失不會被寫入到 SSPBUF 暫存器中。

相關配置可見下圖說明：

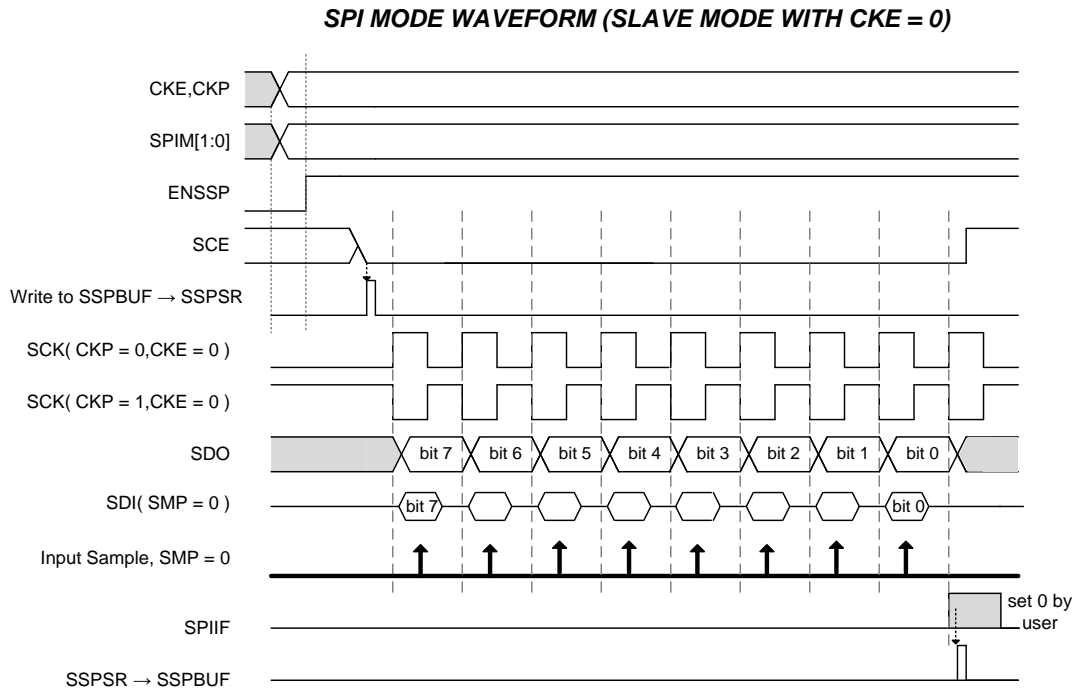


圖 21-3 SPI 被動模組時序波形(CKE=0)

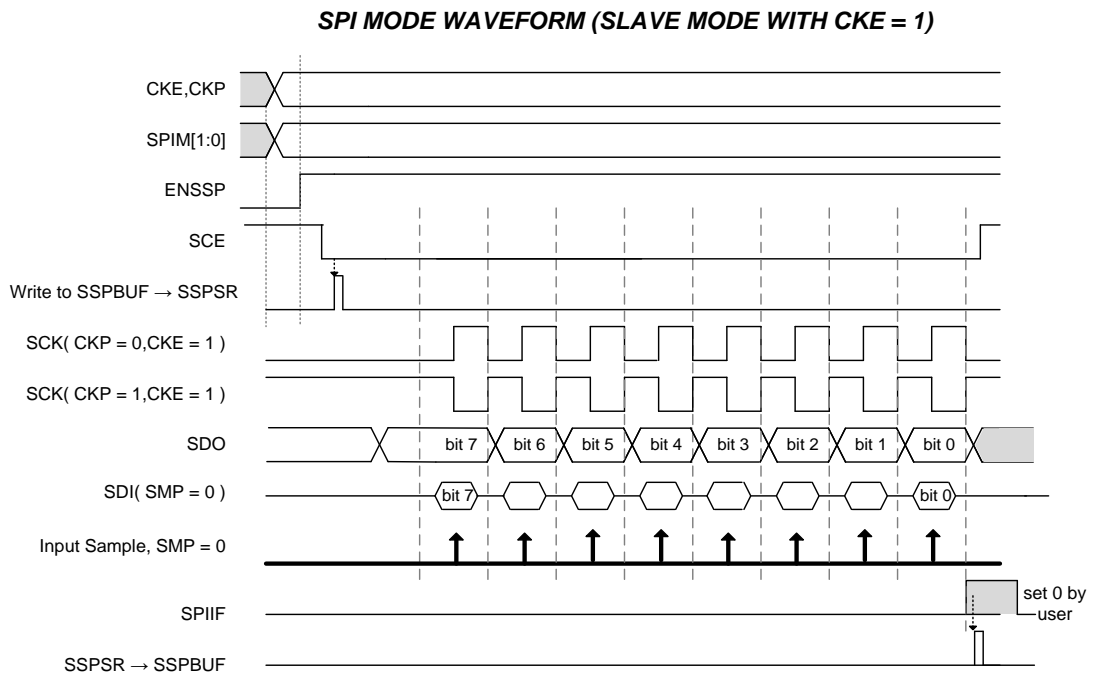


圖 21-4 SPI 被動模組時序波形(CKE=1)

SPI MODE SLAVE SYNCHRONIZATION WAVEFORM

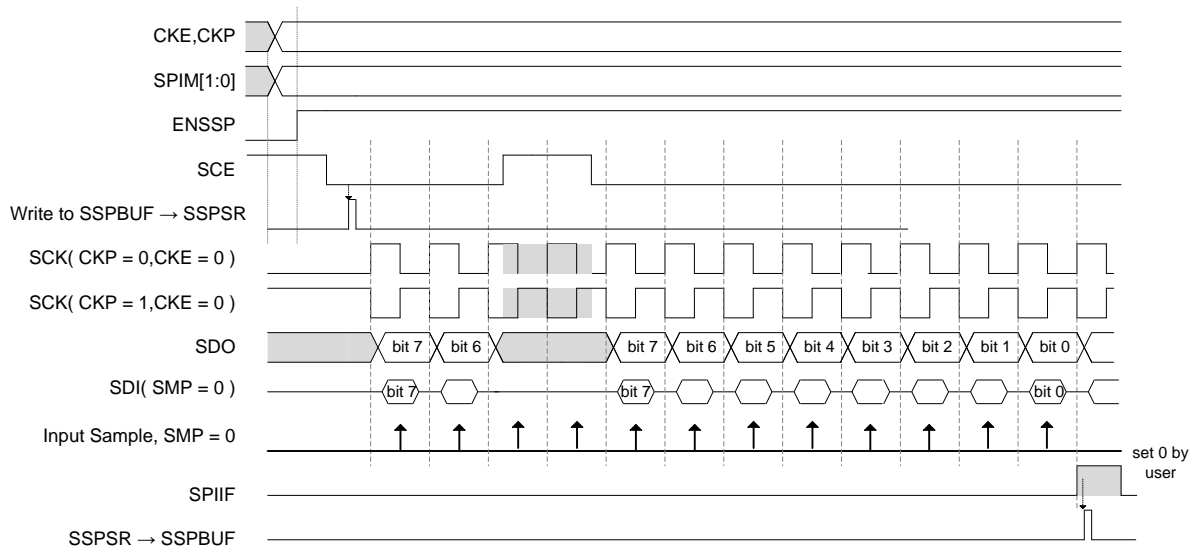


圖 21-5 SPI 同步被動模組時序波形

在睡眠模式下(SLP MODE)·若已經啟動 INTE1 暫存器 SPIIE 位元中斷致能·則在接收到一筆完整 8 位元資料後晶片將被喚醒。

被動模組中可以有控制另一隻引腳 SCE·SCE 引腳的配置允許達到被動同步模式·可以透過 SSPCN0 暫存器 SSPM[1:0]位元組達到該引腳設定。

當 SCE 引腳處於低電平時·資料可以作正常傳送及接收動作·同時 SDO 引腳可以正常驅動。在 SCE 處於高電平時·SDO 輸出引腳將被懸空不被驅動。

21.4. SPI 主被動模組傳輸方式

下圖為兩組紘康處理器中 SPI 模組主動被動連接方式:

主動模組會將 SSPBUF 暫存器資料透過 SSPSR 移位暫存器做資料傳送, 並透過 SDO 資料傳輸引腳輸出。傳送資料時, 同步可以接收被動模組所傳回資料於 SSPSR 移位暫存器中, 當接收完成後會將資料寫入 SSPBUF 暫存器中。

被動模組會將接收到的資料暫存於 SSPSR 移位暫存器中, 待接收完成後才會將資料寫入 SSPBUF 暫存器中。

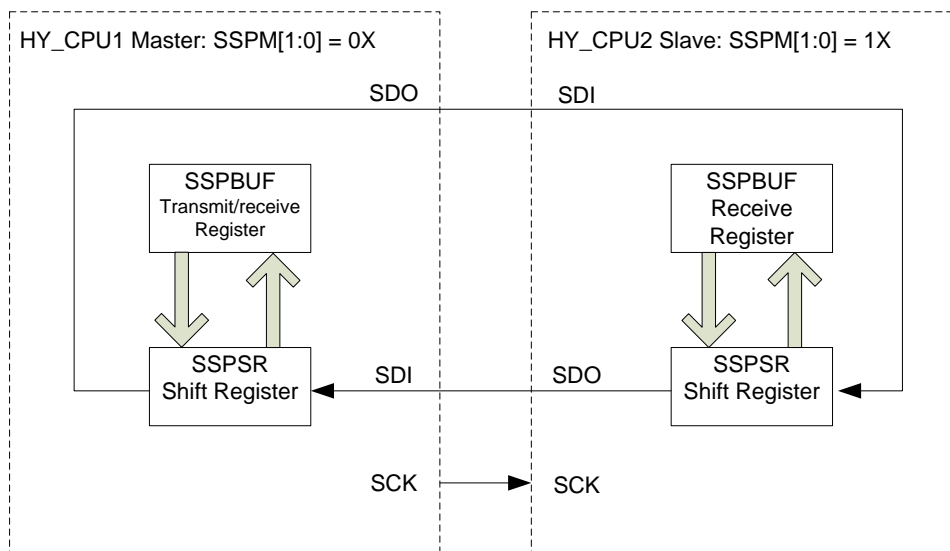


圖 21-6 兩組處理器 SPI 主動被動連接方式

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

```
CLRF    PT1DA,0      ; 設定 PT16(SCK), PT15(SDO)為數位輸出腳位
        ; 設定 PT12(SDI)為數位輸入腳位
CLRF    PT1PU,0
MVL     060H
MVF     TRISC1,1,0
MVL     00010100b
MVF     PT1M2,1,0    ; 設定 SCK, SDO 功能
BSF     INTE1,2,0    ; 設置 SPIIE 中斷服務
MVL     080H         ; 啟動 SPI 功能，設定頻率源為 CPU_CK
MVF     SSPCON1,1,0 ; 設定為主動模組，配置 CKP, CKE 設定頻率源波形
MVL     055H         ; 寫入主動模組欲傳送的資料
MVF     SSPBUF,1,0
....

SPI Interrupt :      ; SPI 中斷事件服務程式
BCF     INTF1,SPIIF,0 ; 清除 SPI 中斷事件旗標
BTSS    SSPSTA,BF,0
RJ      SPI Interrupt ; 判斷同步接收被控模組所傳送資料是否已接收完成
MVFF    SSPBUF,BUF0 ; 將從被動模組接收到資料搬移到 BUF0 暫存器
...

RETI                                         ; 中斷服務返回
```

範例 21-3 SPI 主動模式範例程式

```
CLRF    PT1DA,0      ; 設定 PT15(SDO)為數位輸出腳位
        ; 設定 PT16(SCK), PT12(SDI)為數位輸入腳位
CLRF    PT1PU,0
MVL     020H         ; PT1.5 ( SDO),PT.6(SCK),PT1.2(SDI),PT1.1(SCE)
MVF     TRISC1,1,0
MVL     00000100b    ; 設定 SDO 功能
MVF     PT1M2,1,0
BSF     INTE1,SPIIE,0 ; 使能 SPI 中斷
MVL     11000011b    ; 啟動 SPI,下降緣數據發送
MVF     SSPCN0,1,0   ; 設為被動模式並啟動 SCE 引腳控制功能
MVF     SSPBUF,0,0   ; 讀出 SPI 緩衝區的值
CLRF    SSPSTA,0
MVL     05Ah         ; 往 SSPBUF 寫入資料準備同步發送數據
MVF     SSPBUF,1,0
NOP
.....
SPI_interrupt:
BCF     INTF1,SPIIF,0
BTSS    SSPSTA,BF,0
RJ      SPI_Interrupt ; 判斷資料是否已接收完成
MVFF    SSPBUF,BUF0   ; 存取主機端發過來的數據
BTSZ    SSPSTA, BF,0
RJ      SPI_InterruptA ; 判斷接收同時，是否有另一筆資料又再輸入
BTSZ    SSPSTA, SSPOV,0
RJ      SPI_InterruptB ; 判斷資料是否溢出
BCF     SSPSTA, SSPOV,0 ; 若有衝突須清除
MVL     069h         ; 往 SSPBUF 寫入一個數據，
        ; 準備接收主機發過來的下筆資料時，同步發送出去
        ; 若不需同步發送，請填 0FFh 資料
MVF     SSPBUF,1,0   ; SSPBUF 這個寫入的數值為同步發送出去的數值
SPI_InterruptA:
...
SPI_InterruptB:
...
RETI
```

範例 21-2 SPI 被動模式範例程式

21.5. 暫存器說明- SPI

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE0	GIE	-	ADIE	WDTIE	TB1IE	TMAIE	E1IE	E0IE	0000 0000	0uuu uuuu	*,*,*,*,*,*
INTE1	-	SPIIE							0000 0000	uuuu uuuu	*,*,*,*,*,*
INTF1	-	SPIIF							0000 0000	uuuu uuuu	*,*,*,*,*,*
SSPCN0	ENSSP	CKP	CKE	SMP	-	-	SSPM[1:0]		0000 ..00	uuuu ..uu	*,*,*,*,*,*
SSPSTA	SSPBY	SSPOV	-	-	-	-	-	BF	00.. ...0	uu.. ...u	*,*,*,*,*,*
SSPBUF	SSP Receive/Transmit Buffer Register								xxxx xxxx	uuuu uuuu	*,*,*,*,*,*

表 21-2 SPI 暫存器

INTE0/INTE1/INTF1 : 詳見 中斷,Interrupt 章節

OSCCN0/OSCCN1/OSCCN2: 詳見 震盪器、時脈源與功耗管理章節

SSPCN0: SPI 控制暫存器

位元	名稱	描述										
Bit7	ENSSP	啟用與關閉控制器 <0> 關閉 <1> 啟用										
Bit6	CKP	工作頻率極性控制器 <0> 低電位為空閒 <1> 高電位為空閒 CKP=1 及 CKE=0 的模式下，必須將 SMP 設為 1 才能收到正確的資料。										
Bit5	CKE	資料發送控制器 <0> 當工作頻率從空閒變成有效時發送 <1> 當工作頻率從有效變成空閒時發送 CKP=1 及 CKE=0 的模式下，必須將 SMP 設為 1 才能收到正確的資料。										
Bit4	SMP	資料發送控制器 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>設定</th> <th>SPI 主動模式</th> <th>SPI 被動模式</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>在資料輸出時間的中間採樣輸入資料</td> <td>被動模式，使用者須將 SMP Bit 設置<0></td> </tr> <tr> <td>1</td> <td>在資料輸出時間的末端採樣輸入資料</td> <td>不可使用</td> </tr> </tbody> </table>	設定	SPI 主動模式	SPI 被動模式	0	在資料輸出時間的中間採樣輸入資料	被動模式，使用者須將 SMP Bit 設置<0>	1	在資料輸出時間的末端採樣輸入資料	不可使用	
設定	SPI 主動模式	SPI 被動模式										
0	在資料輸出時間的中間採樣輸入資料	被動模式，使用者須將 SMP Bit 設置<0>										
1	在資料輸出時間的末端採樣輸入資料	不可使用										
Bit1~0	SSPM[1:0]	模式選擇位元組 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>設定</th> <th>操作模式</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>SPI 主動模式，時脈源 = LS_CK</td> </tr> <tr> <td>01</td> <td>SPI 主動模式，時脈源 = CPU_CK</td> </tr> <tr> <td>10</td> <td>SPI 被動模式，時脈源 = SCK 引腳，SCE 引腳控制功能關閉，SCE 引腳組態為 I/O 使用</td> </tr> <tr> <td>11</td> <td>SPI 被動模式，時脈源 = SCK 引腳，SCE 引腳控制功能啟動 TAxTS[1:0]觸發事件選擇器</td> </tr> </tbody> </table>	設定	操作模式	00	SPI 主動模式，時脈源 = LS_CK	01	SPI 主動模式，時脈源 = CPU_CK	10	SPI 被動模式，時脈源 = SCK 引腳，SCE 引腳控制功能關閉，SCE 引腳組態為 I/O 使用	11	SPI 被動模式，時脈源 = SCK 引腳，SCE 引腳控制功能啟動 TAxTS[1:0]觸發事件選擇器
設定	操作模式											
00	SPI 主動模式，時脈源 = LS_CK											
01	SPI 主動模式，時脈源 = CPU_CK											
10	SPI 被動模式，時脈源 = SCK 引腳，SCE 引腳控制功能關閉，SCE 引腳組態為 I/O 使用											
11	SPI 被動模式，時脈源 = SCK 引腳，SCE 引腳控制功能啟動 TAxTS[1:0]觸發事件選擇器											

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



SSPSTA: SPI 控制暫存器

位元	名稱	描述									
Bit7	SSPBY	寫入衝突位元檢測(僅供傳送資料使用) <0> 未發生衝突 <1> 當資料仍然在傳送狀態									
Bit6	SSPOV	接收溢出旗標位元 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">設定</th> <th style="width: 50%;">SPI 被動模式</th> <th style="width: 40%;">SPI 主動模式</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>未發生溢位狀態</td> <td>SSPOV 位元將不會被設置為 1，因每次傳送(接收)資料都需要寫入 SSPBUF 暫存器</td> </tr> <tr> <td style="text-align: center;">1</td> <td>SSPBUF 已經保持著上一筆資料，而繼續接收到一筆新資料，一旦 SSPSR 溢出，其 SSPSR 暫存器中的資料將會遺失。SSPOV 只發生在被動模式下，即使只是發送資料，使用者也必須讀取 SSPBUF 暫存器，以避免 SSPOV 被設置為 1。(須用指令清除)</td> <td>不會發生</td> </tr> </tbody> </table>	設定	SPI 被動模式	SPI 主動模式	0	未發生溢位狀態	SSPOV 位元將不會被設置為 1，因每次傳送(接收)資料都需要寫入 SSPBUF 暫存器	1	SSPBUF 已經保持著上一筆資料，而繼續接收到一筆新資料，一旦 SSPSR 溢出，其 SSPSR 暫存器中的資料將會遺失。SSPOV 只發生在被動模式下，即使只是發送資料，使用者也必須讀取 SSPBUF 暫存器，以避免 SSPOV 被設置為 1。(須用指令清除)	不會發生
設定	SPI 被動模式	SPI 主動模式									
0	未發生溢位狀態	SSPOV 位元將不會被設置為 1，因每次傳送(接收)資料都需要寫入 SSPBUF 暫存器									
1	SSPBUF 已經保持著上一筆資料，而繼續接收到一筆新資料，一旦 SSPSR 溢出，其 SSPSR 暫存器中的資料將會遺失。SSPOV 只發生在被動模式下，即使只是發送資料，使用者也必須讀取 SSPBUF 暫存器，以避免 SSPOV 被設置為 1。(須用指令清除)	不會發生									
Bit0	BF	緩衝器滿狀態位元 (僅供接收資料使用) <0> 接收未完成，接收緩衝暫存器為空 <1> 接收完成，接收緩衝暫存器已滿									

SSPBUF[7:0] 接收緩衝暫存器或是傳送暫存器

22. 同步串列通訊介面, Inter-Integrated Circuit Serial interface

I²C 通訊介面包含主機(Master)與從機(Slave)兩種運作模式，主機模式可以根據系統的需求，結合傳送控制器(Transmission Controller, Tx Controller)傳送 I²C 封包格式的信號至 I²C Bus，並以 Clock Generator 決定所需的傳送速率。而 Slave Controller 可以接收 I²C Bus 上的信號，以從機模式接受 Bus 上的主機之通訊需求，並結合傳送控制器回傳主機所需要的資料，除此之外，Slave 控制器內含之資料接收電路也是 Master Controller 接收回傳資料的通道。

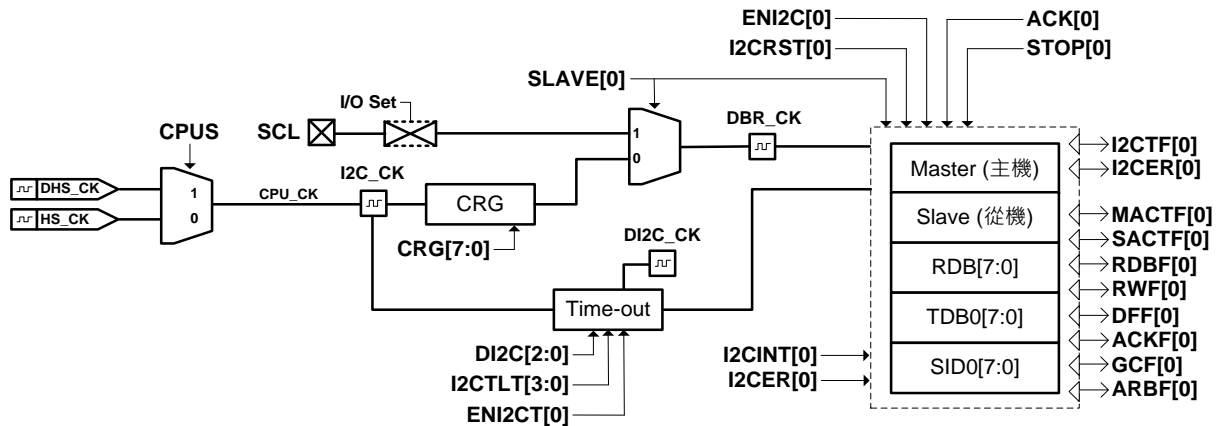


圖 22-1 I²C 系統架構圖

I²C 串列介面功能特性：

- 標準 I²C 串列介面包含 2 個接腳，為串列資料(SDA)、串列時脈(SCL)。
- 接腳為 Open Drain 輸出結構，需要外部提升電阻，確保高電位輸出。
- 標準 I²C 串列介面可配置為主機(Master)、從機(Slave)或主/從機模式。
- 可程式時脈，允許調整 I²C 傳輸速率。
- 主機和從機之間的數據傳輸為雙向的。
- I²C 允許相當大的工作電壓範圍。
- I²C 的參考設計使用一個 7 位元長度的位址空間但保留了 16 個位址，所以在一組匯流排最多可和 112 個節點通訊。

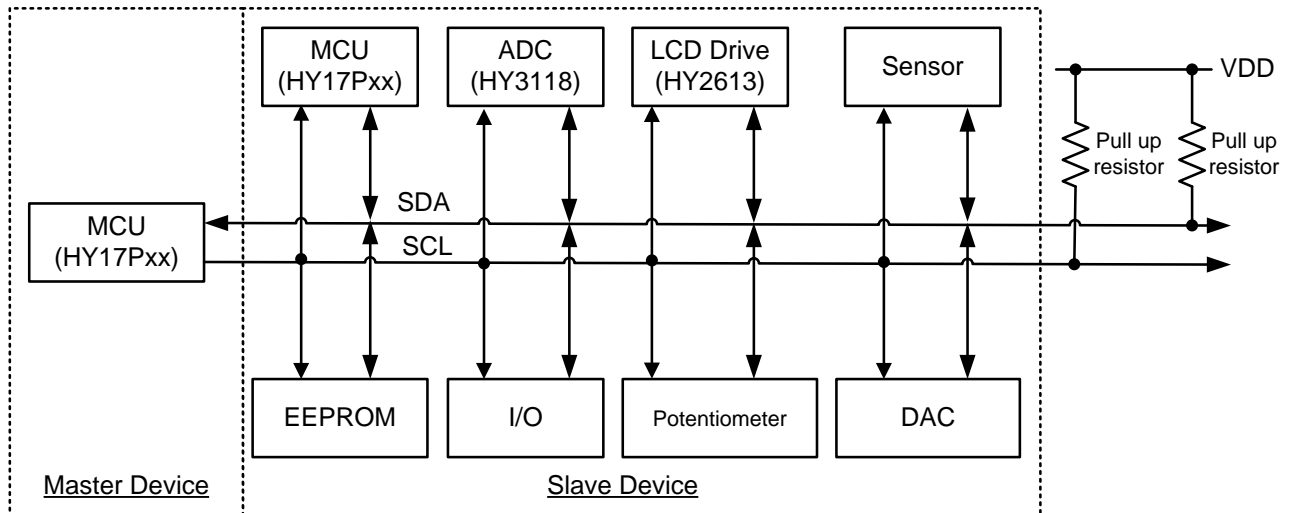


圖 22-2 I²C 通訊接線示意圖

I²C 串列介面信號：

- 起始信號(START)：主機 SCL 為高電位時，發出 SDA 由高電位轉為低電位，開始資料傳送。
- 資料(DATA)或位址(ADDRESS)信號：I²C 串列介面協議要求只有在 SCL 為低電位時，SDA 上資料才可以改變。
- 回應信號(Acknowledge)：接收資料的裝置(從機)在接收到第 8 位元後，向發送資料的裝置(主機)發送低電位，表示已收到資料。
- 停止信號(STOP)：主機 SCL 為高電位時，發出 SDA 由低電位轉為高電位，結束資料傳送。

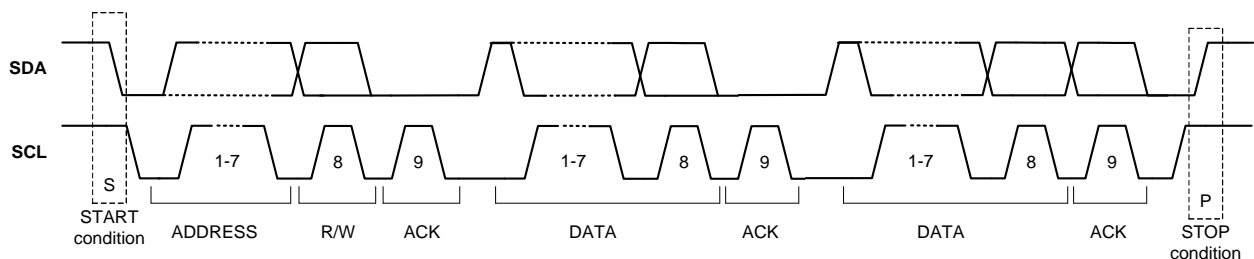


圖 22-3 I²C 匯流排時序圖

22.1. 數據傳輸速率計算

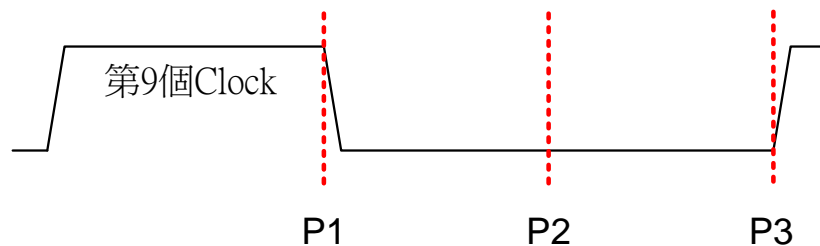
■ Master Mode

I²C 內部暫存器 CRG[7:0]可以控制主機模式傳送數據的速度，CRG[7:0]的數值經由內部計數器產生主機的 SCL 的引腳信號，所以數據傳送率可以根據 I²C 的時脈源 I2C_CK 的頻率，利用下列公式計算：

$$\text{DataBaudRate(Hz)} = \frac{\text{I2C_CK}}{[4 \times (\text{CRG}[7:0] + 1)]}$$

■ Slave Mode

當 Master 端使用的是標準硬體 I²C 或者是會判斷 SCL 狀態才做動的裝置時，CRG[7:0]建議填值為 01H。如果 Master 端是使用 I/O 模擬而成的裝置，如需配合第九個 Clock 長度可依實際情況調整。公式計算為下



P1~P2的時間決定於ISR中和時將I2CINT寫0
P2~P3的時間由CRG[7:0]決定
Min=(CRG+1)*(CPU_CK週期)
Max=2*(CRG+1)*(CPU_CK週期)

22.2. 計時功能(Time-Out)

- Time-out 控制是為了避免 I2C 控制器將 I2C 通訊匯流排鎖死，I2C 在操作的過程中為了提供 MCU 足夠的時間處理 I2C 控制器的需求，因此 I2C 控制器在每一個回應位元之後都會將 SCL 拉為 Low，使 Master 無法傳出下一個時脈信號，即是發生通訊延時 (Clock Stretching)。但是當 MCU 過於忙碌或任何原因無法回應 I2C 控制器的需求時，I2C 通訊匯流排的 SCL 將有可能被鎖死於 Low。
- 為了避免上述情況發生，Time-out 控制器可以根據使用者透過工作頻率除頻器 DI2C[2:0]及時間條件控制器 I2CTLT[3:0]，決定 SCL 處於 Low 狀態的 Time-out 條件。條件處理有以下狀態：
- 當偵測 SCL 被本機拉為 Low 的時間，滿足條件後 I2C 控制器會強制將 SCL 放掉並且發出中斷事件至 CPU。
- 當 SCL 在未達到 Time-out 時間被釋放為 High，則 Time-out 控制器內部的計數器將被重置，並於下次 SCL 再被拉為 Low 時重新計數。

22.3. I²C 串列介面通訊流程圖

I²C 串列介面術語

- (SPIA)：代表對動作暫存器(ACT)所下達指令，S 為 Start 指令，P 為 Stop 指令，I 為中斷旗標，A 為 Acknowledge 指令。
- SPIA：代表讀取動作暫存器(ACT)之值，可以用於判讀中斷旗標或其它指令是否運作完成。
- STA：讀取 Status 暫存器(STA)之值，用以表示目前 I²C 電路運作狀態。
- 下列流程圖會以圖 16-4 所示之“灰底圓框”、“白底圓框”、“方框”分別表示 I²C 介面之狀態：
 - 灰底圓框：表示中斷旗標已被設立之 I²C 狀態。
 - 白底圓框：表示中斷旗標未被設立，需由 MCU 主動讀取之 I²C 狀態。
 - 方框：表示需由 MCU 對 I²C 下達指令。

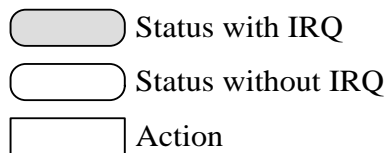


圖 22-4 流程圖符號

HY17S58 Emulate Chip User' Guide

Embedded ΣADC
8-Bit RISC-like Mixed Signal Microcontroller

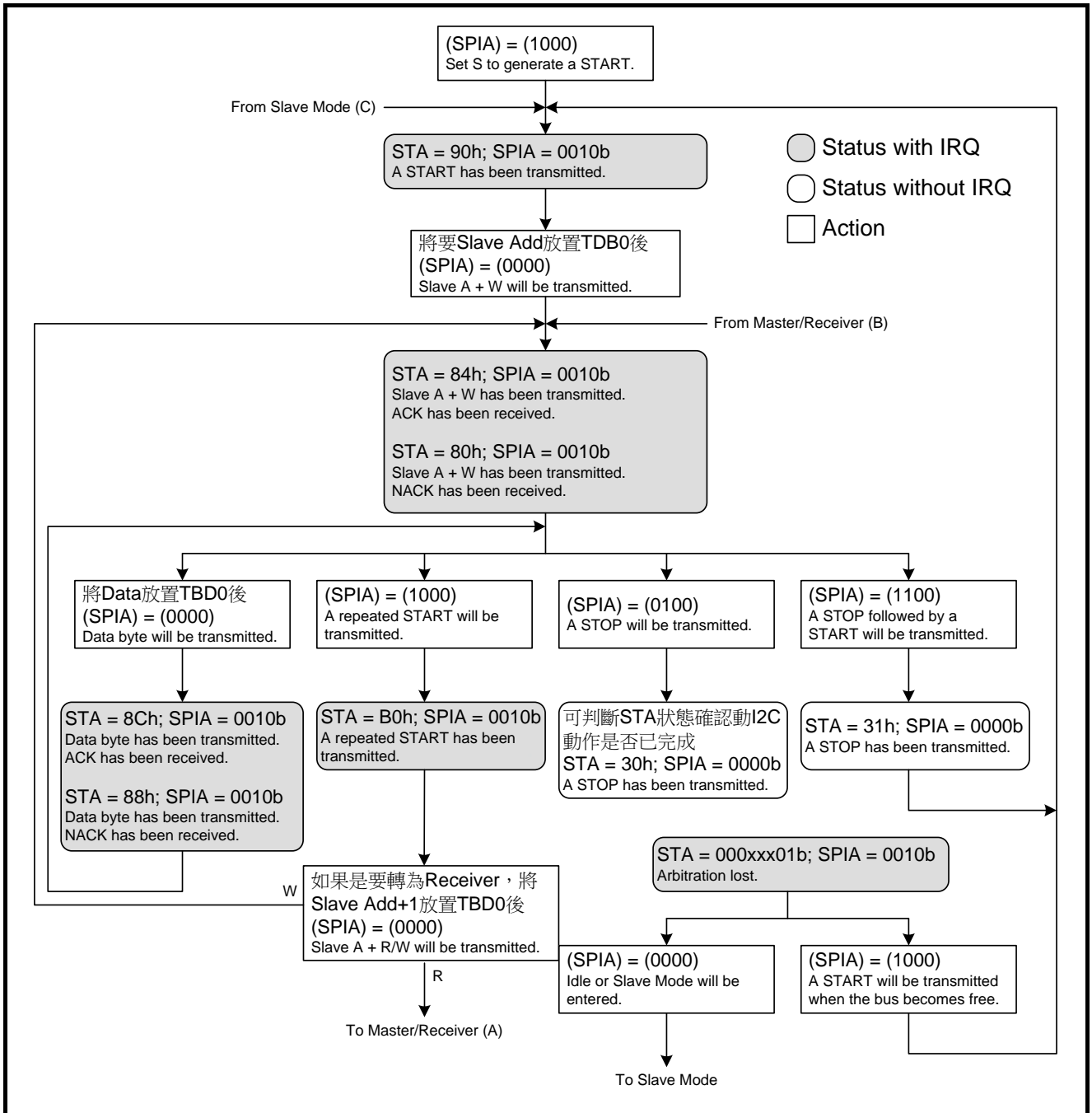
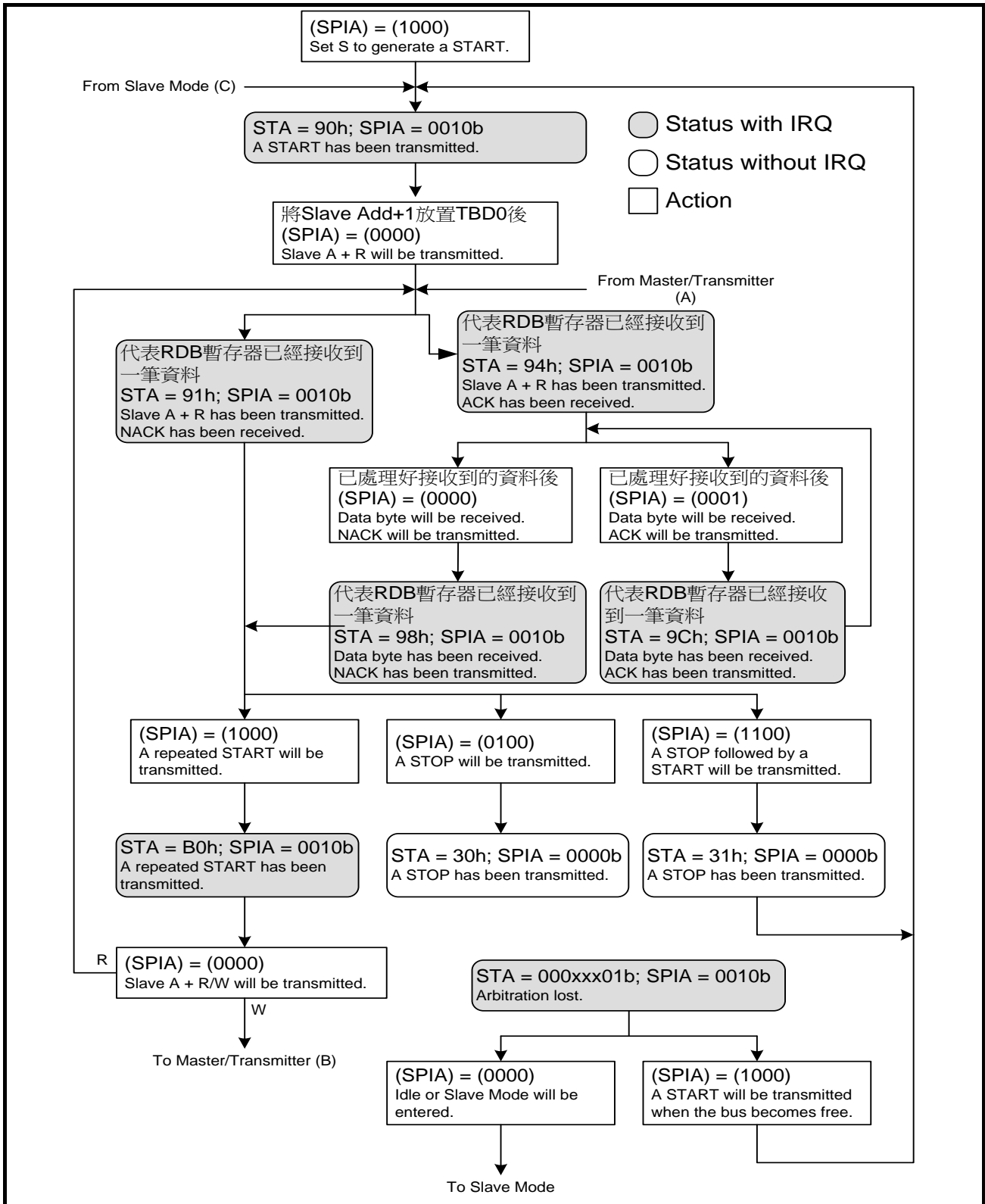


圖 22-5 Master Transmitter Mode

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

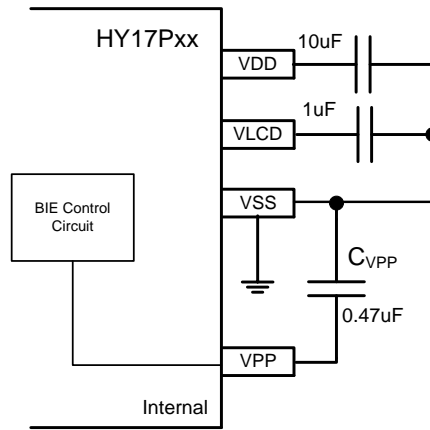


圖 22-6 Master Receiver Mode

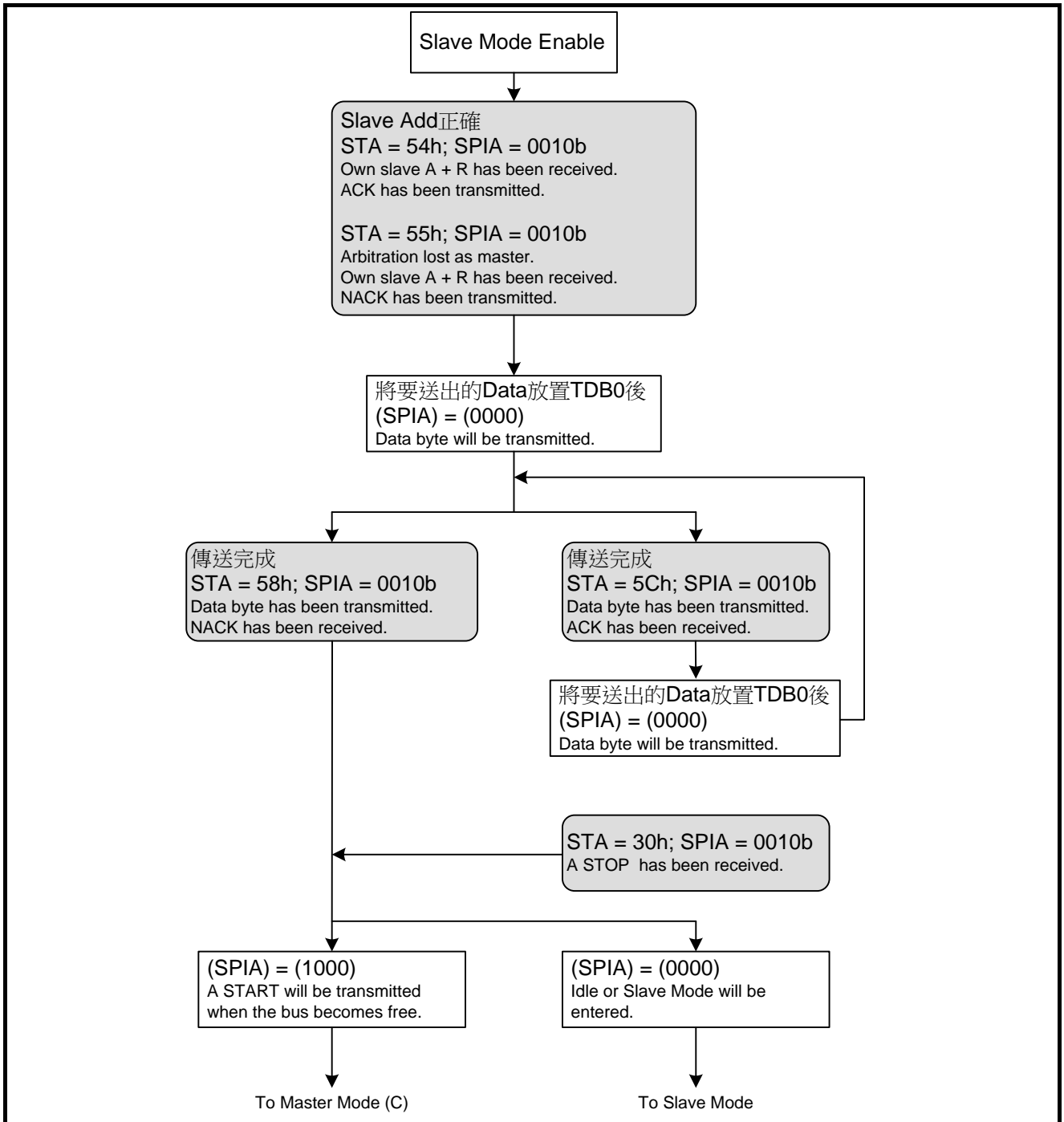


圖 22 -7 Slave Transmitter Mode

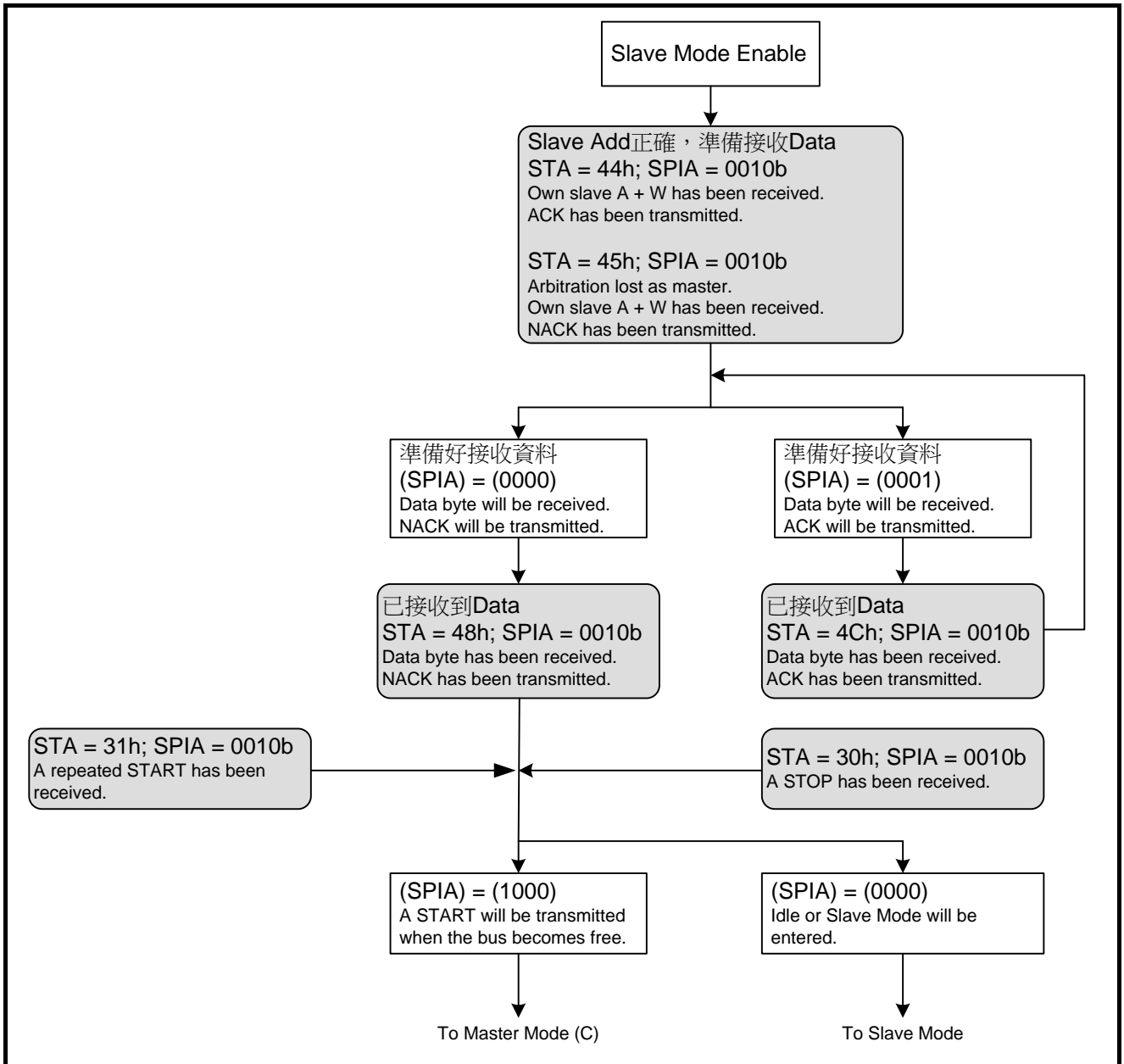


圖 22-8 Slave Receiver Mode

HY17S58 Emulate Chip User' Guide

Embedded ΣADC
8-Bit RISC-like Mixed Signal Microcontroller

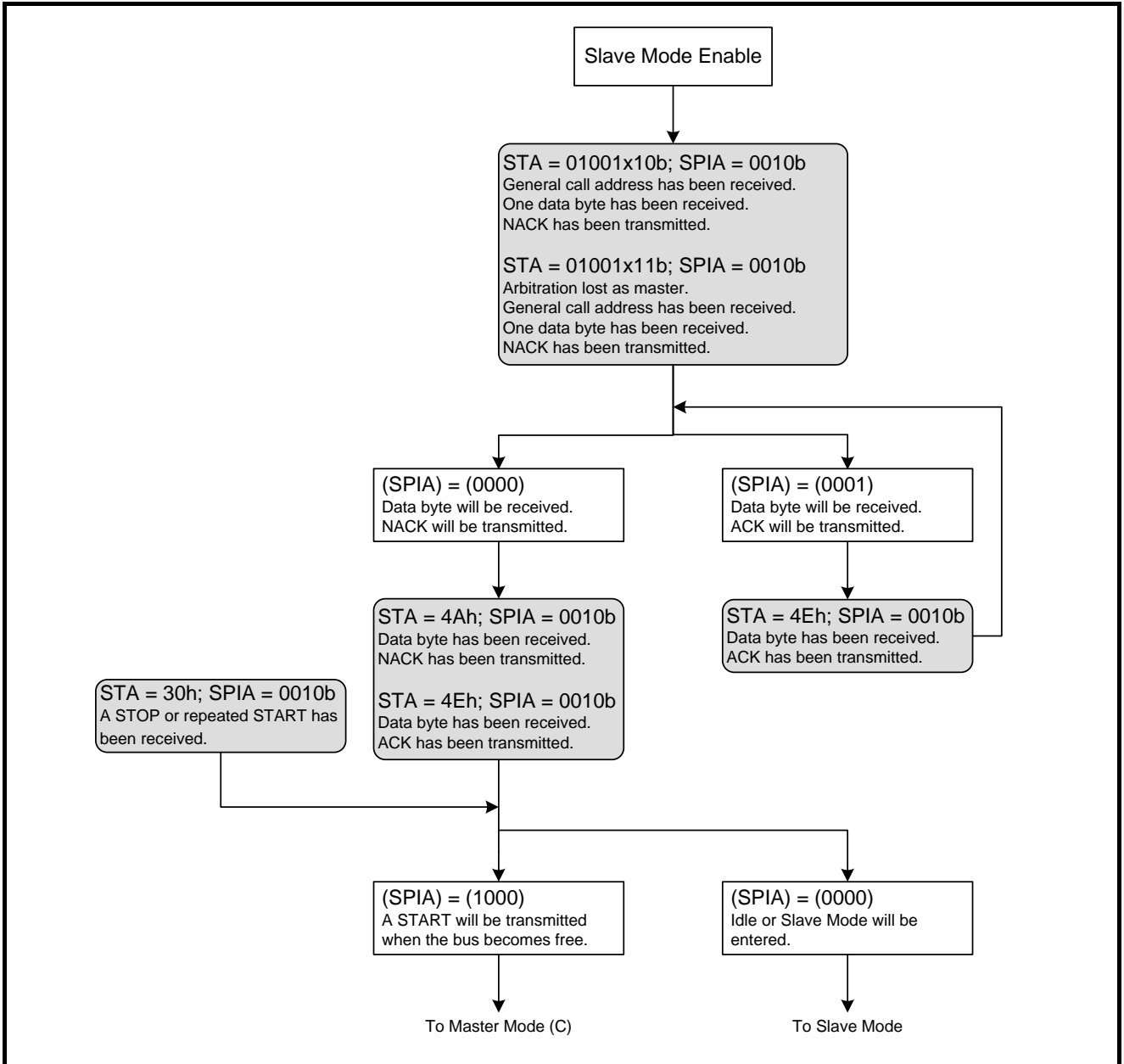


圖 22-9 General Call Mode

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

22.4. I²C 暫存器說明

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE0	GIE	-	ADIE	WDTIE	TB1IE	TMAIE	E1IE	EOIE	0000 0000	0uuu uuuu	*****
INTE1	-				I2CERIE	I2CIE			0000 0000	uuuu uuuu	*****
INTF1	-				I2CERIF	I2CIF			0000 0000	uuuu uuuu	***** r, f, *
CFG	Rsv.					GCRst	ENI2CT	ENI2C000uuu	..,.,.,.,.,.,.,.
ACT	SLAVE	-	-	I2CER	START	STOP	I2CINT	ACK	0000 0000	uuuu uuuu	*****
STA	MACTF	SACTF	RDBF	RWF	DFB	ACKF	GCF	ARBF	0001 0000	uuuu uuuu	*****
CRG	CRG[7:0]								0000 0000	uuuu uuuu	*****
TOC	I2CTF	DI2C[2:0]			I2CTLT[3:0]				0000 0000	uuuu uuuu	*****
RDB	RDB[7:1]							RDB[0]	xxxx xxxx	uuuu uuuu	..,.,.,.,.,.,.
TDB0	TDB0[7:1]							TDB[0]	xxxx xxxx	uuuu uuuu	..,.,.,.,.,.,.
SID0	SID[7:1], The corresponding address of the 7-bit mode							SIDV[0]	0000 0000	uuuu uuuu	*****
TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	uuuu uuuu	*****
PT2M1	-	PM2.3[0]	-	-	-	-	-	-	0000 0000	uuuu uuuu	..,.,.,.,.,.,.

表 22-1 I²C 暫存器

INTE0/INTE1/INTF1 : 詳見 中斷, Interrupt 章節

CFGx : I²C 設置暫存器(Configuration Register)

位元	名稱	描述
Bit2	GCRst	I ² C 全呼復位使能控制 <0>關閉 <1>開啟 當 I ² C Slave 模式與 GCRst 功能同時被開啟時·如果 I ² C Controller 接收 General call ID 00h 並且第一筆資料為"06h"即為 General Call Reset 條件成立·此時原本會發送至本機處理器的中斷信號(Interrupt)將被重置信號(Reset)取代·提供外部主機可以經由 I2C Bus 重置本機晶片之功能。
Bit1	ENI2CT	開啟 I ² C 超時監控功能位元 0 : 關閉 <1>開啟 I ² C Time-out 監控功能
Bit0	ENI2C	開啟 I ² C 功能控制位元 <0>關閉 <1>開啟 I ² C 通訊介面 ※ 注意事項: 當 ENI2C 關閉時·將關閉 I ² C 內部的 Clock·除了 Configuration Register 可以進行寫入動作·其餘暫存器將無法寫入資料。

ACTx: 動作暫存器(Action Register)

位元	名稱	描述
Bit7	SLAVE	從機開啟控制 <0> 關閉 <1> 開啟

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

位元	名稱	描述
Bit4	I2CER	錯誤中斷旗標 <0> 正常，寫 0 將會清除錯誤中斷旗標，使 I ² C 往下一個狀態執行。 <1> 發生錯誤中斷
Bit3	START	開始命令位元 <0> 正常 <1> 於 I ² C Bus 產生 Start 信號
Bit2	STOP	停止命令位元 <0> 正常 <1> 於 I ² C Bus 產生 Stop 信號
Bit1	I2CINT	中斷旗標 <0> 正常，寫 0 將會清除中斷旗標，使 I ² C 往下一個狀態執行。 <1> 發生 I ² C 中斷
Bit0	ACK	ACK(Acknowledge)回覆位元 <0> 未回覆 ACK 或回覆 NACK <1> ACK 已回覆

STAx: I²C 狀態暫存器

位元	名稱	描述
Bit7	MACTF	主機模式啟用旗標(Master Mode Active Flag) <0> 未啟用 <1> 啟用
Bit6	SACTF	主機模式啟用旗標(Slave Mode Active Flag) <0> 未啟用 <1> 啟用
Bit5	RDBF	接收停止或重新開始旗標(Received Stop/Repeat-Start Flag) <0> 正常 <1> 接收停止或重新開始旗標已被發送或接收。
Bit4	RWF	讀寫狀態旗標(Read/Write State Flag) <0> 寫命令已被發送或接收。 <1> 讀命令已被發送或接收。
Bit3	DFF	資料旗標(Data Field Flag) <0> 正常 <1> I ² C 資料被發送或接收。
Bit2	ACKF	ACK 旗標(Acknowledge Flag) <0> ACK 未發送或接收。 <1> ACK 已發送或接收。

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



位元	名稱	描述
Bit1	GCF	General Call Flag <0> 正常 <1> Currently General Call Operation
Bit0	ARBF	仲裁漏失旗標(Arbitration Lost Flag) <0> 正常 <1> 仲裁漏失

CRGx: I²C 時脈控制暫存器

位元	名稱	描述
Bit7~0	CRGx[7:0]	I ² C Bus Data Baud Rate Control I ² C Bus 上的資料傳送是以 SCL 引腳上的時脈信號所決定，而 SCL 引腳上的時脈率可以由 I ² C 電路之時脈源的頻率 CPU_CK 與 CRG 經由下列公式計算： $\text{Data Baud Rate(Hz)} = \frac{\text{I2C_CK}}{[4 \times (\text{CRG}[7:0] + 1)]}$

TOCx: I²C 超時控制暫存器

位元	名稱	描述																																				
Bit7	I2CTF	超時旗標 <1> I ² C Bus Clock Stretching Time-out <0> Normal																																				
Bit6~4	DI2C[2:0]	Time-out Clock Pre-scale <table border="1"> <thead> <tr> <th>DI2C[2:0]</th> <th>Pre-scale</th> <th>DI2C[2:0]</th> <th>Pre-scale</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>CLKPS = CPU_CK / 1</td> <td>100</td> <td>CLKPS = CPU_CK / 16</td> </tr> <tr> <td>001</td> <td>CLKPS = CPU_CK / 2</td> <td>101</td> <td>CLKPS = CPU_CK / 32</td> </tr> <tr> <td>010</td> <td>CLKPS = CPU_CK / 4</td> <td>110</td> <td>CLKPS = CPU_CK / 64</td> </tr> <tr> <td>011</td> <td>CLKPS = CPU_CK / 8</td> <td>111</td> <td>CLKPS = CPU_CK / 128</td> </tr> </tbody> </table>	DI2C[2:0]	Pre-scale	DI2C[2:0]	Pre-scale	000	CLKPS = CPU_CK / 1	100	CLKPS = CPU_CK / 16	001	CLKPS = CPU_CK / 2	101	CLKPS = CPU_CK / 32	010	CLKPS = CPU_CK / 4	110	CLKPS = CPU_CK / 64	011	CLKPS = CPU_CK / 8	111	CLKPS = CPU_CK / 128																
DI2C[2:0]	Pre-scale	DI2C[2:0]	Pre-scale																																			
000	CLKPS = CPU_CK / 1	100	CLKPS = CPU_CK / 16																																			
001	CLKPS = CPU_CK / 2	101	CLKPS = CPU_CK / 32																																			
010	CLKPS = CPU_CK / 4	110	CLKPS = CPU_CK / 64																																			
011	CLKPS = CPU_CK / 8	111	CLKPS = CPU_CK / 128																																			
Bit3~0	I2CTLTLT[3:0]	Time-out Limit ; Time-out 的發生是以 CLKPS 計數 I2CTLTLT + 1 次後觸發 <table border="1"> <thead> <tr> <th>I2CTLTLT[3:0]</th> <th>Limit</th> <th>I2CTLTLT[3:0]</th> <th>Limit</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>1 x CLKPS Cycle</td> <td>1000</td> <td>9 x CLKPS Cycle</td> </tr> <tr> <td>0001</td> <td>2 x CLKPS Cycle</td> <td>1001</td> <td>10 x CLKPS Cycle</td> </tr> <tr> <td>0010</td> <td>3 x CLKPS Cycle</td> <td>1010</td> <td>11 x CLKPS Cycle</td> </tr> <tr> <td>0011</td> <td>4 x CLKPS Cycle</td> <td>1011</td> <td>12 x CLKPS Cycle</td> </tr> <tr> <td>0100</td> <td>5 x CLKPS Cycle</td> <td>1100</td> <td>13 x CLKPS Cycle</td> </tr> <tr> <td>0101</td> <td>6 x CLKPS Cycle</td> <td>1101</td> <td>14 x CLKPS Cycle</td> </tr> <tr> <td>0110</td> <td>7 x CLKPS Cycle</td> <td>1110</td> <td>15 x CLKPS Cycle</td> </tr> <tr> <td>0111</td> <td>8 x CLKPS Cycle</td> <td>1111</td> <td>16 x CLKPS Cycle</td> </tr> </tbody> </table>	I2CTLTLT[3:0]	Limit	I2CTLTLT[3:0]	Limit	0000	1 x CLKPS Cycle	1000	9 x CLKPS Cycle	0001	2 x CLKPS Cycle	1001	10 x CLKPS Cycle	0010	3 x CLKPS Cycle	1010	11 x CLKPS Cycle	0011	4 x CLKPS Cycle	1011	12 x CLKPS Cycle	0100	5 x CLKPS Cycle	1100	13 x CLKPS Cycle	0101	6 x CLKPS Cycle	1101	14 x CLKPS Cycle	0110	7 x CLKPS Cycle	1110	15 x CLKPS Cycle	0111	8 x CLKPS Cycle	1111	16 x CLKPS Cycle
I2CTLTLT[3:0]	Limit	I2CTLTLT[3:0]	Limit																																			
0000	1 x CLKPS Cycle	1000	9 x CLKPS Cycle																																			
0001	2 x CLKPS Cycle	1001	10 x CLKPS Cycle																																			
0010	3 x CLKPS Cycle	1010	11 x CLKPS Cycle																																			
0011	4 x CLKPS Cycle	1011	12 x CLKPS Cycle																																			
0100	5 x CLKPS Cycle	1100	13 x CLKPS Cycle																																			
0101	6 x CLKPS Cycle	1101	14 x CLKPS Cycle																																			
0110	7 x CLKPS Cycle	1110	15 x CLKPS Cycle																																			
0111	8 x CLKPS Cycle	1111	16 x CLKPS Cycle																																			

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

RDBx: 接收資料暫存器

位元	名稱	描述
Bit7~1	RDBx[7:1]	內容為接收位址(A7~A1)或資料(D7~D1)
Bit0	RDBx[0]	內容為接收讀寫命令或資料(D0)

TDBx: 傳送資料暫存器

位元	名稱	描述
Bit7~1	TDBx[7:1]	內容為傳送位址(A7~A1)或資料(D7~D1)
Bit0	TDBx[0]	內容為傳送讀寫命令或資料(D0)

※ 注意事項: 在通訊過程中當本機屬於非傳送 Address 或 Data 的狀態時必須將此暫存器設為 FFh。因為 TDB0 的 Bit 7 為 0 有可能將 SDA Bus 鎖死於 Low。

SID0: 從機模式 ID 碼設置暫存器

位元	名稱	描述
Bit7~1	SID[7:1]	從機 ID 碼(A7~A1)
Bit0	SIDV[0]	從機 ID 碼有效控制 <0> 從機 ID 碼無效 <1> 從機 ID 碼有效

23. 非同步串列通訊介面,Enhanced Universal Asynchronous Receiver

Transmitter

增強型非同步收發器 Enhanced Universal Asynchronous Receiver Transmitter,EUART 週邊通常也稱為串列通信介面或 SCI，EUART 可以被配置為能與 CRT 終端和個人電腦等外設通信的全雙工非同步系統；也可以被配置成能夠與 A/D 或 D/A 積體電路、串列 EEPROM 等外設通信的半雙工同步系統。

增強型 EUART 是在標準型 UART 的基礎上增加了幀(Frame)錯誤檢測和自動位址識別兩種功能，幀錯誤檢測通過檢測一幀資訊的停止位元來判斷該幀是否有效。自動位址識別功能自動將收到的位址幀內容與單片機的位址進行比較，只有匹配時才產生串列中斷。此版的這兩個功能前者由內置硬體電路完成後者由使用者軟體達成。

EUART 可以配置為以下幾種工作及偵錯模式：

- 帶有以下功能的全雙工非同步模式：
 - 傳輸速率發生器
- 偵錯模式
 - 幀(Frame)錯誤檢測³
 - 溢出 (Overrun) 錯誤檢測⁴
 - 硬體同位元檢查碼
- 資料傳輸與接收
 - 非同步發送(8 位或 9 位)
 - 非同步接收(8 位或 9 位)
- 字元接收自動喚醒功能

EUART 暫存器摘要：

URxCN	ENSP[0],ENTX[0],TX9[0],TX9D[0],PARITY[1:0]
URxSTA	RC9D [0],PERR[0],FERR[0],OERR[0],RCIDL[0],TRMT[0],ABDOVF[0]
BxNCN	ENCR[0],RC9[0],ENADD[0],ENABD[0]
BRxGR[15:0]	BGxRH[7:0], BGxRL[7:0]
TXxR	TXxR[7:0]
RCxREG	RCxREG[7:0]

³ 幀錯誤檢測(FERR)：UART 沒有收到起始位元，亦即收到不知從何時開始到何時結束的訊號時稱之；這通常由訊號線上的雜訊引起，會使 UART 無法在移位暫存器上得到正確資料。

⁴ 溢出錯誤檢測(OERR)：最近的一筆資料已覆蓋先前未取走的資料。

23.1. EUART 使用說明

23.1.1. 非同步資料發送設置步驟(x=0 or 2)

- 將 ENSP 置為 1 後，IC 會將相對的 I/O 自動切換為 UART 腳位。
- 配置 INTE_x 暫存器 TXIE 位元及 INTE0 暫存器 GIE 位元決定是否允許傳送中斷致能。(INTF_x 暫存器 TXIF 位元預設為 High，相關中斷致能須確定後再設定)。
- 配置 BG_xRH, BG_xRL 暫存器，決定合適的鮑率值。
- 配置 URXCN 暫存器 ENSP 位元啟動 EUART 串列 I/O 模組。
- 配置 URXCN 暫存器 TX9 位元決定是否啟動第 9 位資料發送功能。(若啟動第 9 位資料發送功能，則須將該資料填入 TX9D 位元中。第 9 位位元可以是位址或是資料)。
- 配置 URXCN 暫存器 ENTX 位元啟動資料傳送功能。
- 寫入 TX_xR 暫存器，決定傳送資料。(寫入後啟動發送)

23.1.2. 非同步資料接收設置步驟(x=0 or 2)

- 將 ENSP 置為 1 後，IC 會將相對的 I/O 自動切換為 UART 腳位。
- 配置 INTE1, 暫存器 RCIE 位元及 INTE0 暫存器 GIE 位元決定是否允許接收中斷致能。
- 配置 BG_xRH, BG_xRL 暫存器，決定合適的鮑率值。
- 配置 UR_xCN 暫存器 ENSP 位元啟動 EUART 串列 I/O 模組。
- 配置 BA_xCN 暫存器 RC9 位元決定是否啟動第 9 位資料接收功能。
- 配置 BA_xCN 暫存器 ENCR 位元啟動資料接收功能。
- 讀取 UR_xSTA 暫存器 RC9D 位元用以擷取接收資料第 9 位數據(RC9 設置情形下)，並判斷接收過程是否發生錯誤。
- 讀取 RC_xREG 暫存器用以擷取接收資料共 8 位數據。
- 讀取 UR_xSTA 暫存器 FERR 位元是否被設置，確定讀取資料是否錯誤，可透過清除 ENCR 位解除 FERR 位元。

23.1.3. 非同步資料接收(9 位元, RS-485 模式) 設置步驟(x=0 or 2)

- 將 ENSP 置為 1 後，IC 會將相對的 I/O 自動切換為 UART 腳位。
- 配置 BG_xRH, BG_xRL 暫存器，決定合適的鮑率值。
- 配置 UR_xCN 暫存器 ENSP 位元啟動 EUART 串列 I/O 模組。
- 配置 BA_xCN 暫存器 RC9 位元否啟動第 9 位資料接收功能。
- 配置 BA_xCN 暫存器 ENADD 位元致能位址檢測功能。
- 配置 BA_xCN 暫存器 ENCR 位元啟動資料接收功能。
- 配置 INTE_x, 暫存器 RCIE 位元及 INTE0 暫存器 GIE 位元決定是否允許接收中斷致能。當資料接收完成時 RCIF 位元將被設置。
- 讀取 UR_xSTA 暫存器 RC9D 位元用以擷取接收資料第 9 位數據(RC9 設置情形下)，並判斷接收過程是否發生錯誤。
- 讀取 RC_xREG 暫存器用以擷取接收資料共 8 位數據。

- 讀取 URxSTA 暫存器 FERR 位元是否被設置，確定讀取資料是否錯誤，可透過清除 ENCR 位解除 FERR 位元。
- 配置 BAxCN 暫存器 ENADD 位元用以關閉位址檢測，使得下一筆資料接收。

23.2. 串列傳輸鮑率發生器 (BRG)

BRG 是一個專用的 13 位元發生器，支援 EUART 的非同步模式。BGxR[15:0]暫存器是一個獨立運行計時器的週期控制器。表 23-1 為串列傳輸鮑率計算公式，但僅適用於主控模式。

在給定目標串列傳輸鮑率且工作時脈為 CPU_CK 的情況下，可以使用表 23-1 中的公式計算 BGxR[15:0] 暫存器中的近似整數值，從而確定串列傳輸鮑率誤差。範例 23-1 描述出串列傳輸鮑率與誤差率的計算方式。

BRG/EUART MODE	串列傳輸鮑率計算公式
13 位元/非同步	$CPU_CK \div [4(n + 1)]$
CPU_CK = 工作頻率； n = BGxRH:BGxRL 暫存器對的值	

表 23-1 串列傳輸鮑率公式

工作在非同步模式下，其工作頻率為 CPU_CK (2MHz)，而目標串列傳輸鮑率為 9600bps。求解 BGxR[15:0]=< ? >即 BGxRH[7:0]:BGxRL[7:0]=< ? >

已知公式：目標串列傳輸鮑率 = CPU_CK 標(4 (<BRGR[15:0]>+1))：

故 BGxR[15:0] = ((CPU_CK÷目標串列傳輸鮑率)÷4)-1

= ((2000000÷9600)÷4)-1

= 51.08

≈51 即 BGxRH[7:0]=<00>，BGxRL[7:0]=<33>；註 33 為 16 進制

而實際上 BRG 計算結果為：實際串列傳輸鮑率 = 2000000÷4(51+1)) = 9615.38

所以存在一定誤差，其計算方式為：

誤差率 = (實際串列傳輸鮑率-目標串列傳輸鮑率)/目標串列傳輸鮑率

= (9615-9600)/9600

= 0.16%

範例 23-1 計算串列傳輸鮑率誤差

23.2.1. 功耗管理模式下的操作

晶片時脈用於產生所需的串列傳輸鮑率。當進入一種功耗管理模式時，新時脈源可能會工作在一個不同的頻率下。這可能需要調整 BGxR[15:0]暫存器中的值。

23.2.2. RC 取樣方式

取樣電路會在傳輸鮑率週期的中心點進行取樣，以判定 RC 引腳上出現的是高電位還是低電位。

23.2.3. 自動鮑率

EUART 模組支援自動檢測和校準功能，亦可稱之為自動鮑率。自動鮑率必須在喚醒啟用控制器 WUE[0] 設置 0 時才有效，並將自動鮑率啟用控制器 ENABD[0]設置 1 即可啟用。

在接收到開始狀態後，即開始進行自動波特率檢測功能(接收值必須為 055H，且不能是偶同位檢驗)。在自動檢測和校準完成後會將計算出了結果寫入 BGxRH[7:0]與 BGxRL[7:0]，相關時序如圖 23-1。

當 BGxR[15:0]計算滿出時即其內容由 01FFFH 到 00000H 產生溢位，則自動包率溢位旗標 ABDOVF[0]會被置 1，使用者可以利用指令將 ABDOVF[0]設置 0 或透過 ENABD[0]設置 0 以讓 ABDOVF[0]置 0。在 ABDOVF[0]置 1 後，ENABD[0]的狀態仍會保持在 1，相關時序如圖 23-2。

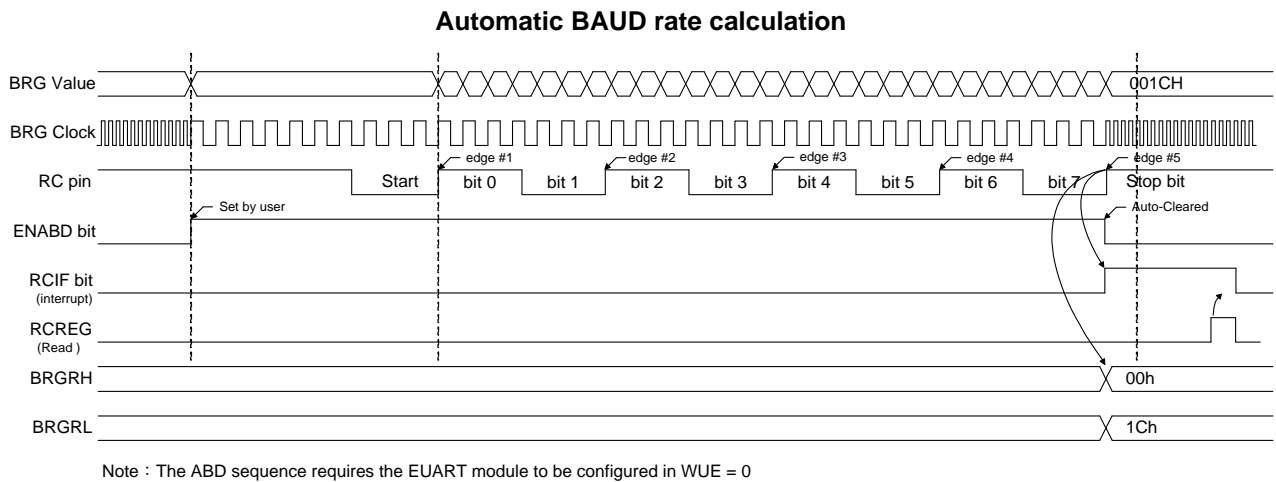


圖 23-1 自動鮑率計算波形

BRG Overflow Sequence

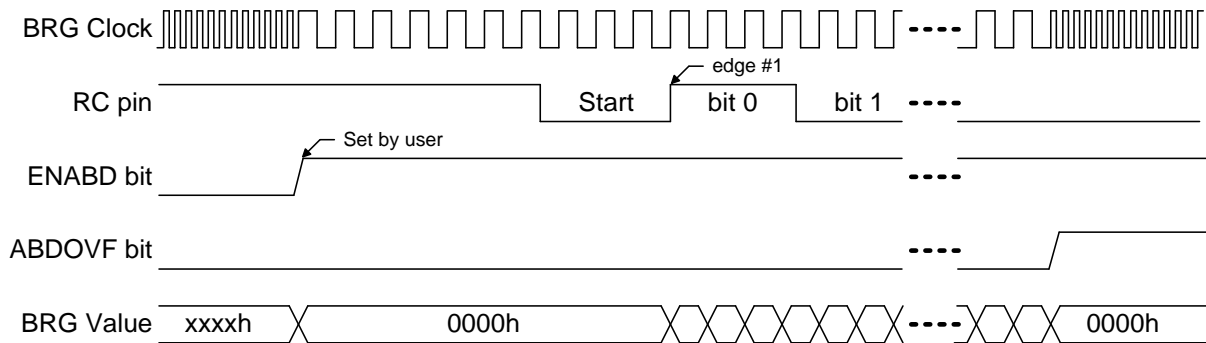


圖 23-2 自動鮑率溢位(ABDOVF)波形

23.3. 硬體同位元檢查

EUART 支援硬體奇偶校驗功能，校驗位元保存在第 9 個資料位元中。使用時依使用者暫存器設定而進行同位元檢查(ENADD[0]=0)，相關設定如表 23-2

傳送/接收 8/9 位元資料		PARITY	狀態
TX9	RC9		
0	0	0	傳送/接收資料無同位元檢查訊息
0	0	1	傳送/接收資料無同位元檢查訊息
0	1	0	接收資料具同位元檢查功能，偶同位
0	1	1	接收資料具同位元檢查功能，奇同位
1	0	0	傳送資料具同位元檢查碼，偶同位
1	0	1	傳送資料具同位元檢查碼，奇同位
1	1	0	
1	1	1	

註：當 RC9[0]設置 1 時，啟用同位元檢查功能而當奇偶同位錯誤時 PERR[0]置 1。
假使 RC9[0]與 ENADD[0]同時設置 1，則忽略 PERR[0]錯誤位元的值。

表 23-2 同位元檢查狀態表

23.4. EUART 非同步模式

此模式使用標準的“不歸零”(Non-Return-to-Zero, NRZ)格式，即是 1 個起始位元加上 8 個或 9 個資料位元最後為 1 個停止位，最常用的資料格式為 8 位元。而晶片上專用 13 位元串列傳輸速率發生器，可借助於工作時脈振盪器產生標準串列傳輸速率頻率。

再者，EUART 首先發送和接收的資料是最低有效位，發送器和接收器在功能上是各自獨立的，但採用相同的資料格式和串列傳輸速率。其更支援硬體奇偶校驗功能，校驗位元會保存在第 9 個資料位元中。

23.4.1. EUART 非同步發送器 (UART TXIF/RCIF flag 由 0->1 發生中斷)

圖 23-3 為 EUART 發送器的時序圖。發送器的核心是以串列方式發送移位暫存器 (Transmit Shift Register, TSR) 內的資料，而使用者是無法讀/寫 TSR。

TSR 從讀/寫發送緩衝暫存器 TXxR[7:0]中獲取資料。TXxR[7:0]暫存器中的資料由軟體寫入，在前一次載入的停止位發送完成前，不會再向 TSR 暫存器載入資料；一旦停止位元發送完畢，TXxR 暫存器中的新資料（如果有的話）就會被載入 TSR。一旦 TXxR 暫存器向 TSR 暫存器傳輸了資料，TXxR 暫存器就為空（未再次有寫入動作），同時標誌位元 TXIF 由 1 置 0（當 URXCN 暫存器 ENTX 位元被設置之後，TXIF 位元將被設置為 1）。而 TXIF 不會在 TXxR 裝入新資料時立即被清零，而是在裝入新資料後的第二個指令週期被清零。當 TXIF 被置 0 之後，會在一個指令週期後再被置 1。可以通過將中斷允許位 TXIE 置 1 或清零來允許/禁止該中斷。不管 TXIE 的狀態如何，只要中斷發生，TXIF 就會由 1 置 0 並且不能由軟體清零，並且會在一個指令週期後再被置 1。倘若此時 TSR 暫存器內的資料尚未發送完畢，TXxR 暫存器又被寫入資料，則在裝入新資料後的第二個指令週期後 TXIF 會再被清零並維持到 STOP BIT 發生時才會被置 1。

因此在 TXxR 裝入新資料後立即查詢 TXIF，其回傳的值是不可參考。TXIF 表示的是 TXxR 暫存器的狀態，而另一個位元 TRMT 則表示 TSR 暫存器的狀態。TRMT 是唯讀位，它在 TSR 暫存器為空（未再次有載入動作）時被置 1。TRMT 位元與任何中斷邏輯均無關聯，因此要確定 TSR 暫存器是否為空，用戶只能對此位進行查詢。而資料非同步發送時序圖可參考下圖 23-4，圖 23-5 說明

- UART 動作除了讀寫以外，與 CPU 指令週期無關
- TXIF,RCIF 表示中斷用途，與其他任何事件無關
- 要用 CPU 去檢視周邊元件時，須先注意相對操作速度

EUART TRANSMIT BLOCK DIAGRAM

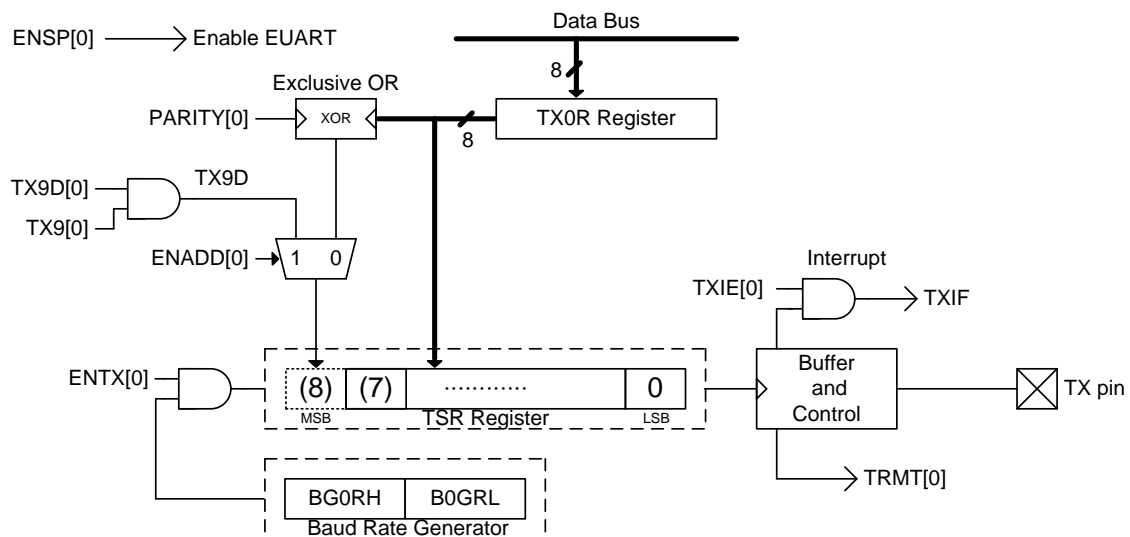


圖 23-3 EUART 傳送方塊圖

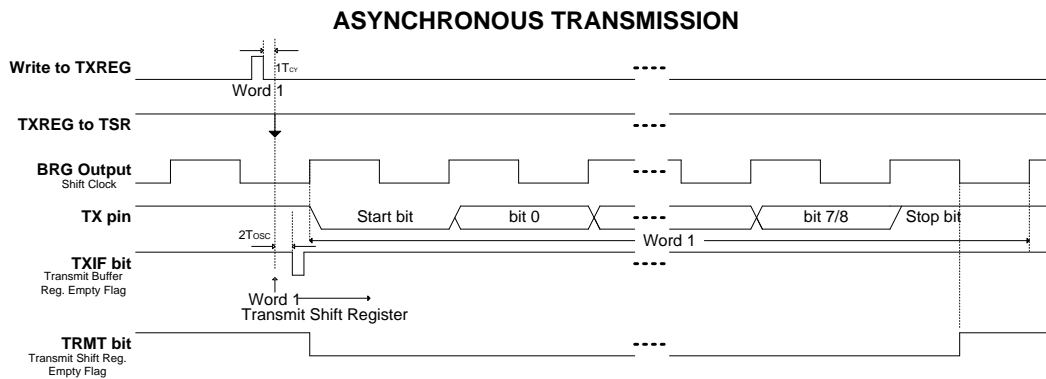


圖 23-4 非同步發送時序圖

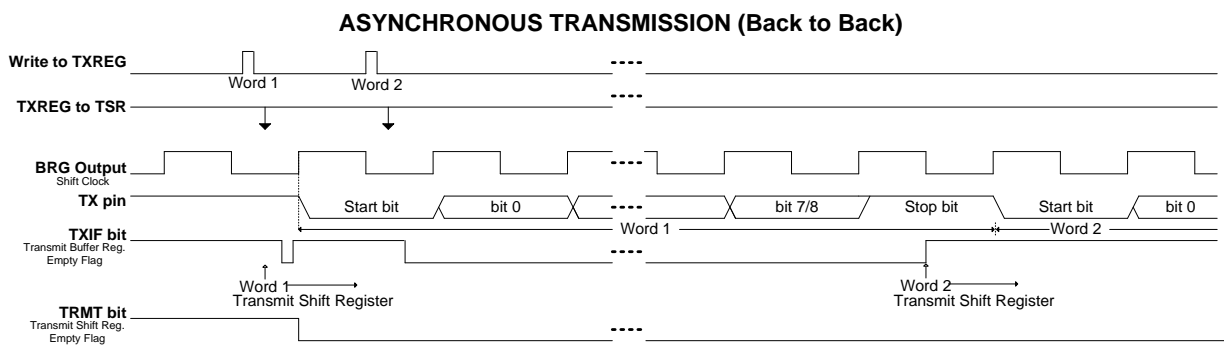


圖 23-5 非同步發送時序(背對背)

■ EUART 非同步接收器

圖 23-6、圖 23-7 顯示了接收器的方塊圖。圖 23-8 顯示了非同步接收時序。在 RC 引腳上接收資料，並驅動資料恢復電路。資料恢復電路實際上是一個以 13 位元串列傳輸速率為工作頻率的高速移位元器，而主接收串列移位元器的工作頻率等於速率或 OSC_RC2M。此模式通常用於 RS-232 系統。

若 RC 引腳接收資料時未接收到完整位元組(開始、8(9)位元資料、結束)，FERR 位元將被設置為 1，可透過清除 ENCR 位元清除 FERR 位元。

當 RC 引腳已經接收到 2 筆完整位元組資料後(皆未從 RCxREG 暫存器中將資料讀出)，OERR 位元將被設置為 1，可透過清除 ENCR 位元清除 OERR 位元。

當完整資料接收完成時，INTF2 暫存器 RCIF 位元將會被設置，而 RCIF 位元被設置時將無法使用指令進行清除，執行讀取 RCxREG 暫存器的動作將可以清除 RCIF 狀態。

URxSTA 暫存器 RCIDL 位元反應是否處於接收狀態。使用者間接由此判斷資料接收是否完成。

資料接收時，硬體將會針對接收的 8 位元資料進行互斥或運算(exclusive or)。若 RC9 設置為 1 時，將針對包含接收到的 RC9D 資料(共 9 位元)進行互斥或運算(exclusive or)。運算後再與使用者設定的 PARITY 位元再次進行互斥或運算(exclusive or)，並將運算結果顯示在 PERR 位元。若接收資料正確，則 PERR 設定為 0。若接收資料錯誤，則 PERR 設定為 1。PERR 位元無法使用指令清除，在下一筆資料接收正確時，PERR 將會被設置為 0。

EUART 8-BITS RECEIVE BLOCK DIAGRAM

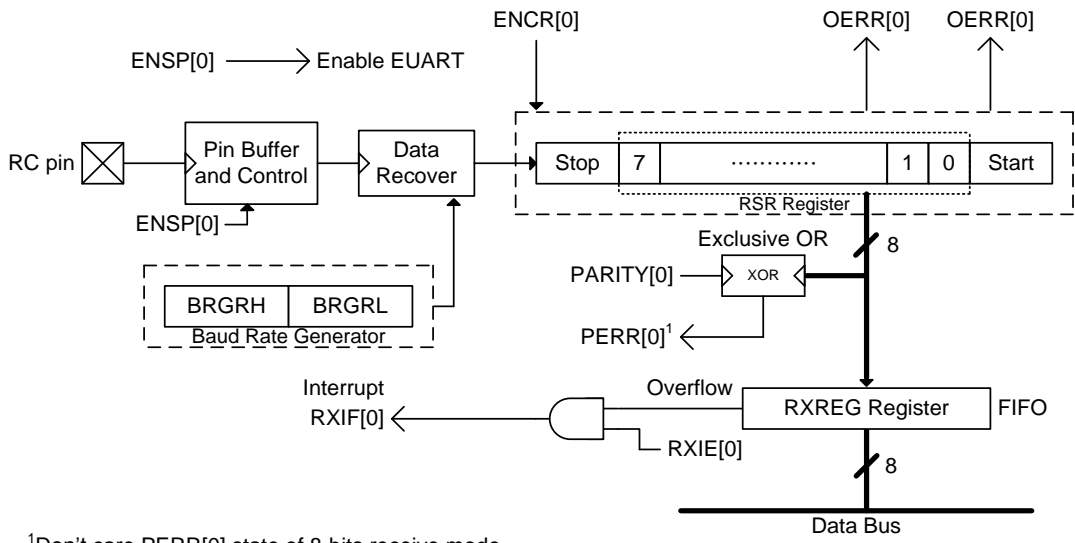


圖 23-6 EUART 8-bits 接收方塊圖

EUART 9-BITS RECEIVE BLOCK DIAGRAM

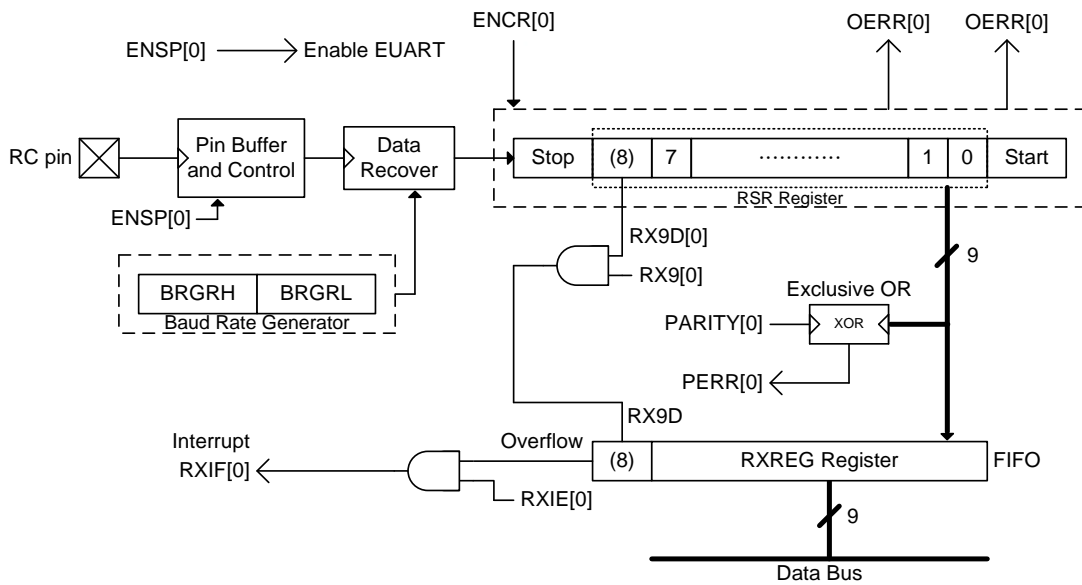


圖 23-7 EUART 9-bits 接收方塊圖

ASYNCHRONOUS RECEPTION

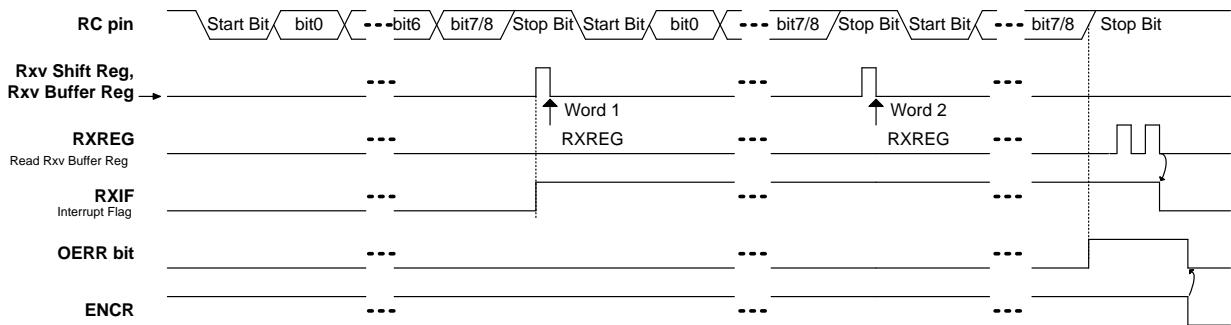


圖 23-8 非同步接收時序

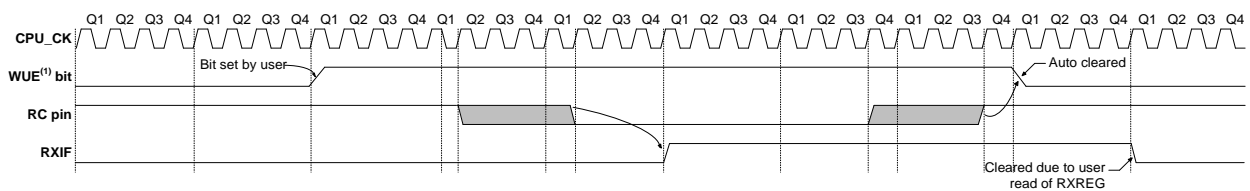
■ 位址檢測功能的 9 位元模式

此模式通常用於 RS-485 系統。可依照 EUART 使用說明章節配置帶有位址檢測功能的非同步接收操作。使用者可透過 BAXCN 暫存器 ENADD 位元設置決定為位址檢測或是資料檢測。

■ 字元接收自動喚醒

在休眠(sleep)或等待 (idle) 模式下，EUART 的所有時脈源都會暫停。因此，串列傳輸速率發生器處於非啟動狀態 (ILDE UART 會動作)，並且無法進行正確的位元組接收。自動喚醒功能允許在 RC 線上有事件發生時喚醒控制器，該功能需要 EUART 工作在非同步模式下通過將 URXCN 暫存器 WUE 位元設置 1 (Sleep 需要置 1，Idle 不需要)，致能自動喚醒功能。該功能啟用後，將禁止 RC 上的典型接收操作，且 EUART 保持在空閒狀態並監視喚醒事件 (與 CPU 運行模式無關)。喚醒事件是指 RC 線上發生高電位到低電位的轉換。在喚醒事件後，模組會產生一個 RCIF 中斷，在正常工作模式下中斷會與 Q 時脈同步產生，可參考下圖 23-9；如果晶片處於休眠或等待模式，則兩者不同步，可參考下圖 23-10 說明。通過讀 RCxREG 寄存器可清除中斷條件。喚醒事件後，當 RC 線上出現由低向高的電位轉換時，WUE 位自動清零。此時，EUART 模組將從空閒狀態返回正常工作模式。由此用戶可知事件已經結束。

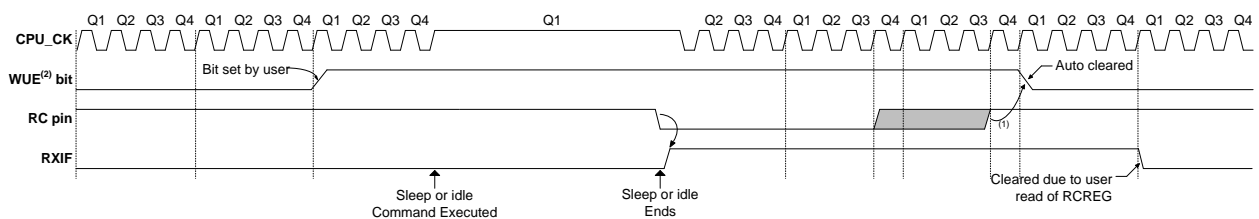
AUTO-WAKE-UP BIT (WUE) TIMINGS DURING NORMAL OPERATION



Note : ⁽¹⁾ The EUART remains in Idle while the WUE bit is set.

圖 23-9 正常模式下自動喚醒時序

AUTO-WAKE-UP BIT (WUE) TIMINGS DURING SLEEP OR IDLE



Note : ⁽¹⁾ If the wake-up event requires long oscillator warm-up time, the auto-clear of the WUE bit can occur before the oscillator is ready. This sequence should not depend on the presence of Q clocks.
⁽²⁾ The EUART remains in Idle while the WUE bit is set.

圖 23-10 休眠或等待模式下自動喚醒時序

- 使用自動喚醒功能的注意事項

因為自動喚醒功能是通過檢測 RC 上的上升沿跳變實現的，所以在停止位前該引腳上任何的狀態改變都可能會產生錯誤的結束信號並導致資料或幀錯誤。因此，為了確保正確的傳輸，必須首先發送全 00H。(如果是 9bit 必須 9 個 bit 都是 0)

另外還必須考慮振盪器起振時間，尤其在採用起振延遲較長的振盪器應用中更要注意這一點。或喚醒信號字元必須足夠長，並且跟有足夠長的時間間隔，以便使選定振盪器有充足的時間起振並保證 EUART 正確初始化。

- 使用 WUE 位的注意事項

WUE 和 RCIF 事件的時序來判斷接收資料的有效性可能會引起混淆。如前所述，將 WUE 位置 1 會使 EUART 進入空閒模式。喚醒事件會產生一個接收中斷，並將 RCIF 位置 1。此後當 RC 出現上升沿時 WUE 位被清零。然後通過讀 RCxREG 寄存器清除中斷條件。

一般情況下，此時喚醒後 RCxREG 中的資料是無效資料，應該丟棄。WUE 位清零 (或仍然置 1) 且 RCIF 標誌位置 1 並不能表明 RCxREG 中資料接收是完整的。用戶應該考慮使用固件驗證是否完整地接收了資料。要確保沒有丟失有效資料，應檢查 RCIDL 位元來驗證是否還在接收資料。如果不在進行接收，則可將 WUE 位置 1，使晶片立即進入休眠模式。

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



23.5. 暫存器說明- UART1/2

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
INTE0	GIE	-	ADIE	WDTIE	TB1IE	TMAIE	E1IE	E0IE	0000 0000	0uuu uuuu	* * * * *
INTE1	-		TXIE	RCIE					0000 0000	uuuu uuuu	* * * * *
INTF1	-	SPIIF	TXIF	RCIF	I2CERIF	I2CIF	E3IF	E2IF	0000 0000	uuuu uuuu	* * * * *, r, r, *
UR0CN	ENSP	ENTX	TX9	TX9D	PARITY	-	-	WUE	0000 0..0	uuuu u..u	* * * * *, *, -, *
UR0STA	-	RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0010	.uuu uuuu	-, r, r, r, r, r, r, w0
BA1CN	-	-	-	-	ENCR	RC9	ENADD	ENABD 0000 uuuu	-, -, -, -, *, *, *
BG1RH	-	-	-	Baud Rate Generator Register High Byte					...x xxxx	...u uuuu	-, -, -, *, *, *, *
BG1RL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	* * * * *, *, *, *
TX1R	UART Transmit Register								xxxx xxxx	uuuu uuuu	* * * * *, *, *, *
RC1REG	UART Receive Register								xxxx xxxx	uuuu uuuu	r, r, r, r, r, r, r, r
UR2CN	ENSP	ENTX	TX9	TX9D	PARITY	-	-	WUE	0000 0..0	uuuu u..u	* * * * *, *, -, *
UR2STA	-	RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0010	.uuu uuuu	-, r, r, r, r, r, r, w0
BA2CN	-	-	-	-	ENCR	RC9	ENADD	ENABD 0000 uuuu	-, -, -, -, *, *, *
BG2RH	-	-	-	Baud Rate Generator Register High Byte					...x xxxx	...u uuuu	-, -, -, *, *, *, *
BG2RL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	* * * * *, *, *, *
TX2R	UART Transmit Register								xxxx xxxx	uuuu uuuu	* * * * *, *, *, *
RC2REG	UART Receive Register								xxxx xxxx	uuuu uuuu	r, r, r, r, r, r, r, r

表 23-3 UART1/2 暫存器

INTE0/INTE1/INTF1: 詳見 中斷, Interrupt 章節

URxCN: UART1/2 控制暫存器(x=0 or 2)

位元	名稱	描述
Bit7	ENSP	UARTx 端口功能致能位元 <0> 關閉 UARTx 端口，並將 TX, RC 引腳組態為 I/O 使用 <1> 啟動 UARTx 端口，並將 TX, RC 引腳組態為 UARTx 端口使用 註：當啟動 UARTx 串行端口之後，須適當配置輸入或輸出腳位使用。
Bit6	ENTX	UARTx 傳送功能致能位元 <0> 關閉 <1> 啟動
Bit5	TX9	傳送第 9 位元功能致能 <0> 關閉 <1> 啟動
Bit4	TX9D	傳送第 9 位元資料 <0> 資料為“0” <1> 資料為“1”
Bit3	PARITY	奇/偶同位檢查設定 <0> 偶同位檢查 <1> 奇同位檢查

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

Bit0	WUE	字元接收自動喚醒致能位元 <0> 關閉 <1> 啟動
------	-----	----------------------------------

URxSTA: UART1/2 狀態暫存器

位元	名稱	描述
Bit6	RC9D	接收第 9 位元資料 <0> 資料為"0" <1> 資料為"1"
Bit5	PERR	資料同位檢查結果旗標 <0> 接收同位檢查正確 <1> 接收同位檢查錯誤
Bit4	FERR	UART 資料接收不完整(開始、8(9)位元資料、結束)旗標 <0> 表示資料接收完整 <1> 表示資料接收不完整
Bit3	OERR	已接收到 2 筆資料未處理狀態旗標 <0> 未發生 <1> 已發生
Bit2	RCIDL	反應是否為接收狀態旗標 <0> 在接收狀態 <1> 不在接收狀態
Bit1	TRMT	表示傳送移位暫存器(TSR)狀態旗標 <0> 表示 TSR 暫存器有資料 <1> 表示 TSR 暫存器為空的
Bit0	ABDOVF	自動鮑率溢位旗標 <0> 未發生 <1> 已發生

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

BAxCN: UART 接收資料控制暫存器

位元	名稱	描述
Bit3	ENCR	資料接收功能致能位元 <0> 關閉。 <1> 啟動。
Bit2	RC9	接收第 9 位元功能致能位元 <0> 關閉 <1> 啟動。
Bit1	ENADD	位址檢測位元 <0> 關閉。 <1> 啟動。
Bit0	ENABD	自動鮑率控制器致能位元 <0> 關閉。 <1> 啟動。

BRxRH/BRxRL: Baudrate1/2 控制暫存器

TXxR: UART1/2 資料傳送暫存器

RCxREG: UART1/2 資料接收暫存器

24. 內建 EPROM, Build-In EPROM

Build-In EPROM(BIE)功能可儲存產品序號、安全密碼、程式運算後產生的數據資料...等，外部硬體僅需外接 VBIE 為 8.5V 或 7.75V(HY17P51)電壓於 VPP/RST 引腳，或使用低壓燒錄控制電路，並搭配燒錄指令使用此功能。HY17P 系列儲存位址範圍 00H~3FH 共 64 words 同等於 128 bytes，視各晶片不同 Build-In EEPROM 大小也會不同。

當使用外部 VBIE 電源(8.5V 或 7.75V)燒錄 BIE 區塊時，可以透過指令一次燒錄一個字組(word)資料于 BIE 區塊內；當使用 HY17P 系列晶片啟動低壓燒錄控制電路時，則不需外接 VBIE 電源仍可燒錄 BIE 區塊，但須呼叫燒錄副程式(LV17PWRBIE)才能進行燒錄；每次呼叫燒錄副程式進行燒錄動作，僅能燒錄一個字組(word)資料，所花費時間約 500msec。

BIE 暫存器摘要：

BIECN	ENBVD[0], VPPHV[0], ENBCP[0], BIEWR[0], BIERD[0]
BIEARH	ENBIE[0]
BIEARL	BIE_ADDR[5:0]
BIEDH	BIE_DATA[15:8]
BIEDL	BIE_DATA[7:0]

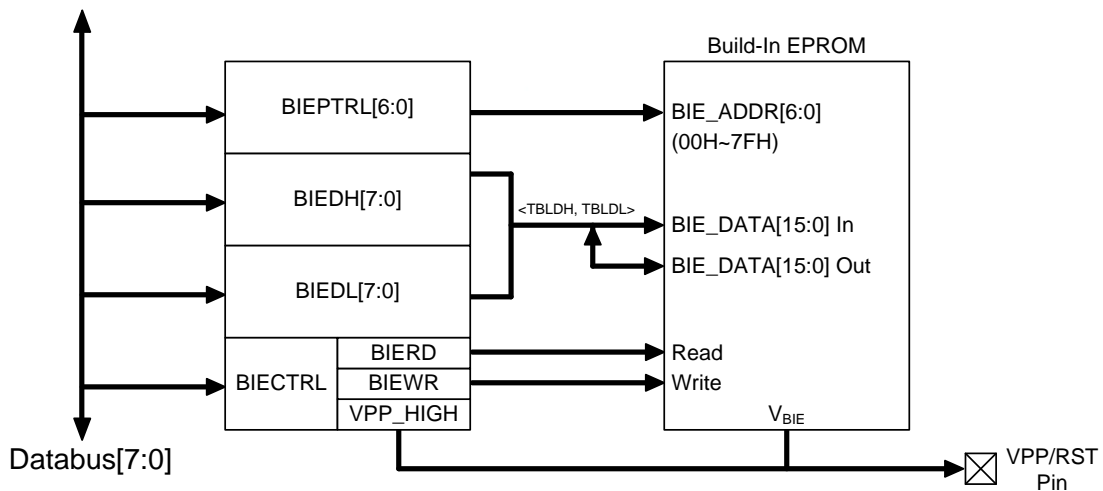


圖 24-1 BIE 方塊圖

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller

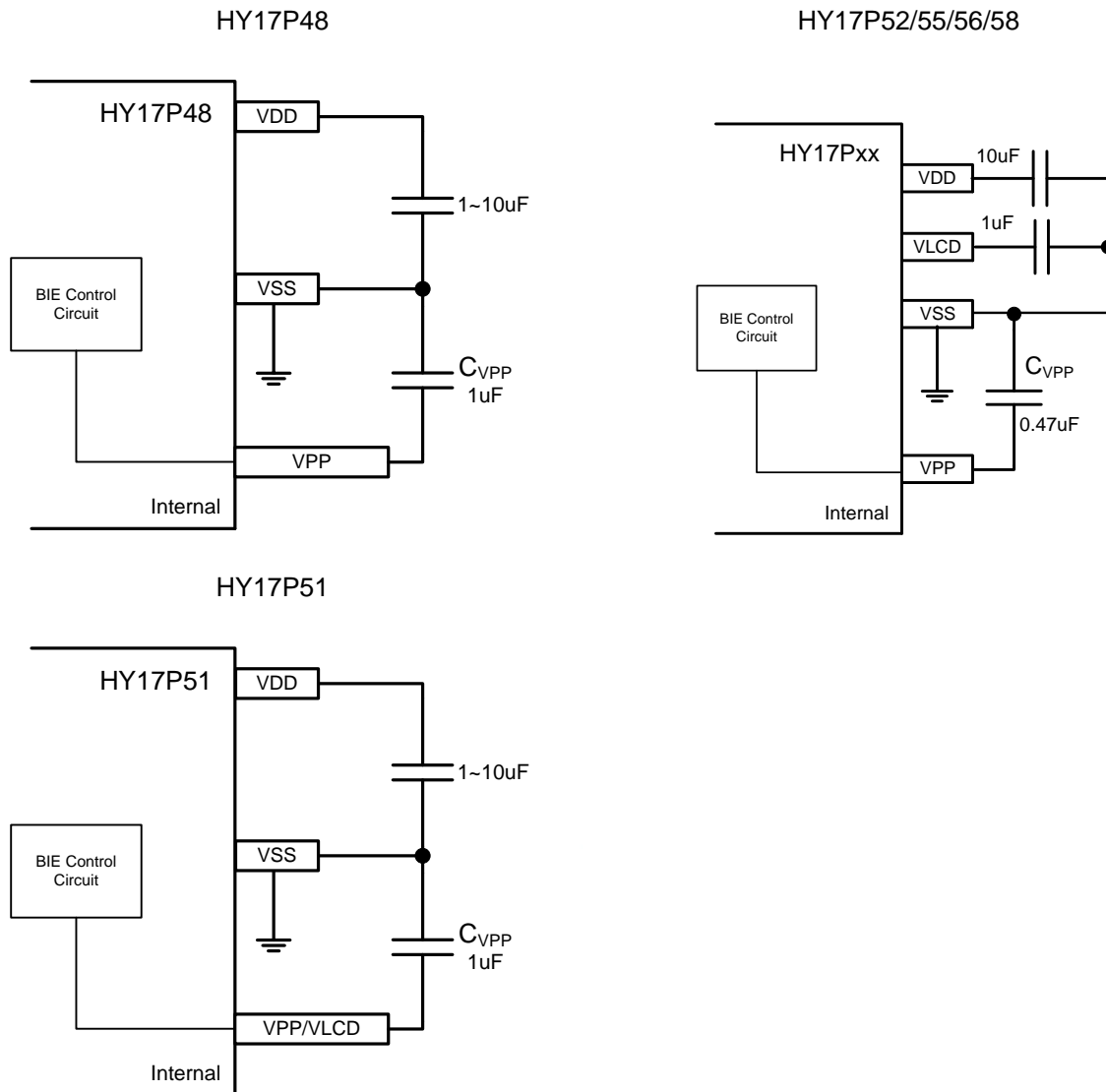


圖 24-2 BIE 昇壓方塊圖

24.1. 暫存器說明- BIE

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W	
BIECN	1			ENBVD	VPPHV	ENBCP	BIEWR	BIERD	1... \$000	1... \$uuu	r1,-,-,r,-,*,*	
BIEARH	-		1	1	1	1	1	1	0... xxxx	u... uuuu	*,-,-,*,-,*,-,*	
BIEARL			BIE Address Register as BIEAL[5:0]							xxxx xxxx	uuuu uuuu	*,-,-,*,-,*,-,*
BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu	*,-,-,*,-,*,-,*	
BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu	*,-,-,*,-,*,-,*	

表 24-1 BIE 暫存器

BIECN: BIE 控制暫存器

位元	名稱	描述
Bit4	ENBVD	BIE 電壓偵測控制暫存器 <0> 關閉 <1> 啟用
Bit3	VPPHV	used to indicate if BIE voltage is good for OTP programming. It is a flag for MCU. Notice it needs to set ENBVD=1 first <0> Not ready (lower than 8.5V) <1> Ready (over 8.5V) Check VPP <0> VPP 未外接燒錄電源 8.5V <1> VPP 已外接燒錄電源 8.5V
Bit2	ENBCP	BIE charge pump 啟用控制暫存器 <0> 關閉 <1> 啟用
Bit1	BIEWR	寫入 EPROM 控制位元 <0> 不可寫入 <1> 可寫入
Bit0	BIERD	讀取 EPROM 控制位元 <0> 不可讀取 <1> 可讀取

BIEARL: EPROM Low Byte 位址定義

BIEAL[5:0]: OTP address

BIEDH: EPROM High Byte 資料定義

BIEDL: EPROM Low Byte 資料定義

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC
8-Bit RISC-like Mixed Signal Microcontroller



25. 修訂記錄

以下描述本文件差異較大的地方，而標點符號與字形的改變不在此描述範圍。

文件版次	日期	頁次	摘要
V01		All	初版發行
V02		All	更新各功能說明
V03		21~29	暫存器列表
		30~36	CPU 及周邊電路時脈章節
		97~114	修改 PWM 說明
		119~135	類比數位轉換器 Σ ADC 章節
		157	LCD 暫存器描述
V04		132~133	修改 TPS 使用說明
		53~77	修改 LCD IP 相關描述
		158~166	修改 LCD IP 相關描述
		198~202	修正 UART 操作描述
		154~157	修正可程式放大 PGA 說明
		82	修正 HY17P48 LVD 使用方式
		150~154	修改 OPAMP1 網路說明
		156~159	修改 LNOP2 網路說明
V05	2020/4/24	131~136	修改 TPS 操作說明，並增加 HY17P48/58 描述
		161~165	修改 LCD 操作說明，主要增加 LCDPU 功能描述因應 RE 測試需求
			修改 SPI 說明，並移除沒有的暫存器
		159	修正 OPDIEN 描述
		151-160	修改 R2ROP、LNOP 通道與說明
		140	補充 HY17P48 INN=A13 應用限制
V06	2020/9/8	80	補充 LED 定電流操作說明
			補充 3.4 章節功率消耗管理與操作狀態
		38、87	修正 WDT 頻率源說明
	2021/1/5	33、34	新增 HY17P51 暫存器列表
		129~147	新增 HY17P51 ADC 說明
		213	新增 HY17P51 BIE 說明
	2021/2/2	87	修正 WDT 除頻說明
	2021/4/20	164~172	新增 LCD Type 描述
		41	修改 XTS 暫存器描述
		122~125	修改 TMC 輸入頻率錯誤描述
	2021/5/5	92~99	新增 TMB 中斷產生說明
	2021/8/27	140~141	修改 ADC Gain 說明

HY17S58 Emulate Chip User' Guide

Embedded Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



V07	2022/6/8	131~132	增加 HY17P51/52 ADC 網路圖
		164	修改 OPDIEN 暫存器說明