



HY12P Family
User's Guide
Digital Multimeter

目錄

1. 閱讀導覽	6
1.1. 關於這份操作手冊	6
1.2. 名詞定義, Terms and Definition	7
2. 中央處理器, CPU	9
2.1. 處理器核心, CPU Core	9
2.2. 記憶體, Memory	10
3. 震盪器、時脈源與功耗管理	23
3.1. 震盪器	23
3.2. CPU及週邊電路時脈源	25
3.3. 暫存器說明-工作時脈源控制器	29
3.4. 功率消耗管理與操作狀態	32
4. 復位, RESET	35
4.1. 復位事件說明	36
4.2. 狀態暫存器	37
5. 中斷, INTERRUPT	40
5.1. 暫存器說明-中斷	41
6. 硬體乘法器	47
7. 輸入/輸出埠, I/O	48
7.1. PORT相關暫存器介紹	49
7.2. 蜂鳴器, Buzzer	50
7.3. 輸入/輸出埠 1, I/O Port1	51

7.4.	輸入/輸出埠 2 ,I/O Port2.....	54
7.5.	輸入/輸出埠 3 ,I/O Port3.....	56
8.	看門狗,WATCH DOG.....	58
8.1.	WDT 使用說明.....	58
8.2.	暫存器說明-WDT.....	60
9.	計數器A,TIMER-A.....	61
9.1.	TMA 使用說明.....	62
9.2.	暫存器說明-TMA.....	63
10.	計數器C,TIMER-C.....	64
10.1.	Timer-C使用說明.....	65
10.2.	暫存器說明-TMC.....	66
11.	頻率產生器,PWM/PFD.....	67
11.1.	PFD模式使用說明.....	68
11.2.	PWM模式使用說明.....	69
11.3.	暫存器說明-PFD/PWM.....	73
12.	FREQUENCY COUNTER、CNT AND CMP PIN.....	74
12.1.	計算範例說明.....	75
12.2.	暫存器說明- Frequency Counter.....	76
13.	液晶驅動器,LCD.....	77
13.1.	LCD使用說明.....	78
13.2.	LCD輸出波形.....	80
13.3.	暫存器說明-LCD.....	85

14.	非同步串列通訊介面, ENHANCED UNIVERSAL ASYNCHRONOUS RECEIVER TRANSMITTER..	87
14.1.	EUART使用說明.....	88
14.2.	串列傳輸速率發生器 (BRG)	89
14.3.	硬體同位元檢查	92
14.4.	EUART非同步模式	92
14.5.	暫存器說明-EUART	99
15.	MULTI-FUNCTION COMPARATOR	104
15.1.	Scan Key 使用說明.....	105
15.2.	範例程式	105
15.3.	暫存器說明- Multi-function Comparator	106
15.4.	低電壓偵測使用說明.....	107
16.	CHARGE PUMP REGULATOR AND VDDA LDO	108
16.1.	暫存器說明- Charge Pump Regulator	109
16.2.	電源啟動範例程式	109
17.	AUTO RANGE DMM MULTI-FUNCTION NETWORK	110
17.1.	Voltage Reference Generator(VRG)	111
17.2.	電源系統.....	114
17.3.	不同應用使用之AGND.....	114
17.4.	範例程式.....	115
17.5.	Analog Switch Network	116
17.6.	DMM Comparator Network	124
17.7.	Pre-Filter、ADC Input MUX And Temperature Sensor	126
18.	ΣΔADC、LOW PASS FILTER、RMS CONVERTER AND PEAK HOLD	129

18.1.	暫存器資料同步	129
18.2.	$\Sigma\Delta$ ADC	130
18.3.	DMM應用建議設定	132
18.4.	Peak Hold.....	134
18.5.	Low Pass Filter & RMS Coverter	135
19.	DMM 檔位應用圖例	137
19.1.	DC mV	137
19.2.	AC mV	138
19.3.	DCV	139
19.4.	ACV	140
19.5.	500~50Kohm.....	141
19.6.	500K~50Mohm.....	142
19.7.	5nF~500nF.....	143
19.8.	5uF~500uF.....	144
20.	內建EPROM, BUILD-IN EPROM.....	145
20.1.	BIE使用說明：	146
20.2.	暫存器說明-BIE	148
21.	修訂記錄.....	149

1. 閱讀導覽

1.1. 關於這份操作手冊

本文件所述的應用訊息及其他類似內容敘述僅為提供使用者便利，紘康對於內容的使用與因而引起的後果並不負擔相關責任。規格內容隨時可被更新訊息所替代，使用者有責任必需承擔並確保應用符合規範。

未經紘康授權，不得將紘康產品使用于生命維持系統中作為關鍵器件。紘康有不需事先通知即可修改產品的權力，產品最新訊息，請參考我們的網站：

<http://www.hycontek.com>

注意：

- ◆ 本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新。
- ◆ 本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
- ◆ 本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
- ◆ 請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
- ◆ 本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
- ◆ 本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
- ◆ 本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計，採用安全指標，這樣可以避免事故的發生。
- ◆ 本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

1.2. 名詞定義, Terms and Definition

1.2.1. 常用詞彙索引

1KB	1KiloByte	
ADC	Analog to Digital Converter	類比數位轉換器
Bit	Bit	位元
BOR	Brown-Out Reset	
BSR	Bank Select Register	
Byte	Byte	位元組
CPU	Central Processing Unit	中央處理器
DM	Data Memory	資料記憶體
FSR	File Select Register	間接定址指標暫存器
GPR	General Purpose Register	一般用途暫存器
HAO	High Accuracy Oscillator	高精度震盪器
LNOP	Low Noise OP AMP	低雜訊放大器
LPO	Low Power Oscillator	低功率消耗震盪器
LSB	Least Significant Bit	最低有效位元
MEM	Memory	記憶體
MPM	Main Program Memory	
MSB	Most Significant Bit	最高有效位元
OTP	One Time Program-EPROM	一次性寫入記憶體
PC	Program Counter	程式計數器
PPF	PWM and PFD	脈波寬度調整器與頻率輸出調整器
SD18	Sigma-Delta ADC	類比數位轉換器
SR	Special Register	
SRAM	Static Random Access Memory	靜態隨機存取記憶體
STK	Stack	堆疊
WDT	Watch Dog Timer	看門狗計時器
WREG	Work Register	工作暫存器

1.2.2. 暫存器相關字彙

[]	Register length	暫存器長度
< >	Register value	暫存器內容
ABC[7:0]	ABC register had 0 to 7bit	ABC 暫存器總共有 8 位元
ABC<111>	ABC register had 3bit and value had 111 of binary	ABC 暫存器總共有 3 位元，內容為二進制 111
ABC<11x>	x : can be neglected, it can be set as 1 or 0	ABC 暫存器總共有 3 位元，內容為二進制。可為 110 或 111
rw	Read/Write	可讀可寫
r	Read only	唯讀
r0	Read as 0	讀值只有 0
r1	Read as 1	讀值只有 1
w	Write only	唯寫
w0	Write as 0	寫入值只有 0
w1	Write as 1	寫入值只有 1
h0	cleared by Hardware	硬體 置<0>
h1	set by Hardware	硬體 置<1>
u0	cleared by User	使用者 設置<0>
u1	set by User	使用者 設置<1>
-	Not use	未使用
!	users are forbidden to change	使用者禁止變更
u	unchanged	無法改變
x	unknown	未知
d	depends on condition	依照設定條件

2. 中央處理器, CPU

2.1. 處理器核心, CPU Core

中央處理器的核心 CPU Core(H08A)為了使其有較高的執行效率，採用了 Harvard architecture 理念，將程式記憶體與資料記憶體分別獨立且程式記憶體的位址，增加了使用者撰寫程式的便利性。

CPU 特色包含：

- ◆ 程式記憶體與資料記憶體各自獨立設計架構，使得指令執行速度提升且提高 CPU 效率。
- ◆ 最大定址能力分別為，程式記憶體 8KW、資料記憶體 256KB
- ◆ 最多 67 個操作指令包含 16-bit 查表、8x8 硬體乘法器、資料記憶體區塊切換與堆疊控制
- ◆ 一個指令完成暫存器 A 至暫存器 B 的資料搬移且不改變工作暫存器(Work register)的資料
- ◆ 一個指令完成最長 16-bit 的 FSR 暫存器資料搬移與定址 8KW 程式記憶體的查表指令。
- ◆ 資料記憶體的操作包含程式計數器(PC)、狀態暫存器(Status)與堆疊暫存器(Stack)的資料搬移。
- ◆ 處理器核心為 H08A 核心。

2.2. 記憶體,Memory

記憶體的構成分為兩種，一為程式記憶體由 OTP 構成另一為資料記憶體由 SRAM 構成。在不同型號的產品上，所規劃的記憶體大小會不一樣，故閱讀各產品的說明書時必須特別留意該產品的規格說明。

程式記憶體：

主記憶體區(Main Program Memory,MPM)

程式計數器(Program Counter,PC)

堆疊(Stack,STK)

資料記憶體：

特殊暫存器(Special Register,SR)

一般暫存器(General Purpose Register,GPR)

記憶體相關暫存器摘要：(x：表示由多個暫存器組成)

PC[12:0]	PCHSR[4:0],PCLATH[4:0],PCLATL[7:0]
TOS[12:0]	TOSH[4:0],TOSL[7:0]
FSRx[8:0]	FSRxH[8],FSRxL[7:0]
INDFx	INDF0[7:0],INDF1[7:0]
POINCx	POINC0[7:0], POINC1[7:0]
PODECx	PODEC0[7:0], PODEC1[7:0]
PRINCx	PRINC0[7:0], PRINC1[7:0]
PLUSWx	PLUSW0[7:0], PLUSW1[7:0]
STKCN	STKFL[0],STKOV[0],STKUN[0],STKPRT[2:0]
PSTATUS	SKERR[0]
BSRCN	BSR[0]

2.2.1. 程式記憶體, Program Memory

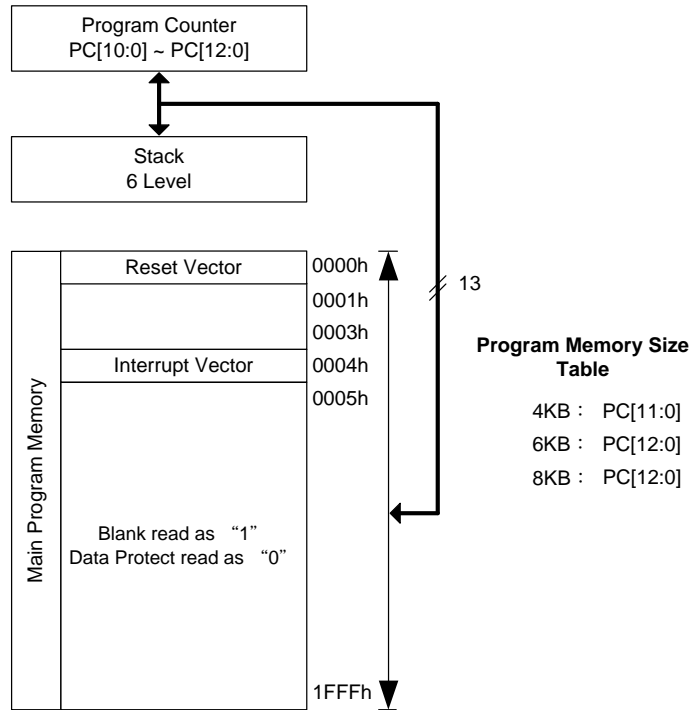


圖 2-1 程式記憶體架構圖

主記憶體,MPM

主記憶體架構如下：

- ◆ 中斷服務向量位置(Interrupt Vector)
- ◆ 復位向量位置(Reset Vector)

最大定址能力¹由 0x00000h至 0x1FFFh，總計容量為 8191 字元，依不同型號的產品而其大小會有所不同。

晶片在未進程式寫入時，所有位元 Bit 的資料型態均為 1；寫入後，位元將依寫入的資料型態呈現 1 或 0。必需注意，程式開發時若模擬軟體(HYIDE)的組譯選項有設置燒錄保護功能，則晶片在燒錄所能讀出的位元資料型態皆為 0。

程式計數器,PC

程式計數器 PC 由位移暫存器 PCSR、緩衝暫存器 PCLAT 組成，如圖 2-2。

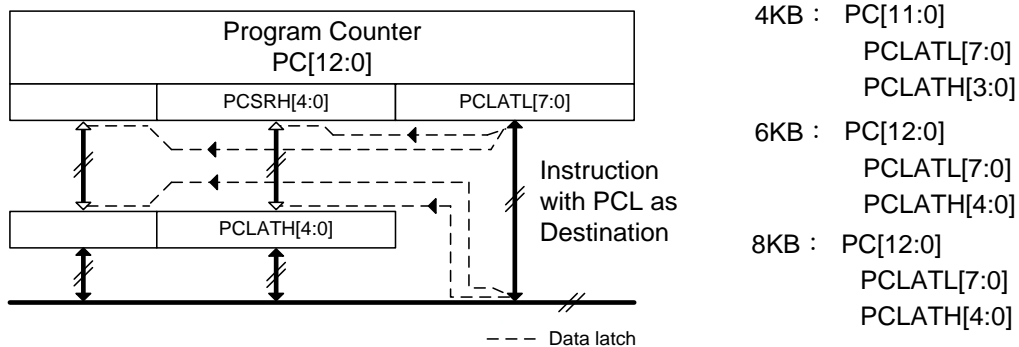


圖 2-2 程式計數器架構圖

¹ 在不同的產品規劃裏程式記憶體的定址能力會有所不同，常見的容量有 4KB(0xFFFh)、6KB(0x17FFh), HY12P65 模擬晶片容量)

程式計數器PC[12:0]²在開發工具所使用的晶片具有 13 位元的資料長度，由兩個特殊暫存器PCSRH [4:0]與PCLATL [7:0]組成。其中PCLATL[7:0]與PCLATH[4:0]可直接讀/寫，而PCSRH [4:0]無法直接讀/寫，必須透過緩衝暫存器PCLATH[4:0]做間接讀/寫。

- 讀取 PC[12:0]，必須先讀取 PCLATL[7:0]接著讀取 PCLATH[4:0]才能取得正確資料，順序反之則將讀取到不正確的資料。
- 寫入 PC[12:0]，必須先寫入 PCLATH[4:0]最後再寫 PCLATL[7:0]，順序反之會寫入不正確的資料。

```
ORG 0000
    JMP  START
ORG 0004H
    RETI
    ...
START:                ;jump to 0109h
    MVFF PCLATL,B1
    INF  PCLATH,F,ACCE
    MVL  2
    ADDF B1,W,ACCE
    MVF  PCLATL,F,ACCE
    ...
ORG 0109H
    NOP  ...
```

範例 2-1 讀/寫 PCLAT 範例程式

² 注意，在不同的產品規劃裏 PC 的定址能力會有所不同，常見的容量有 4KB(0xFFFh) 、6KB(0x17FFh), HY12P65 模擬晶片容量)

堆疊,STK

堆疊STK主要由堆疊指標控制暫存器STKCN、疊頂暫存器TOSx、堆疊層暫存器STKn³、堆疊錯誤旗標SKERR(Stack Error)與堆疊錯誤復位控制器SKRST[0]組成，如圖 2-3。

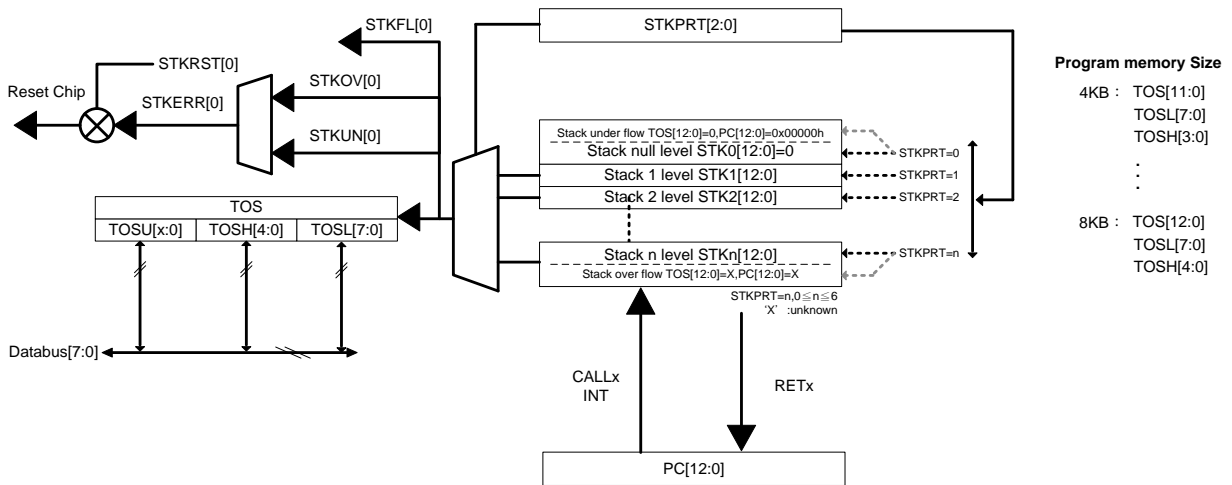


圖 2-3 堆疊架構圖

³ 堆疊層暫存器 STKn：每層堆疊皆具有與疊頂暫存器 TOS 相同長度的資料暫存器，當被堆疊指標 STKPRT 指定時即將資料暫存器的內容傳送至 TOS。

堆疊的疊頂暫存器 TOS[12:0]具有 13 位元的資料長度，由兩個暫存器 TOSH[4:0] 與 TOSL [7:0]組成。STKPRT[2:0]=<0>時 TOS[12:0]=<0>無效值(null)，當程式執行 CALL 指令或是發生中斷(INT)服務時，堆疊指標 STKPRT[2:0]即做加一動作並將事件發生的程式計數器 PC 位址寫入當時的 TOS[12:0]暫存器；當程式執行 RETx 指令時，堆疊指標 STKPRT[2:0]即做減一動作，在做減一動作之前會將 TOS[12:0]資料先寫入 PC[12:0]，寫入完成後 STKPRT[2:0]才做減一動作並使得當下的 TOS[12:0]數值改變。

- 讀取 TOS[12:0]暫存器無須特別的規則，可直接讀取即可。
- 寫入 TOS[12:0]暫存器則可透過 CALL 指令或中斷(INT)將 PC[12:0]資料的寫入，或者利用 POP 指令丟棄目前 TOS[12:0]的資料並使得 STKPRT[2:0]減一，載入新的 TOS[12:0]資料。

在堆疊的操作過程中會發生堆疊滿位 STKFL[0] (Stack full)、溢位 STKOV[0](Stack overflow)或欠位 STKUN[0](Stack underflow)等事件。堆疊滿位是發生堆疊溢位前的預示旗標，此時透過執行 POP 指令即可丟棄當前的 TOS[12:0]資料並使得 STKPRT[2:0]減一並將新指向的堆疊層資料寫入 TOS[12:0]。必須注意，在 STKPRT[2:0]=<0>時，執行 POP 指令並不會發生欠位情況，此時 STKPRT[2:0]資料仍為<0>故使用者必須自行判斷是否為空堆疊。

當堆疊發生溢位與欠位時可能導致程式有不預期的執行結果，必要時可透過設置重新啟動晶片。在程式開發過程中，透過軟體設置可將堆疊復位控制位元 SKRST[0]⁴ 設置<1>，當堆疊發生欠位或溢位時會產生復位信號並將 SKERR[0]置<1>後重新啟動晶片。

- 滿位：STKFL[0]置<1>，PC[12:0]不受影響。
- 欠位：STKUN[0]置<1>，PC[12:0]移至 0x0000h 位置堆疊指標 STKPRT 指向 0 Level。
若 SKRST[0]設置<1>，則欠位後會產生復位信號且 SKERR[0]置<1>，復位後 STKUN[0]置<0>。
- 溢位：STKOV[0]置<1>，PC[12:0]不受影響但 STKPRT 仍停滯於最後一層且會壓入新的數值，即滿位後會保存最近一次壓入的資料。若 SKRST[0]設置<1>，則溢位後產生復位信號且 SKERR[0]置<1>，復位後 STKOV[0]置<0>。
- 錯誤：SKERR[0]置<1>，晶片已發生堆疊錯誤。若 SKRST[0]設置<1>，則溢位後產生復位信號且 SKERR[0]置<1>，復位後 STKUN[0]、STKOV[0]置<0>。
- 當發生堆疊滿位後，若因置之不理接著發生溢位情況且又予以忽略並連續執行 POP 指令使之發生欠位情況，此時 STKFL[0]、STKOV[0]與 STKUN[0]同時置<1>。故建議當有上述任一情況發生時，應適時對旗標作清除動作以免程式誤判。

程式撰寫方式如欲忽略已知的溢位狀況建議在溢位發生後先使用 POP 指令清除溢位旗標再繼續執行程式，否則溢位後的中斷(Interrupt)或呼叫(Call)指令產生的堆疊寫入動作將覆蓋目前 TOS[12:0]的資料。

⁴ SKRST[0]為堆疊錯誤產生復位信號控制位元，無法直接讀/寫只能在程式發展階段透過開發軟體的設置。即程式開發階段必須選定是否在堆疊錯誤時產生復位信號，若選定復位則晶片供電後該位元即被設置 1，反之設置<0>。

暫存器說明-程式記憶體控制器

"-"no use,"""read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1 "."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
16H	TOSH				TOS[12]	TOS[11]	TOS[10]	TOS[9]	TOS[8]	...0 0000	...0 0000	-,-,*,*,*,*,*,*
17H	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								0000 0000	0000 0000	*,*,*,*,*,*,*
18H	STKPTR	STKFL	STKUN	STKOV			STKPRT[2]	STKPRT[1]	STKPRT[0]	000..000	000..000	r,rw0,rw0,-,-,r,r,f
1AH	PCLATH				PC[12]	PC[11]	PC[10]	PC[9]	PC[8]	...0 0000	...0 0000	-,-,*,*,*,*,*,*
1BH	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000	*,*,*,*,*,*,*
2CH	PSTATUS	PD	TO	IDLEB	BOR		SKERR			000d .0..	uduu .d..	rw0,rw0,rw0,rw0 -,-,rw0,-,-

表 2-1 程式記憶體控制暫存器

TOSH/TOSL：堆疊的疊頂暫存器

TOSH：TOS[12:8]

TOSL：TOS[7:0]

STKPTR：堆疊控制器

STKFL：堆疊滿位旗標

1：已發生。

0：未發生。

STKUN：堆疊欠位旗標

1：已發生。

0：未發生。

STKOV：堆疊溢位旗標

1：已發生。

0：未發生。

STKPRT[2:0]：堆疊指標暫存器

110：第 6 層

101：第 5 層

⋮

000：第 0 層，TOS[12:0]=0x0000h

PCLATH/PCLATL：程式計數器 PC[12:0]

PCLATH：PC[12:8]

PCLATL：PC[7:0]

PSTATUS：狀態暫存器

SKERR：堆疊錯誤產生復位旗標

1：已發生。

0：未發生。

2.2.2. 資料記憶體,DM

資料記憶體 DM 由特殊暫存器 Specially Register,SR 與一般暫存器 General Purpose Register,GPR 組成，且以每 256byte 為一個區塊。再者，區塊 0 較為特殊，這個區塊包含了 128byte 的特殊暫存器與 128byte 一般暫存器，而其他的區塊則為一般暫存器如 圖 2-4。

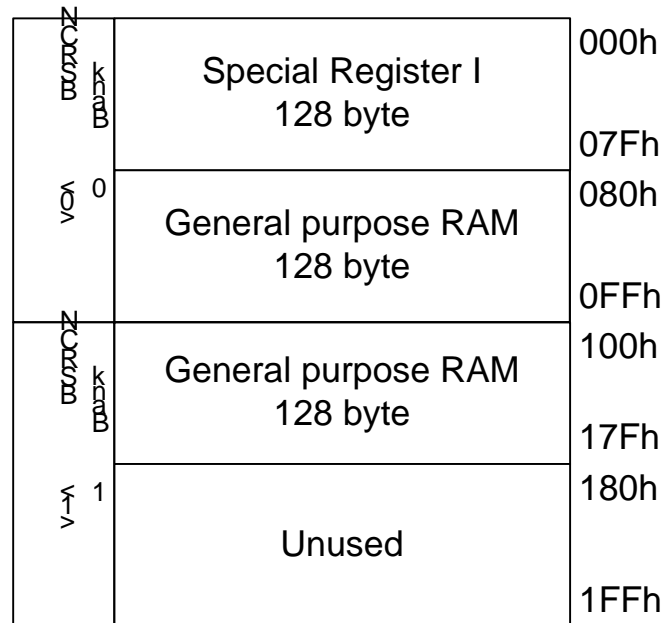


圖 2-4 資料記憶體架構圖

記憶體與指令

H08A 指令集在記憶體運用有很大的彈性，例如定址能力、硬體乘法器、查表指令、支援功能與參數的定義，在此僅說明指令記憶體參數的定義。詳細的指令參數說明請參見指令集,Instruction 章節。

指令集中帶有位址運算功能的指令至多會有“f”、“d”、“a”等三個參數。

“f” 是指資料(Data)或資料暫存器位址(Data Memory Address)。

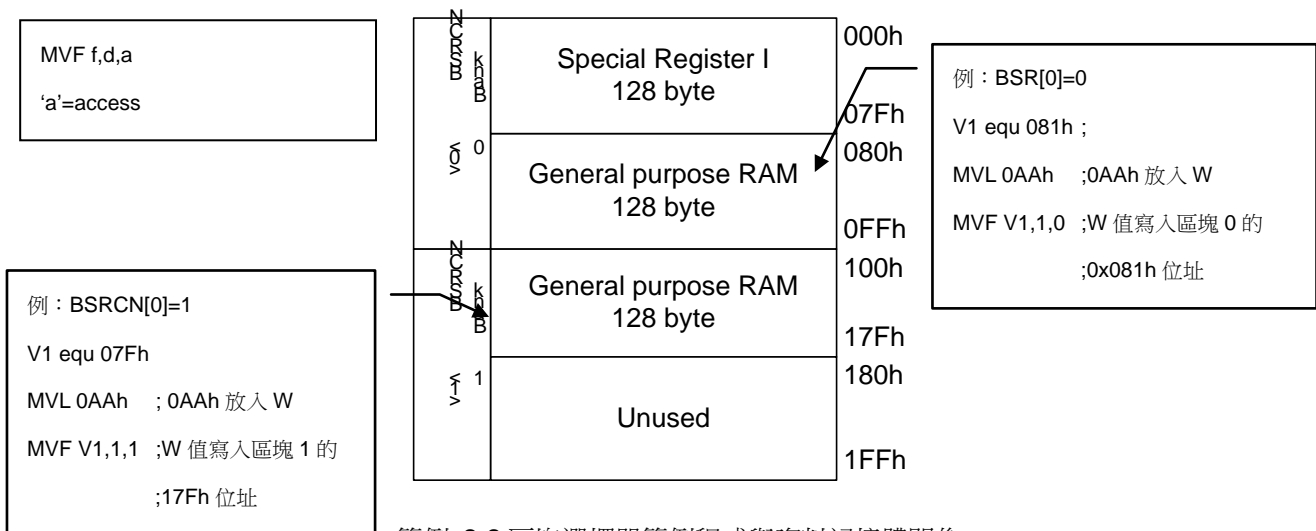
“d” 是指運算後的資料要存放地方。d=0 存於 WREG register、d=1 存於 Data Memory Register。

“a” 是指定記憶體操作的區塊；a=0 操作於區塊 0、a=1 操作於 BSRCN[0]指定區塊。

區塊選擇控制暫存器

資料記憶體規劃為每 256byte 為一個區塊即 000h~0FFh 為一區塊，若欲讀/寫位址 0FFh 以後的資料暫存器，則需正確的設置區塊控制暫存器 BSRCN[0]與指令的參數“a”，說明如下：

- ◆ 當 a = 0 時，無論 BSRCN[0]的指定何區塊，指令對資料記憶體的讀/寫只會在區塊 0。
- ◆ 當 a = 1 時，對資料記憶體的讀/寫會依照 BSRCN[0]所指定的區塊；



範例 2-2 區塊選擇器範例程式與資料記憶體關係

特殊暫存器

特殊暫存器包含 CPU Core 與週邊功能的相關暫存器，主要有控制功能暫存器與資料傳回暫存器。若對資料暫存器內未定義的位址或位址用之位元進行讀取，所讀取到的資料為 0。

在特殊暫存器中專用於搭配指令的暫存器亦有數個，但在此只介紹兩種常用的暫存器一為工作暫存器 WREG，另一為間接定址暫存器 FSR。其餘在此未介紹的特殊暫存器將分散於各章節做詳盡的說明。

工作暫存器, WREG

工作暫存器簡稱 W 為搭配指令使用最為頻繁的暫存器，舉凡資料搬移、運算與判斷等等。

間接定址暫存器, FSR 與 INDF

FSR 間接定址暫存器由指標暫存器 FSR0[8:0]、FSR1[8:0]與索引暫存器 INDF0[7:0]、INDF1[7:0]組成，由於功能相當故只針對 FSR0 做說明。

FSR0[8:0]可分為 FSR0H[0]與 FSR0L[7:0]兩個暫存器，不需設置 BSR[0]即能定址不同區塊的位址；且透過特殊指令，可達到使用一個指令即可寫入 16-bit 資料。

INDF0[7:0]為索引暫存器，即是可讀取 FSR0[8:0]所指向資料記憶體位址的資料。值得注意的是 H08A 指令集支援加強型索引暫存器，功能描述如下：

- ◆ POINC0[7:0]：當透過指令讀/寫 POINC0[7:0]暫存器時會發生以下事件
 - ◆ 先傳回目前 FSR0[8:0]所指到位址的內容。
 - ◆ 然後指標暫存器 FSR0[8:0]的數值加一指向下一個位址。
- ◆ PODEC0[7:0]：當透過指令讀/寫 PODEC0[7:0]暫存器時會發生以下事件
 - ◆ 先傳回目前 FSR0[8:0]所指到位址的內容。
 - ◆ 然後指標暫存器 FSR0[8:0]的數值減一指向上一個位址。
- ◆ PRINC0[7:0]：當透過指令讀/寫 PRINC0[7:0]暫存器時會發生以下事件
 - ◆ 先將指標暫存器 FSR0[8:0]的數值加一指向下一個位址。
 - ◆ 再傳回目前 FSR0[8:0]所指到位址的內容。
- ◆ PLUSW0 [7:0]：當透過指令讀/寫 PLUSW0 [7:0]暫存器時會發生以下事件
 - ◆ 先將指標暫存器 FSR0[8:0]的數值加上工作暫存器 W 的內容。
 - ◆ 再傳回目前 FSR0[8:0]所指到位址的內容。其中 W 的內容為帶有符號位的數值即 $\pm 128d$ 。

一般暫存器, General Purpose Register

一般暫存器 GPR 為使用者進行資料儲存、運算、旗標設置等等自由規劃區域。

暫存器說明-資料記憶體控制器

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
00H	INDF0	Contents of FSR0 to address data memory value of FSR0 not changed								N/A	N/A	*****
01H	POINC0	Contents of FSR0 to address data memory value of FSR0 post-incremented								N/A	N/A	*****
02H	PODEC0	Contents of FSR0 to address data memory value of FSR0 post-decremented								N/A	N/A	*****
03H	PRINC0	Contents of FSR0 to address data memory value of FSR0 pre-incremented								N/A	N/A	*****
04H	PLUSW0	Contents of FSR0 to address data memory value of FSR0 offset by W								N/A	N/A	*****
05H	INDF1	Contents of FSR1 to address data memory value of FSR0 not changed								N/A	N/A	*****
06H	POINC1	Contents of FSR1 to address data memory value of FSR0 post-incremented								N/A	N/A	*****
07H	PODEC1	Contents of FSR1 to address data memory value of FSR0 post-decremented								N/A	N/A	*****
08H	PRINC1	Contents of FSR1 to address data memory value of FSR0 pre-incremented								N/A	N/A	*****
09H	PLUSW1	Contents of FSR1 to address data memory value of FSR0 offset by W								N/A	N/A	*****
0FH	FSR0H								FSR0[8] x u
10H	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	uuuu uuuu	*****
11H	FSR1H								FSR1[8] x u
12H	FSR1L	Indirect Data Memory Address Pointer 1 Low Byte,FSR1[7:0]								xxxx xxxx	uuuu uuuu	*****
29H	WREG	Working Register								xxxx xxxx	uuuu uuuu	*****
2AH	BSRCN								BSR[0] 0000 0000

表 2-2 資料記憶體控制暫存器

INDF0/POINC0/PODEC0/PRINC0/PLUSW0：不同功能性的索引暫存器

INDF0[7:0]：詳見 0 間接定址暫存器,FSR 與 INDF 說明

POINC0[7:0]：詳見 0 間接定址暫存器,FSR 與 INDF 說明

PODEC0[7:0]：詳見 0 間接定址暫存器,FSR 與 INDF 說明

PRINC0[7:0]：詳見 0 間接定址暫存器,FSR 與 INDF 說明

PLUSW0[7:0]：詳見 0 間接定址暫存器,FSR 與 INDF 說明

FSR0：間接定址的指標暫存器

FSR0H[0]：詳見 0 間接定址暫存器,FSR 與 INDF 說明

FSR0L[7:0]：詳見 0 間接定址暫存器,FSR 與 INDF 說明

FSR1：間接定址的指標暫存器

FSR1H[0]：詳見 0 間接定址暫存器,FSR 與 INDF 說明

FSR1L[7:0]：詳見 0 間接定址暫存器,FSR 與 INDF 說明

WREG：間接定址的指標暫存器

WREG[7:0]：詳見 0 工作暫存器,WREG 說明

BSRCN：記憶體區塊讀/寫控制暫存器

BSR[0]：記憶體讀/寫區塊指標暫存器

1：區塊 1，位址 0x100h~0x1FFh。

0：區塊 0，位址 0x000h~0x0FFh

2.2.3. 暫存器列表-資料記憶體

"-":no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1																
".":unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition																
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W				
00H	INDF0	Contents of FSR0 to address data memoryvalue of FSR0 not changed									N/A	N/A	*****			
01H	POINC0	Contents of FSR0 to address data memoryvalue of FSR0 post-incremented									N/A	N/A	*****			
02H	PODEC0	Contents of FSR0 to address data memoryvalue of FSR0 post-decremented									N/A	N/A	*****			
03H	PRINC0	Contents of FSR0 to address data memoryvalue of FSR0 pre-incremented									N/A	N/A	*****			
04H	PLUSW0	Contents of FSR0 to address data memoryvalue of FSR0 offset by W									N/A	N/A	*****			
05H	INDF1	Contents of FSR1 to address data memoryvalue of FSR0 not changed									N/A	N/A	*****			
06H	POINC1	Contents of FSR1 to address data memoryvalue of FSR0 post-incremented									N/A	N/A	*****			
07H	PODEC1	Contents of FSR1 to address data memoryvalue of FSR0 post-decremented									N/A	N/A	*****			
08H	PRINC1	Contents of FSR1 to address data memoryvalue of FSR0 pre-incremented									N/A	N/A	*****			
09H	PLUSW1	Contents of FSR1 to address data memoryvalue of FSR0 offset by W									N/A	N/A	*****			
0FH	FSR0H	FSR0[8]								xu	*****			
10H	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]									xxxx xxxx	uuuu uuuu	*****			
11H	FSR1H	FSR1[8]								xu	*****			
12H	FSR1L	Indirect Data Memory Address Pointer 1 Low Byte,FSR1[7:0]									xxxx xxxx	uuuu uuuu	*****			
16H	TOSH				TOS[12]	TOS[11]	TOS[10]	TOS[9]	TOS[8]	...0 0000	...0 0000	*****				
17H	TOSL	Top-of-Stack Low Byte (TOS<7:0>)														
18H	STKPTR	STKFL	STKUN	STKOV				STKPRT[2]	STKPRT[1]	STKPRT[0]	0000_000	0000_000	r,rw0,rw0,-,r,r,f			
1AH	PCLATH				PC[12]	PC[11]	PC[10]	PC[9]	PC[8]	...0 0000	...0 0000	*****				
1BH	PCLATL	PC Low Byte for PC<7:0>														
1DH	TBLPTRH				TBLPTR[12]	TBLPTR[11]	TBLPTR[10]	TBLPTR[9]	TBLPTR[8]	...0 0000	...0 0000	*****				
1EH	TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)														
1FH	TBLDH	Program Memory Table Latch High Byte														
20H	TBLDL	Program Memory Table Latch Low Byte														
21H	PRODH	Product Register of Multiply High Byte														
22H	PRODL	Product Register of Multiply Low Byte														
23H	INTE1	GIE				TMCIE			TMAIE	WDTIE	E1IE	E0IE	0.0. 0000	0.0. 0000	*****	
24H	INTE2	TXIE	RCIE	RMSIE	LPFIE	AD1IE					CTIE			0000 000.	0000 000.	*****
25H	INTE3	E24IE	E25IE	E26IE	E27IE									0000	0000	*****
26H	INTF1				TMCIF			TMAIF	WDTIF	E1IF	E0IF			..0. 0000	..0. 0000	*****
27H	INTF2	TXIF	RCIF	RMSIF	LPFIF	AD1IF					CTIF			0000 000.	0000 000.	*****
28H	INTF3	E24IF	E25IF	E26IF	E27IF									0000	0000	*****
29H	WREG	Working Register														
2AH	BSRCN										BSR[0] 0000 0000	*****		
2BH	STATUS				C	DC			N	OV	Z			...x xxxx	...u uuuu	*****
2CH	PSTATUS	PD	TO	IDLEB	BOR			SKERR					000d ..0.	uudu ..d.	rw0,rw0,rw0,-,rw0,-,-	
2DH	LVDCN1	ENLVD	LVD	VJ1	VJ2				VLDX[3:0]							
2EH	LVDCN2	VSL				SVIN[3:0]				SVIP[2:0]						
2FH	SBMSET1	SKRST						HAOTR[5:0]			x.xx xxxx	u.uu uuuu	*****			
30H	MCKCN1	HSSSEL	CPUCK[1:0]		HSS[1:0]		HSCK	ENXT	ENHAO	0000 0001	0000 0001	*****				
31H	MCKCN2	LCDS[2:0]			ADCCK	PERCK	BZS[2:0]			0000 0000	0000 0000	*****				
32H	TMACN	ENTMA	TMACK	TMAS[1:0]		ENWDT	WDT[2:0]			0000 0000	0000 0000	*****				
33H	TMAR	TimerA data register														
34H	TMCCN	ENTMC	TMCCK[1:0]		TMCS[2:0]			TMCS0[1:0]			0000 0000	0000 0000	*****			
35H	PRC	TimerC programmable register														
36H	TMCR	TimerC register														
37H	PWMCN	ENPWM	ENPFD	PWMRL[1:0]						0000 0000	0000 0000	*****				
38H	PWMR	PWM MSB Byte register														
39H	LCDCN1	ENLCD	LCDPR	VLCDX[1:0]		LCDBF	LCDBI[1:0]			0000 000.	0000 000.	*****				
3AH	LCDCN2	LCDBL	LCDMX[1:0]								000.	000.	*****			
3BH	LCD0	Segment SEG1@[7:4] and SEG0@[3:0] data register of LCD														
3CH	LCD1	Segment SEG3@[7:4] and SEG2@[3:0] data register of LCD														
3DH	LCD2	Segment SEG5@[7:4] and SEG4@[3:0] data register of LCD														
3EH	LCD3	Segment SEG7@[7:4] and SEG6@[3:0] data register of LCD														
3FH	LCD4	Segment SEG9@[7:4] and SEG8@[3:0] data register of LCD														
40H	LCD5	Segment SEG11@[7:4] and SEG10@[3:0] data register of LCD														
41H	LCD6	Segment SEG13@[7:4] and SEG12@[3:0] data register of LCD														
42H	LCD7	Segment SEG14@[3:0] data register of LCD														
46H	URCON	ENSP	ENTX	TX9	TX9D	PARITY			WUE	0000 0..0	0000 0..0	*****				
47H	URSTA	RC9D		PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0110	.000 0110	-,r,r,f,r,r,r,rw0				
48H	BAUDCON				ENCR	RC9	ENADD	ENABD		 0000 0000	*****			
49H	BRGRH	Baud Rate Generator Register High Byte														
4AH	BRGRL	Baud Rate Generator Register Low Byte														
4BH	TXREG	UART Transmit Register														
4CH	RCREG	UART Receive Register														

表 2-3 資料記憶體列表

HY12S65 User' Guide

Digital Multimeter



"-":no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1 "u"unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition																
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W				
4DH	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	uuuu uuuu	r,r,r,r				
4EH	TRISC1	TC1.7	TC1.6	TC1.5	TC1.4	TC1.3	TC1.2	TC1.1	TC1.0	0000 0000	0000 0000	r,r,r,r				
4FH	PT1PU	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	0000 0000	0000 0000	r,r,r,r				
50H	PT1M1	PM1.7	PM1.6	PM1.5	PM1.4	INTEG1[1:0]		INTEG0[1:0]		0000 0000	0000 0000	r,r,r,r				
51H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	r,r,r,r				
52H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	0000 0000	r,r,r,r				
53H	PT2DA	DA2.7	DA2.6	DA2.5	DA2.4	DA2.3	PM2.2[1:0]			0000 0.00	0000 0.00	r,r,r,r				
54H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	r,r,r,r				
55H	PT3	PT3.7	PT3.6	PT3.5	TC3.7		TC3.6	TC3.5				xxx. 000.	uuu. 000.	r,r,r,r		
56H	PT3PU	PU3.7	PU3.6	PU3.5	PM3.7		DA3.5					000. 0.0.	000. 0.0.	r,r,r,r		
57H	PAX6					PS6	DS6	FS6	SS6							
58H	PA54	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4							
59H	PA32	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2							
5AH	PA10	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0							
5BH	PWRCN	DMMBIAS		SAGND[1:0]		ENVS	ENREF0	ENLDO	LDOC[1:0]							
5CH	PWRCN2	MCUBIAS	ENCPVGG	ENCMP	ENCNTI	ENCTR	RSTCOMB	RSLPF	RSRMS							
5DH	ADCN1	SDIO	SREFO	SFT1<1:0>		SFUVR<3:0>										
5EH	ADCN2	SMODE<7:0>														
5FH	ADCN3	SCMPRH<3:0>				SCMPRL<3:0>										
60H	ADCN4	SCMPI<2:0>			AD1CHOP<1:0>		AD1OSR<2:0>									
61H	ADCN5	SAD1FP<3:0>			HSAD		SAD1FN<2:0>									
62H	ADCN6	SAD1RH<2:0>			SAD1RL<2:0>			SAD1I<1:0>								
63H	ADCN7	ENAD1	AD1G<1:0>		AD1RG	AD1RHBUF	AD1RLBUF	AD1IPBUF	AD1INBUF							
64H	RMSCN	ENRMS	ENLPF	ENRMSAVG	LPFBW<1:0>		ENPKH									
65H	CTAU	CTA<23:16>										xxxx xxxx	uuuu uuuu	r,r,r,r		
66H	CTAH	CTA<15:8>										xxxx xxxx	uuuu uuuu	r,r,r,r		
67H	CTAL	CTA<7:0>										xxxx xxxx	uuuu uuuu	r,r,r,r		
68H	CTBU	CTB<23:16>										xxxx xxxx	uuuu uuuu	r,r,r,r		
69H	CTBH	CTB<15:8>										xxxx xxxx	uuuu uuuu	r,r,r,r		
6AH	CTBL	CTB<7:0>										xxxx xxxx	uuuu uuuu	r,r,r,r		
6BH	CTCU	CTC<23:16>										xxxx xxxx	uuuu uuuu	r,r,r,r		
6CH	CTCH	CTC<15:8>										xxxx xxxx	uuuu uuuu	r,r,r,r		
6DH	CTCL	CTC<7:0>										xxxx xxxx	uuuu uuuu	r,r,r,r		
6EH	CTSTA	CNTI	ACPO	CMPHO	CMPLO				CTBOV							
6FH	PKHMAXU	PKHMAX<18:11>										xxxx xxxx	uuuu uuuu	r,r,r,r		
70H	PKHMAXH	PKHMAX<10:3>										xxxx xxxx	uuuu uuuu	r,r,r,r		
71H	PKHMAXL	PKHMAX<2:0>										xxxx xxxx	uuuu uuuu	r,r,r,r		
72H	PKHMINU	PKHMIN<18:11>										xxxx xxxx	uuuu uuuu	r,r,r,r		
73H	PKHMINH	PKHMIN<10:3>										xxxx xxxx	uuuu uuuu	r,r,r,r		
74H	PKHMINL	PKHMIN<2:0>										xxxx xxxx	uuuu uuuu	r,r,r,r		
75H	RMSDATA4	RMS<37:30>										xxxx xxxx	uuuu uuuu	r,r,r,r		
76H	RMSDATA3	RMS<29:22>										xxxx xxxx	uuuu uuuu	r,r,r,r		
77H	RMSDATA2	RMS<21:14>										xxxx xxxx	uuuu uuuu	r,r,r,r		
78H	RMSDATA1	RMS<13:6>										xxxx xxxx	uuuu uuuu	r,r,r,r		
79H	RMSDATA0	RMS<5:0>										xxxx xxxx	uuuu uuuu	r,r,r,r		
7AH	LPFDATAU	LPF<18:11>										xxxx xxxx	uuuu uuuu	r,r,r,r		
7BH	LPFDATAH	LPF<10:3>										xxxx xxxx	uuuu uuuu	r,r,r,r		
7CH	LPFDATAI	LPF<2:0>										xxxx xxxx	uuuu uuuu	r,r,r,r		
7DH	AD1DATAU	AD1<18:11>										xxxx xxxx	uuuu uuuu	r,r,r,r		
7EH	AD1DATAH	AD1<10:3>										xxxx xxxx	uuuu uuuu	r,r,r,r		
7FH	AD1DATAI	AD1<2:0>										xxxx xxxx	uuuu uuuu	r,r,r,r		
80H - FFH	GPR0	General Purpose Register as 128Byte										xxxx xxxx	uuuu uuuu	r,r,r,r		
100H-17FH	GPR1	General Purpose Register as 128Byte										xxxx xxxx	uuuu uuuu	r,r,r,r		
181H	BIECN	-	-	-	-	BIEHV	-	BIEWR	BIERD	1... \$000	1... \$uuu	r1,r,r,r				
182H	BIEARH	ENBIE	-	-	-	-	-	-	-	0...	u...	r,r,r,r				
183H	BIEARL	-	-	-	-	BIE Address Register as BIEARL[5:0]			-	...xx xxxx	...uu uuuu	r,r,r,r				
184H	BIEDRH	BIE High Byte Register										xxxx xxxx	uuuu uuuu	r,r,r,r		
185H	BIEDRL	BIE Low Byte Register										xxxx xxxx	uuuu uuuu	r,r,r,r		

表 2-4 資料記憶體列表(續)

3. 震盪器、時脈源與功耗管理

HY12P 系列具有 HAO、LPO 與 XT 三個時脈源，如 表 3-1。透過時脈控制器暫存器的設置可彈性的分配與管理 CPU 與週邊工作頻率，更能適當調整晶片消耗功率達到節約能源的目的。

時脈控制暫存器摘要：

MCKCN1 HSSEL[0], CPUCK[1:0], HSS[1:0], HSCK[0], ENXT[0], ENHAO[0]

MCKCN2 LCDS[2:0], ADCCK[0], PERCK[0], BZS[2:0]

震盪器			振盪方式
符號	屬性	頻率	
HAO	內部	4MHz	RC
LPO		32KHz	RC
XTL/S/H	外部	32768Hz ~ 8MHz	晶體/諧振

表 3-1 晶片時脈源

3.1. 震盪器

3.1.1. XT 外部晶體/諧振震盪器

時脈控制暫存器 **MCKCN1**[7:0] 必須依照外部震盪器的工作頻率進行適當的設置，如表 3-2。圖 3-1 為 HY12P 系列的外部震盪器方塊圖。

使用外接震盪器時引腳(I/O)必須設置為輸入模式且不能使用內部提升電阻(Pull High)，然後依其震盪頻率適當設置 **MCKCN1** 暫存器內的控制位元，以決定外接諧振/晶振器的工作頻率。

圖 3-1 所示，C1、C2 與 R1 的值隨外接不同頻率的晶體震盪器或諧振器而有所改變，而相同的震盪器又會因電路板佈局不同而導致電容值有些微差異。在無特別考慮情況下，C1 與 C2 電容是可以省略；表 3-2 列出設計參考值，並非最佳的匹配值。

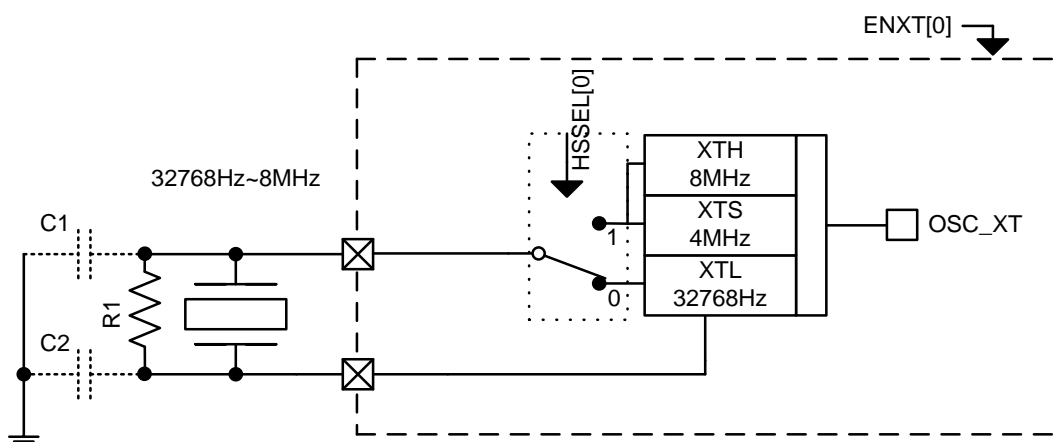


圖 3-1 外部震盪器方塊圖

外接震盪器的振盪頻率分三個等級，每個等級的驅動電流並不相同故裝置的設置上

需有所區分，如表 3-2 所示。使用外接震盪器時必須將 ENXT[0]設置<1>，當外接震盪器頻率為 4MHz 或更高時再將 HSSEL[0]設置<1>。反之，若未依對應的外接振盪頻率適當的設置 HSSEL[0]則可能會造成外接震盪器不起振或耗電流過大等狀況。

“x”：忽略,電阻單位 Ω,電容單位 F

符號	頻率	陶瓷諧振			晶振			MCKCN1 設置	
		C1	C2	R1	C1	C2	R1	ENXT	HSSEL
XTL	455Hz							1	0
	32768Hz			10M	20p	20p	10M	1	0
XTS	4.0MHz			1M	20p	20p	1M	1	1
XTH	8.0MHz			1M	20p	20p	1M	1	1

表 3-2 震盪器匹配電容值與 MCKCN1 暫存器設置

3.1.2. HAO 震盪器

HAO 為內部高速 RC 震盪器，典型輸出頻率為 4.0MHz。相較於外接式 XT 震盪器，內部 HAO 具有快速起振及較佳抗干擾的特性，也因此 HAO 被作為 CPU 重新啟動的工作時脈源。

HY12P 系列產品在 CPU 使用其他的震盪器作為工作時脈源時，可透過 ENHAO[0]設置<0>將 HAO 震盪器關閉。

3.1.3. LPO 震盪器

LPO 為內部低速 RC 震盪器，典型的輸出頻率為 32KHz。由於 LPO 為低耗電，故主要應用於低速省電的 CPU 工作模式與看門狗(Watch Dog Timer)時脈源。

HY12P 系列產品在執行 Sleep 指令後 LPO 震盪器會被關閉，而當晶片被喚醒時 LPO 將自動起振。

3.2. CPU 及週邊電路時脈源

3.2.1. 時脈源分配

三組震盪器輸出 (OSC_XT、OSC_HAO、OSC_LPO) 會先經過前置工作時脈分配器進行啟用/停止、切換與預先除頻後再進入晶片的 CPU 與各週邊電路。前置工作時脈分配器可產生四種不同的時脈頻率，依其相依性與頻率快慢排列分別為 HS_CK ≥ HSS_CK ≥ HS_DCK 或 LS_CK。如圖 3-2 所示。

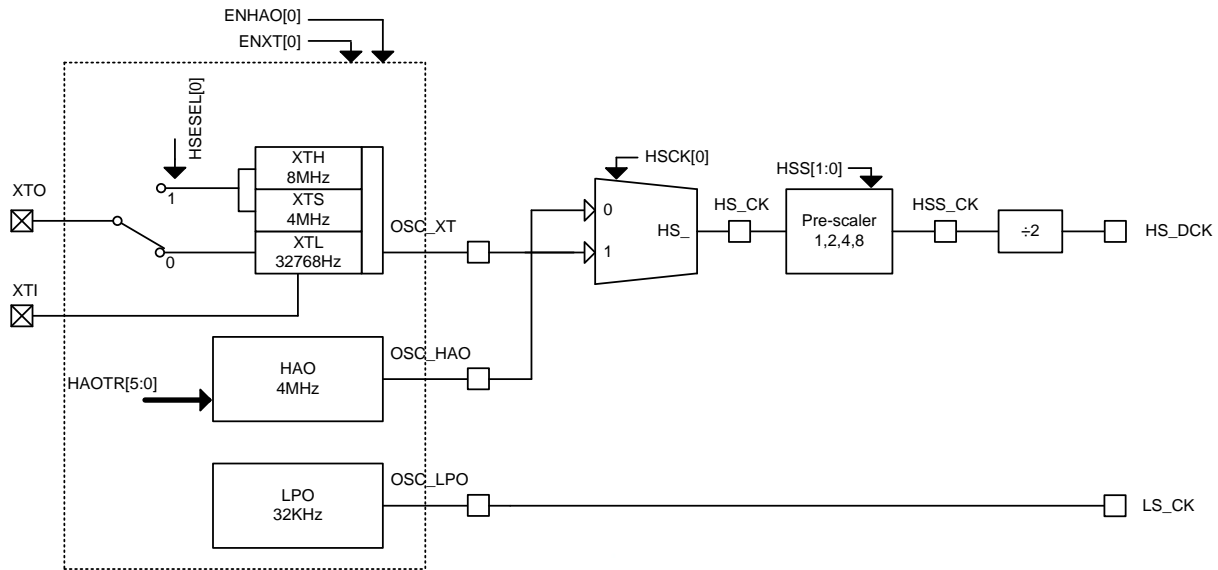


圖 3-2 前置工作時脈分配器

範例程式：

設置內部輔助振盪器 HAO 為主要時脈源，HS_DCK 輸出 1MHz 的頻率且 LS_CK 為 LPO 的輸出頻率 32KHz。

MVL 00101001b ; 設置 HAO 啟用

MVF MCKCN1,1,0 ; 設置 HS_CK 時脈源為 OSC_HAO，脈源
; LS_CK 時為 OSC_LPO。且經 HSS[1:0] 預
; 除頻 2。再經內部除頻 2 所以得到 HS_DCK
; = 1MHz

範例 3-1 HS_DCK 輸出 1MHz 的範例程式

範例程式：

設置外部 8MHz 震盪器為主要時脈源，HS_DCK 輸出 4MHz 的頻率且 LS_CK 為內部 LPO 的輸出頻率 32KHz。

```
CLRF    TRISC2,0      ; 設置 PT2.0, PT2.1 供外部震盪器輸入訊號使用
CLRF    PT2PU,0
MVL     10000011b    ; 設置外部 8MHz 震盪器起振
MVF     MCKCN1,1,0
CALL    DELAY        ; DELAY LOOP 為時間延遲副程式
                    ; 必須保留約 30msec 延遲時間做為震盪器起振使用
MVL     10100110b    ; 設置 CPU_CK 源為 HS_DCK
MVF     MCKCN1,1,0   ; HS_DCK 時脈源為 OSC_XT
                    ; LS_CK 時脈源為 OSC_LPO
                    ; 指令週期 INTR_CK=8M/2/4=1MHz
                    ; 關閉內部 OSC_HAO 頻率源且切換至外部震盪器達省
                    ; 電功能
NOP
```

範例 3-2 HS_DCK 輸出 4MHz(外部震盪器)的範例程式

3.2.2. CPU 時脈源

晶片核心 CPU 的工作頻率有四種時脈可選擇，分別為 HS_CK、HSS_CK、HS_DCK 與 LS_CK。

指令的執行週期為 CPU_CK/4 而提供週邊的主要時脈為 PERA_CK，如圖 3-3。表 3-3 簡略列出 CPU 工作頻率與指令週期的關係。

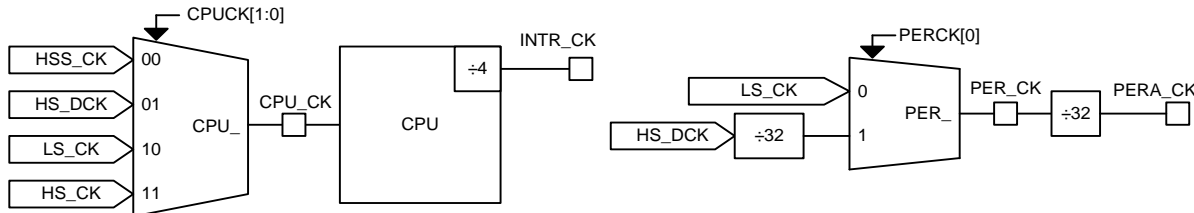


圖 3-3 CPU 與週邊工作時脈

工作時脈源 HAO、LPO		CPU 工作頻率 CPU_CK	指令執行週期 INST_CK
HSS_CK	4MHz	4MHz	1us
HS_DCK	4MHz	2MHz	2us
LS_CK	32KHz	32KHz	125us
HS_CK	4MHz	4MHz	1us

表 3-3 HSS[1:0]=01b, CPU 工作頻率與指令執行週期

3.2.3. CPU 周邊電路時脈源

HY12P 系列週邊電路的工作時脈係由不同的分配控制器與預除頻器進行配置，該配置將於各週邊單元作詳細說明故於此只附上週邊工作時脈配置圖，如圖 3-4。

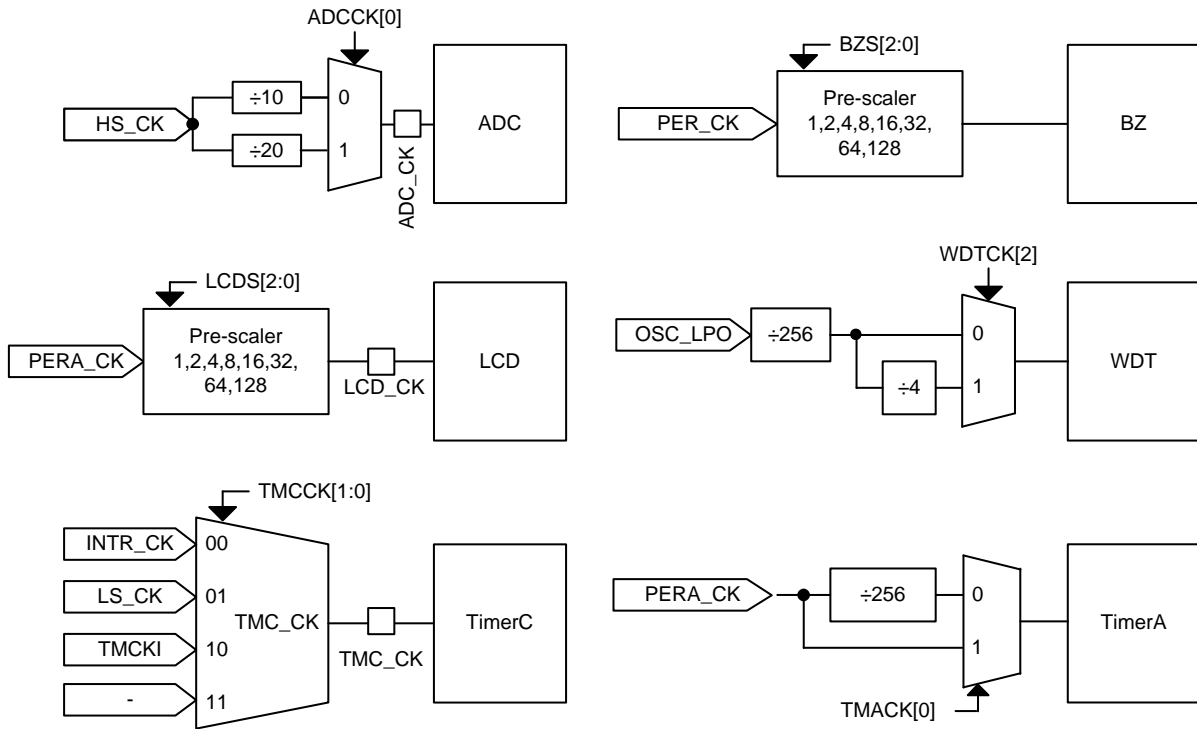


圖 3-4 週邊工作時脈配置圖

3.3. 暫存器說明-工作時脈源控制器

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
30H	MCKCN1	HSEL	CPUCK[1:0]		HSS[1:0]		HSCK	ENXT	ENHAO	0000 0001	0000 0001	*****
31H	MCKCN2	LCDS[2:0]		ADCK	PERCK	BZS[2:0]			0000 0000	0000 0000	*****	
51H	PT2							PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	*****
52H	TRISC2							TC2.1	TC2.0	0000 0000	0000 0000	*****
54H	PT2PU							PU2.1	PU2.0	0000 0000	0000 0000	*****

表 3-4 工作時脈源控制暫存器

MCKCN1：工作時脈源控制器 1

HSEL：外接震盪器頻率選擇控制位

1：XTS/XTH 模式

0：XTL 模式

CPUCK[1:0]：CPU 工作時脈選擇控制位

11：HS_CK

10：LS_CK

01：HS_DCK

00：HSS_CK

HSS[1:0]：高速組時脈源預分頻器

11：HS_CK/8

10：HS_CK/4

01：HS_CK/2

00：HS_CK/1

HSCK：高速時脈源選擇器控制位元

當 ENXT = 1

1：OSC_XT

0：OSC_HAO

當 ENXT = 0

1：無法設置

0：OSC_HAO

ENXT：外部晶振/諧振器啟用控制位

1：啟用

0：停止

ENHAO：內部 HAO(4MHz)啟用控制位

1：啟用

0：停止

MCKCN2：工作時脈源控制器 2

LCDS[2:0]：LCD 週邊工作頻率預除頻器

111：PERA_CK/128

110：PERA_CK/64

101：PERA_CK/32

100：PERA_CK/16

011：PERA_CK/8

010：PERA_CK/4

001：PERA_CK/2

000：PERA_CK/1

ADCCK：SD18 週邊工作時脈選擇器

1：HSCK/20

0：HSCK/10

PERCK：週邊時脈源選擇控制器位

1：HS_DCK/32。

0：LS_CK。

BZS[2:0]：BZ 週邊工作頻率預除頻器

111：PER_CK/128。

110：PER_CK/64。

101：PER_CK/32。

100：PER_CK/16。

011：PER_CK/8。

010：PER_CK/4。

001：PER_CK/2。

000：PER_CK/1。

PT2：PORT2 狀態控制暫存器

PT2.1：外部引腳控制位元

1：高電位。

0：低電位。

PT2.0：外部引腳控制位元

1：高電位。

0：低電位。

TRISC2：輸入輸出控制暫存器

TC2.1：外部引腳輸入或輸出控制位元

1：輸出。

0：輸入。

TC2.0：外部引腳輸入或輸出控制位元

1：輸出。

0：輸入。

PT2PU：上拉電阻控制暫存器

PU2.1：外部引腳上拉電阻控制位元

1：啟用。

0：關閉。

PU2.0：外部引腳上拉電阻控制位元

1：啟用。

0：關閉。

3.4. 功率消耗管理與操作狀態

HY11P 系列 CPU 提供三種工作模式讓使用者可以在執行效能與省電得到最佳管理，三種模式分別為運行模式、待機模式與休眠模式。

3.4.1. 運行模式

運行模式主要指 CPU 依循時脈源處理所有發生的事件，此時晶片所有週邊皆可正常運作且功率消耗在同時脈下時處於最大的狀態。

3.4.2. 待機模式

待機模式主要指 CPU 進入節能的狀態即停止運作等待喚醒，並將 PSTATUS 復位暫存器的 IDLEB [0] 旗標位元置 <1>。在此模式下晶片週邊仍正常運作，當週邊產生中斷事件時將會喚醒 CPU⁵。另外，看門狗計數終了產生的信號在此模式下是屬於中斷事件信號而非復位信號。範例程式如 範例 3-4。

3.4.3. 休眠模式

休眠模式主要指晶片處於停止運作狀態，CPU、內部震盪器(HAO 與 LPO)與外部震盪器(XT)將停止工作，週邊使用 HAO、LPO、XT 等相關時脈源亦停止運作並將 PSTATUS 復位暫存器的 PD 旗標位元置 <1>。在此模式下，晶片將處於等待中斷事件進行喚醒，因為部分週邊雖停止運作但其功能仍處於開啟狀態，故為了達到休眠模式晶片功耗處於最低的情況下非用於喚醒晶片的週邊必需做進一步的功能關閉。範例程式如 範例 3-5。

⁵ CPU 受到中斷信號喚醒後 PC(程式計數器)會跳至中斷向量位置(0x004h)。詳細的 PSTATUS 復位暫存器與中斷服務向量的說明請參見復位、中斷章節

MVL	01000000B	
MVF	MCKCN1, F, ACCE	; 設內部 LPO 為 CPU 時鐘
		; 關閉所有外部時鐘源以及內部 HAO
CLRF	TMACN	; 關閉各個時鐘計數模組，也可以根據功能需要
CLRF	TMCCN	;
CLRF	ADCCN7	; 關閉 ADC 功能模組
CLRF	RMSCN	; 關閉 RMS 功能模組
CLRF	PWRCN	; 關閉 Power Source
CLRF	PWRCN2	; 關閉 Power Source
CLRF	SSPCON1	; 關閉 SPI 模組
CLRF	URCON	; 關閉 EUART 模組
		; 其他模組的關閉則視應用增減
BCF	TRISC1, 0, ACCE	; 設定 PT1.0 為外部中斷喚醒輸入
BSF	PT1PU, 0, ACCE	
		; 同時可以根據 PT1,PT2 進行設置
BCF	INTF1, 0, ACCE	
MVL	10000001B	
MVF	INTE1, F, ACCE	; 設定外部中斷 PT1.0 使能
IDLE		
NOP		

範例 3-4 待機模式範例程式

CLRF	TMACN	; 關閉 Timer A 時鐘計數模組
CLRF	TMCCN	; 關閉 Timer C 時鐘計數模組
CLRF	PWMCN	; 關閉 PWM 模組
CLRF	ADCCN7	; 關閉 ADC 功能模組
CLRF	RMSCN	; 關閉 RMS 功能模組
CLRF	PWRCN	; 關閉 Power Source
CLRF	PWRCN2	; 關閉 Power Source
CLRF	SSPCON1	; 關閉 SPI 模組
CLRF	URCON	; 關閉 EUART 模組
CLRF	LVDCN1	; 關閉 LVD 模組
CLRF	LCDCN1	; 關閉 LCD 模組
CLRF	TRISC1	; 設定 PT1.0 為外部中斷喚醒輸入, PT1 PULL UP
SETF	PT1PU	
CLRF	TRISC2	; 設定 PT2 PULL UP
SETF	PT2PU	
CLRF	TRISC3	; 設定 PT3 PULL UP
MVL	11000010b	
MVF	PT3PU,F,ACCE	
BCF	INTF1, 0, ACCE	
MVL	10000001B	
MVF	INTE1, F, ACCE	; 設定外部中斷 PT1.0 使能
SLP		
NOP		

範例 3-5 休眠範例程式

4. 復位,RESET

HY12P 系列的復位線路包含以下四種事件來觸發復位訊號，復位方塊圖如 圖 4-1。

- ◆ **BOR** 電源干擾復位。
- ◆ **RST** 外部復位輸入引腳。
- ◆ **WDT** 看門狗復位。
- ◆ **SKERR** 堆疊錯誤復位。(使用者決定)

操作狀態暫存器摘要：

PSTATUS PD[0],TO[0],IDLEB[0],BOR[0],SKERR[0]

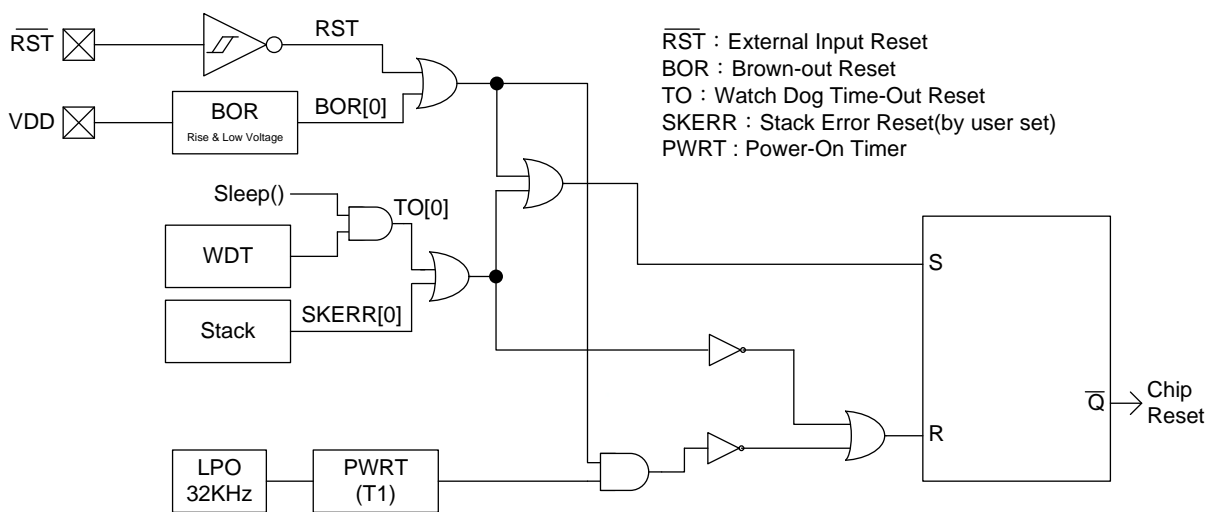


圖 4-1 復位方塊圖

這些復位事件可區分為硬體復位及軟體復位，說明如表 4-1。CPU 經復位後程式由 0x0000h 啟動。

復位種類	事件	符號	說明
硬體復位	BOR RST	I-RESET	CPU 重新啟動，須等待內部震盪器啟動計數完成後方能進入正常工作狀態。
低階復位	WDT SKERR	A-RESET	僅清除部分暫存器，CPU 快速回到正常工作狀態。

表 4-1 復位等級表

4.1. 復位事件說明

4.1.1. BOR 電源干擾復位

當 CPU 在上電過程或電源受外界干擾時，CPU 會由不正常工作的過低工作電壓進入正常工作電壓。因此，如 CPU 在過低工作電壓時無法處於復位狀態，將會造成 CPU 當機使週邊電路工作異常。所以必須靠著 BOR 線路功能，在偵測到工作電壓受到干擾且電壓準位低於設計值，會產生復位信號使晶片進入重新啟動狀態，直至回復工作電壓才會解除復位信號使晶片進入正常工作模式。

當發生 BOR 復位時，PSTATUS[7:0]暫存器中的 BOR[0]旗標會被置<1>以記錄發生的事件。

HY12P 系列的 BOR 線路會產生約小於 1uA 的電流消耗，無法透過程式或其他設置方式使其關閉。

4.1.2. RST 外部輸入復位

外部RST引腳的電壓準位低於設計值⁶時會產生復位信號使晶片進入重新啟動狀態，直至RST電壓準位恢復時才會解除復位信號使晶片進入正常工作模式。

4.1.3. WDT 看門狗計數器復位

WDT 看門狗計時器在運行模式計數終了時會產生復位信號使晶片進入快速啟動狀態。當發生 WDT 看門狗復位時 PSTATUS[7:0] 暫存器中的 TO[0]旗標會被置<1>以記錄發生的事件。

注意，WDT 計數終了產生的信號有兩種，當晶片操作在運行模式下會產生復位信號，若晶片操作在待機模式則產生中斷事件信號喚醒 CPU。詳細的操作說明請參見看門狗, WDT 章節。

4.1.4. SKERR 堆疊錯誤復位

程式發生堆疊溢位或欠位時會產生復位信號使晶片進入快速啟動狀態。當發生 SKERR 堆疊錯誤復位時 PSTATUS[7:0]暫存器中的 SKERR[0]旗標會被置<1>以記錄發生的事件。詳細的操作說明請參見記憶體, Memory 章節。

⁶ 該引腳存在另外兩種功能，一是當 RST 輸入電壓拉高至符合規格時，晶片進入 OTP 燒寫模式，另一是當 RST 輸入電壓符合 V_{IL} 規格時進入晶片漏電流檢測模式。

4.2. 狀態暫存器

晶片的操作狀態顯示於 PSTATUS[7:0]復位暫存器，相互間關係如表 4-2。

“0”：未發生，“1”：已發生，“u”：不改變，“-”：未使用

名稱/狀態	位址	7	6	5	4	3	2	1	0
PSTATUS	02CH	PD	TO	IDLEB	BOR	-	SKERR	-	-
硬體復位 (A-RESET)	BOR	0	0	0	1	-	0	-	-
	RST	0	0	0	u	-	0	-	-
軟體復位 (I-RESET)	WDT	u	1	u	u	-	u	-	-
	SKERR	u	u	u	u	-	1	-	-

表 4-2 復位狀態旗標關係表

4.2.1. 復位狀態的時序圖

硬體復位信號發生後至晶片進入操作狀態的時序圖，如圖 4-2。不同復位信號信號發生後至晶片進入操作狀態的時間，如 表 3-2(b)

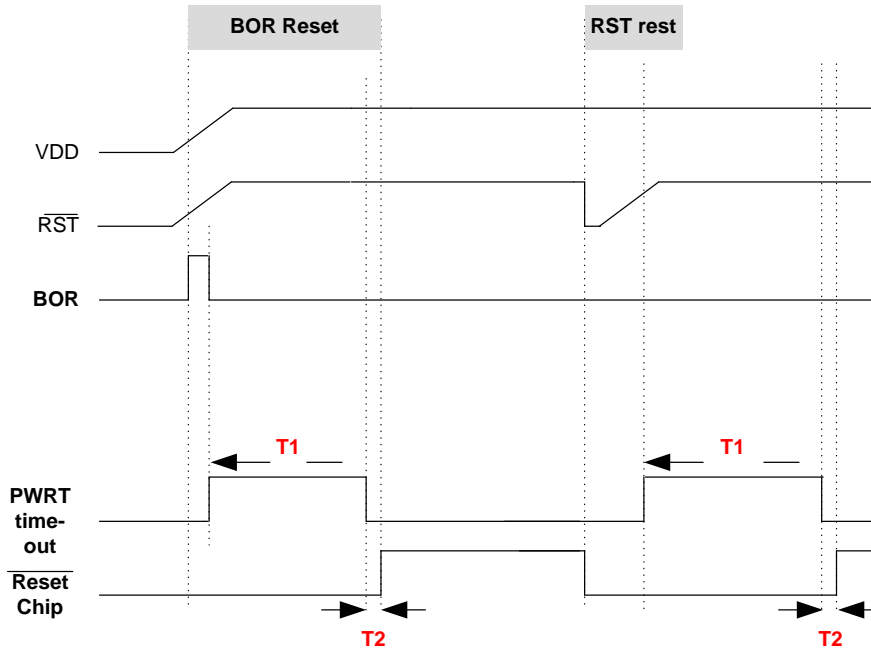


圖 4-2 低階復位狀態時序圖

“-”：無定義

復位信號	延遲時間		操作狀態			
	符號	T1 ⁷	T2 ⁸	運行	待機	休眠
BOR	t _{RST}	T1 + T2		有效	有效	有效
RST		T1 + T2		有效	有效	有效
WDT ⁹	-	-	有效	有效	無效	
SKERR	-	-	有效	無效	無效	

表 4-3 復位狀態的延遲時間與操作狀態關係表

⁷ T1：2048 個純硬體振盪週期延遲，使用的時脈源為 LPO(32KHz)。

⁸ T2：1024 個純硬體振盪週期延遲，使用的時脈源為 HAO(4MHz)。

⁹ WDT 數終了產生的信號有兩種，詳細的操作說明請參見看門狗,WDT 章節。

4.2.2. 暫存器說明-復位狀態

"no use,""read/write,""write,""read,""r0"only read 0,""r1"only read 1,""w0"only write 0,""w1"only write 1										
"unimplemented bit,""x"unknown,""u"unchanged,""d"depends on condition										
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	R/W
2CH	PSTATUS	PD	TO	IDLEB	BOR		SKERR			000d .0.. uduu .d.. rw0,rw0,rw0,rw0 -,rw0,-,-

表 4-4 復位暫存器

PSTATUS：狀態暫存器

PD：休眠狀態旗標

- 1：執行 SLEEP 指令時置<1>。
- 0：清除需透過 BOR、RST 或指令。

TO：看門狗計時器旗標

- 1：看門狗計數終了時置<1>。
- 0：清除需透過 BOR、RST 或指令。

IDLEB：待機狀態旗標

- 1：執行 IDLE 指令時置<1>。
- 0：清除需透過 BOR、RST 或指令。

BOR：電源干擾復位旗標，

- 1：BOR 發生作用時置<1>。
- 0：清除需透過指令。

SKERR：堆疊錯誤復位旗標

- 1：堆疊錯誤時置<1>。
- 0：清除需透過 BOR、RST 或指令。

5. 中斷, Interrupt

中斷 Interrupt 由中斷啟用控制器 INTE 與中斷事件旗標 INTF 組成。中斷服務 Interrupt service 成立時若產生中斷事件，將使得程式計數器 PC 跳至程式記憶體的中斷向量位址 0x0004h 執行中斷服務程式。

中斷控制暫存器暫存器摘要：

INTE1	GIE[0], TMCIE[0], TMAIE[0], WDTIE[0], E11E[0], E0IE[0]
INTE2	TXIE[0], RCIE[0], RMSIE[0], LPFIE[0], AD1IE[0], CTIE[0]
INTE3	E24IE[0], E25E[0], E26IE[0], E27IE[0]
INTF1	TMCIF[0], TMAIF[0], WDTIF[0], E11F[0], E0IF[0]
INTF2	TXIF[0], RCIF[0], RMSIF[0], LPFIF[0], AD1IF[0], CTIF[0]
INTF3	E24IF[0], E25F[0], E26IF[0], E27IF[0]

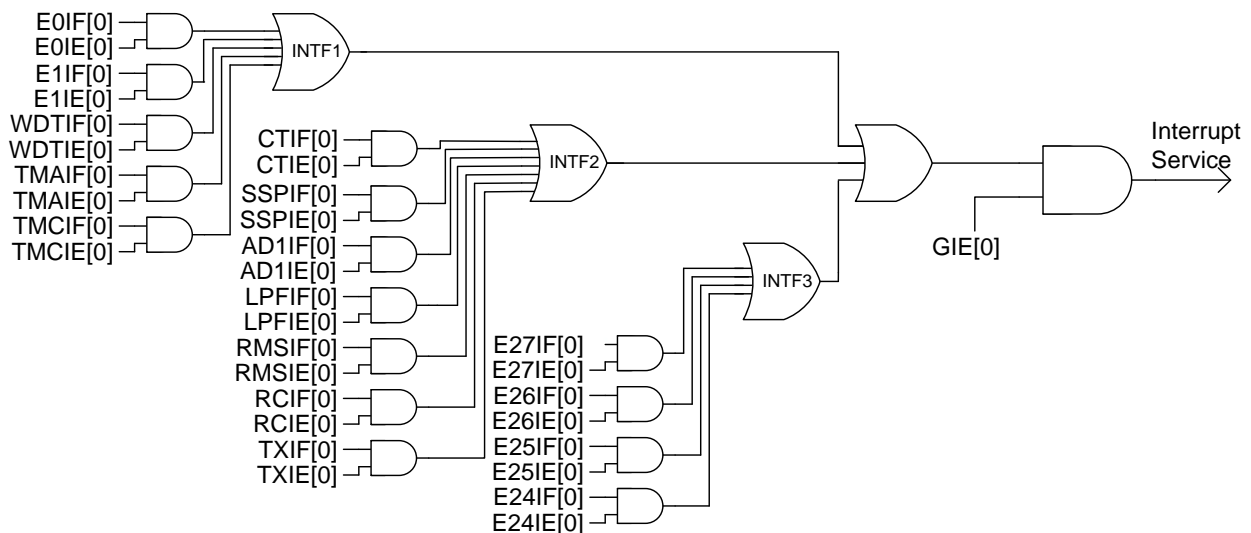


圖 5-1 中斷向量方塊圖

中斷服務事件的節制器共有兩層，最高層為中斷服務控制器 GIE[0]、次一層為中斷事件的啟用控制位元。

- 啟用中斷事件只需將相對於中斷事件啟用控制器 INTE_x[7:0]的控制器設置<1>即可；反之，設置<0>則為關閉中斷事件。
- 啟用中斷服務只需將相對於中斷控制暫存器 INTE1[7:0]的中斷服務控制器 GIE[0]設置<1>即可；反之，設置<0>則為關閉中斷服務。

當進入中斷服務向量時 GIE[0]會自動被置<0>，在中斷服務程式執行完畢後欲返回中斷發生位址時可直接執行中斷返回指令 RETI，此時 GIE[0]將自動被置<1>；或執行返回指令 RET，此時 GIE[0]狀態維持 0。

5.1. 暫存器說明-中斷

"--no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1 "., "unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
23H	INTE1	GIE		TMCIE		TMAIE	WDTIE	E1IE	E0IE	0.0. 0000	0.0. 0000	*,*,*,*,*,*,*,*
24H	INTE2	TXIE	RCIE	RMSIE	LPFIE	AD1IE		CTIE		0000 000.	0000 000.	*,*,*,*,*,*,*,*
25H	INTE3	E24IE	E25IE	E26IE	E27IE					0000	0000	*,*,*,*,*,*,*,*
26H	INTF1			TMCIF		TMAIF	WDTIF	E1IF	E0IF	..0. 0000	..0. 0000	*,*,*,*,*,*,*,*
27H	INTF2	TXIF	RCIF	RMSIF	LPFIF	AD1IF		CTIF		0000 000.	0000 000.	*,*,*,*,*,*,*,*
28H	INTF3	E24IF	E25IF	E26IF	E27IF					0000	0000	*,*,*,*,*,*,*,*

表 5-1 中斷暫存器

INTE1：中斷啟用控制暫存器 1

GIE[0]：中斷服務控制器

1：啟用。

0：關閉。

TMCIE[0]：Timer-C 中斷事件啟用控制器

1：啟用。(計時/計數器 C,TMC)

0：關閉。

TMAIE[0]：Timer-A 中斷事件啟用控制器

1：啟用。(計時/計數器 A,TMA)

0：關閉。

WDTIE[0]：Watch Dog 中斷事件啟用控制器

1：啟用。(看門狗,WDT)

0：關閉。

E1IE[0]：輸入引腳 1 中斷事件啟用控制器

1：啟用。(外部輸入引腳,PT1.1)

0：關閉。

E0IE[0]：輸入引腳 0 中斷事件啟用控制器

1：啟用。(外部輸入引腳,PT1.0)

0：關閉。

"--"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"., "unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
23H	INTE1	GIE		TMCIE		TMAIE	WDTIE	E1IE	E0IE	0.0. 0000	0.0. 0000	..x.. *****
24H	INTE2	TXIE	RCIE	RMSIE	LPFIE	AD1IE		CTIE		0000 000.	0000 000.	*****..
25H	INTE3	E24IE	E25IE	E26IE	E27IE					0000	0000	*****..
26H	INTF1			TMCIF		TMAIF	WDTIF	E1IF	E0IF	..0. 0000	..0. 0000	..x.. *****
27H	INTF2	TXIF	RCIF	RMSIF	LPFIF	AD1IF		CTIF		0000 000.	0000 000.	*****..
28H	INTF3	E24IF	E25IF	E26IF	E27IF					0000	0000	*****..

INTE2 : 中斷啟用控制暫存器 2

TXIE[0] : TX 中斷事件啟用控制器

1 : 啟用。(通訊介面,EUART)

0 : 關閉。

RCIE[0] : RC 中斷事件啟用控制器

1 : 啟用。(通訊介面,EUART)

0 : 關閉。

RMSIE[0] : True RMS 中斷事件啟用控制器

1 : 啟用。

0 : 關閉。

LPFIE[0] : Low Pass Filter 中斷事件啟用控制器

1 : 啟用。

0 : 關閉。

AD1IE[0] : ADC 中斷事件啟用控制器

1 : 啟用。

0 : 關閉。

CTIE[0] : CONTER 中斷事件啟用控制器

1 : 啟用。

0 : 關閉。

"--"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
23H	INTE1	GIE		TMCIE		TMAIE	WDTIE	E1IE	E0IE	0.0. 0000	0.0. 0000	..x.. *****
24H	INTE2	TXIE	RCIE	RMSIE	LPFIE	AD1IE		CTIE		0000 000.	0000 000.	*****x..
25H	INTE3	E24IE	E25IE	E26IE	E27IE					0000	0000	*****x..
26H	INTF1			TMCIF		TMAIF	WDTIF	E1IF	E0IF	..0. 0000	..0. 0000	..x.. *****
27H	INTF2	TXIF	RCIF	RMSIF	LPFIF	AD1IF		CTIF		0000 000.	0000 000.	*****x..
28H	INTF3	E24IF	E25IF	E26IF	E27IF					0000	0000	*****x..

INTE3：中斷啟用控制暫存器 3

E24IE[0]：輸入引腳 4 中斷事件啟用控制器

1：啟用。(外部輸入引腳,PT2.4)

0：關閉。

E25IE[0]：輸入引腳 5 中斷事件啟用控制器

1：啟用。(外部輸入引腳,PT2.5)

0：關閉。

E26IE[0]：輸入引腳 6 中斷事件啟用控制器

1：啟用。(外部輸入引腳,PT2.6)

0：關閉。

E27IE[0]：輸入引腳 7 中斷事件啟用控制器

1：啟用。(外部輸入引腳,PT2.7)

0：關閉。

"--"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
".,unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
23H	INTE1	GIE		TMCIE		TMAIE	WDTIE	E1IE	E0IE	0.0. 0000	0.0. 0000	*,*,*,*,*,*,*,*
24H	INTE2	TXIE	RCIE	RMSIE	LPFIE	AD1IE		CTIE		0000 000.	0000 000.	*,*,*,*,*,*,*,*
25H	INTE3	E24IE	E25IE	E26IE	E27IE					0000	0000	*,*,*,*,*,*,*,*
26H	INTF1			TMCIF		TMAIF	WDTIF	E1IF	E0IF	..0. 0000	..0. 0000	*,*,*,*,*,*,*,*
27H	INTF2	TXIF	RCIF	RMSIF	LPFIF	AD1IF		CTIF		0000 000.	0000 000.	*,*,*,*,*,*,*,*
28H	INTF3	E24IF	E25IF	E26IF	E27IF					0000	0000	*,*,*,*,*,*,*,*

INTF1：中斷事件旗標暫存器 1

TMCIF[0]：Timer-C 中斷事件旗標

1：已發生。(計時/計數器 C,TMC)

0：未發生。

TMAIF[0]：Timer-A 中斷事件旗標

1：已發生。(計時/計數器 A,TMA)

0：未發生。

WDTIF[0]：Watch Dog 中斷事件旗標

1：已發生。(看門狗,WDT)

0：未發生。

E1IF[0]：輸入引腳 1 中斷事件旗標

1：已發生。(外部輸入引腳,PT1.1)

0：未發生。

E0IF[0]：輸入引腳 0 中斷事件旗標

1：已發生。(外部輸入引腳,PT1.0)

0：未發生。

"--"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
".,unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
23H	INTE1	GIE		TMCIE		TMAIE	WDTIE	E1IE	E0IE	0.0. 0000	0.0. 0000	..x.. *****
24H	INTE2	TXIE	RCIE	RMSIE	LPFIE	AD1IE		CTIE		0000 000.	0000 000.	*****..
25H	INTE3	E24IE	E25IE	E26IE	E27IE					0000	0000	*****..
26H	INTF1			TMCIF		TMAIF	WDTIF	E1IF	E0IF	..0. 0000	..0. 0000	..x.. *****
27H	INTF2	TXIF	RCIF	RMSIF	LPFIF	AD1IF		CTIF		0000 000.	0000 000.	*****..
28H	INTF3	E24IF	E25IF	E26IF	E27IF					0000	0000	*****..

INTF2 : 中斷事件旗標暫存器 2

TXIF[0] : TX 中斷事件旗標

1 : 已發生。(通訊介面,EUART)

0 : 未發生。

RCIF[0] : RC 中斷事件旗標

1 : 已發生。(通訊介面,EUART)

0 : 未發生。

RMSIF[0] : True RMS 中斷事件旗標

1 : 已發生。

0 : 未發生。

LPFIF[0] : Low Pass Filter 中斷事件旗標

1 : 已發生。

0 : 未發生。

AD1IF[0] : ADC 中斷事件旗標

1 : 已發生。

0 : 未發生。

CTIF[0] : COUNTER 中斷事件旗標

1 : 已發生。

0 : 未發生。

"--"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
23H	INTE1	GIE		TMCIE		TMAIE	WDTIE	E1IE	E0IE	0.0. 0000	0.0. 0000	..x.. *****
24H	INTE2	TXIE	RCIE	RMSIE	LPFIE	AD1IE		CTIE		0000 000.	0000 000.	*****-..
25H	INTE3	E24IE	E25IE	E26IE	E27IE					0000	0000	*****-....
26H	INTF1			TMCIF		TMAIF	WDTIF	E1IF	E0IF	..0. 0000	..0. 0000	..x.. *****
27H	INTF2	TXIF	RCIF	RMSIF	LPFIF	AD1IF		CTIF		0000 000.	0000 000.	*****-..
28H	INTF3	E24IF	E25IF	E26IF	E27IF					0000	0000	*****-....

INTF3：中斷事件旗標暫存器 3

E24IF[0]：輸入引腳 4 中斷事件旗標

1：已發生。(外部輸入引腳,PT2.4)

0：未發生。

E25IF[0]：輸入引腳 5 中斷事件旗標

1：已發生。(外部輸入引腳,PT2.5)

0：未發生。

E26IF[0]：輸入引腳 6 中斷事件旗標

1：已發生。(外部輸入引腳,PT2.6)

0：未發生。

E27IF[0]：輸入引腳 7 中斷事件旗標

1：已發生。(外部輸入引腳,PT2.7)

0：未發生。

6. 硬體乘法器

H08A 指令集具有 8x8 硬體乘法器的處理指令“MULF 和 MULL”。8x8 硬體乘法器的運算結果會放至乘法器暫存器 PRODH[7:0]與 PRODL[7:0]且不會改變 STATUS[7:0] 狀態暫存器中的任何標誌。而 PRODH[7:0]與 PRODL[7:0]為唯讀暫存器，使用時必須注意。

硬體乘法器可進行有號數與無號數運算，如範例 6-1 與範例 6-2

例1：V1 x V2 = V

MVL	V1	
MVF	BUF0,1,0	； V1值放入記憶體區塊0的 BUF0 暫存器
MVL	V2	； V2值放入 W 暫存器。
MULF	BUF0,0	； 執行 V1 x V2 並將運算結果放入 PRODH/PRODL

範例 6-1 無號數運算

例2：N1 x N2 = N ,s=7b

MVL	N1	； N1 值放入 W 暫存器
MVF	BUF0,1,0	； N1 值放入記憶體區塊0的 BUF0 暫存器
MVL	N2	； N2 值放入 W 暫存器。
MVF	BUF1,1,0	； N2 值放入 BUF1 暫存器。
MULF	BUF0,0	； 執行 V1 x V2 並將運算結果放入PRODH/L
MVFF	PRODH,SWP	； 將 PRODH 暫存器內的值放入 SWP 暫存器
BTSZ	BUF0,s	； 判斷 N1， 若為負數則
SUBF	SWP,1,0	； 將 SWP – N2 放入 SWP 暫存器
MVF	BUF0,0,0	； 將 N1 值放入 W 暫存器
BTSZ	BUF1,s	； 判斷 N2， 若為負數則
SUBF	SWP,1,0	； 將 SWP – N1 放入 SWP運算處理後， N = SWP/PRODL

； -----

； N1=07Fh,N2=0FFh 乘法器運算後得到 PRODH/L = 7E81h

； 判斷 N1 是否為負數，若是負數則將 PRODH – N2

； 判斷 N2 是否為負數，若是負數則將 PRODH – N1

； 運算處理後即可得到有號數 N 的值

； 7Fh x FFh = 7Fh x (0FFh – 100h)

； = 7Fh x 0FFh – 7Fh x 100h

； = 7E81h – 7F00h

； = FF81h

範例 6-2 有號數運算

7. 輸入/輸出埠, I/O

輸入/輸出埠 I/O 每八個引腳為一個埠，可作數位的輸入與輸出以及類比信號量測通道。每個埠由一組暫存器做控制。在不同產品上 I/O 的暫存器組成會有差異。

I/O 相關暫存器摘要：

- PT** PT1[7:0], PT2[7:0], PT3[7:5]
- TRISC** TC1[7:0], TC2[7:0], TC3[7:5],
- PTDA** DA2[7:3], DA3[5]
- PTPU** PU1[7:0], PU2[7:0], PU3[7:5]
- PTM** PM1[7:4], INTEG1[1:0], INTEG0[1:0], PM2[1:0]

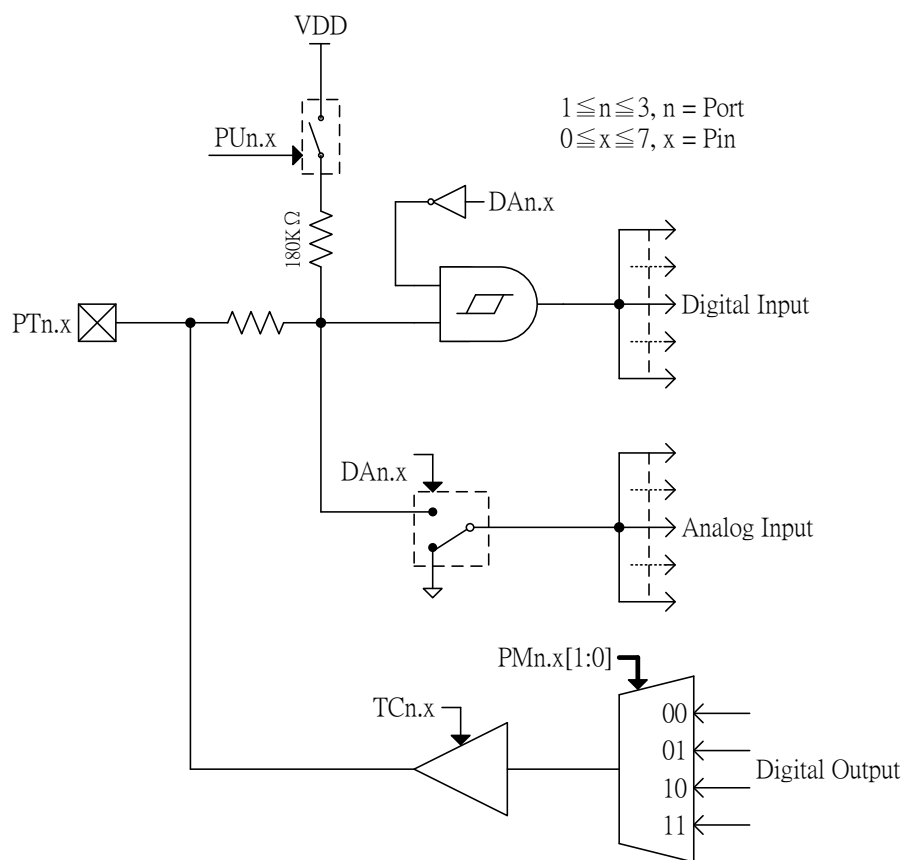


圖 7-1 I/O 架構方塊圖

7.1. PORT 相關暫存器介紹

PORT 主要提供數位或類比的信號輸入與輸出引腳。

7.1.1. PT 狀態控制暫存器

當 I/O 被設置為輸入則在相對的暫存器位置可以讀得目前 I/O 的狀態，讀值 1 則此時的 I/O 輸入高電位、讀值 0 則此時的 I/O 輸入低電位。

當 I/O 被設置為輸出則在相對的暫存器位置可以控制輸出狀態，設置<1>則 I/O 輸出為高電位、設置<0>則 I/O 輸出為低電位。

7.1.2. TRISC 輸入/輸出控制暫存器

選擇 I/O 為輸入或輸出，設置<1>I/O 為輸出狀態、設置<0>為輸入狀態。當 I/O 設定為輸入狀態，則在晶片進入休眠模式時必須給定一明確的輸入電位，不可讓 I/O 呈現浮接狀態，以避免造成晶片產生漏電現象。

7.1.3. PTDA 數位或類比輸入控制暫存器

設定 I/O 為類比輸入或數位輸入狀態，設置<1>為類比、設置<0>為數位輸入，設置時需考慮其他 I/O 相關暫存器的設置狀態以免造成數位/類比信號相互干擾。

7.1.4. PTPU 上拉電阻控制暫存器

設定 I/O 上拉電阻功能是否啟用，設置<1>則 I/O 啟用、設置<0>斷開。在晶片進入休眠模式前，若 I/O 設置為數位輸入狀態且外部電路連接方式會造成 I/O 有浮接現象時即可啟用上拉電阻，以避免 I/O 浮接而導致晶片進入休眠模式後產生漏電流。

7.1.5. PTM 數位輸出模式選擇暫存器

I/O 輸出模式選擇器 $PMn.x[1:0]$ ($1 \leq n \leq 2, 0 \leq x \leq 7$) 可設置 I/O 輸出信號。部分 I/O 具有一種以上的數位週邊線路輸出信號，故需正確設置 $PMn.x[1:0]$ 才能得到期望的輸出信號。

7.1.6. PTINT 中斷信號產生條件

I/O 外部輸入電位屬於何種變化時產生中斷信號，電位變化條件可分上升緣 (0→1) 變化、下降緣 (1→0) 變化與電位轉態 (0→1 或 1→0) 變化。其中 $PT2[7:4]$ 固定為電位轉態中斷。

當偵測條件為電位轉態變化時，則必須先讀取 $PT1[1:0]$ 或 $PT2[7:4]$ 狀態，再啟動電位轉態 (0→1 或 1→0) 變化模式，則當 $PT1[1:0]$ 電位與之前讀取狀態不同時，則會產生中斷信號。

電位轉態 (0→1) 設定方式，先使得 $PT1.0/PT1.1$ 引腳為低電壓，先執行讀取 $PT1[1:0]$ 狀態動作，再啟動 $INTEGx[1:0]=10b$ 或 $11b$ 模式 ($0 \leq x \leq 1$)，則當 $PT1.0/PT1.1$ 引腳偵測到上升緣時，則會產生中斷信號。

電位轉態 (1→0) 設定方式，先使得 $PT1.0/PT1.1$ 引腳為高電壓，先執行讀取 $PT1[1:0]$ 狀態動作，再啟動 $INTEGx[1:0]=10b$ 或 $11b$ 模式 ($0 \leq x \leq 1$)，則當 $PT1.0/PT1.1$ 引腳偵測到下降緣時，則會產生中斷信號。

7.2. 蜂鳴器, Buzzer

BZ 可產生多種不同的頻率以推動外部蜂鳴器，由 BZ 工作頻率預除頻器 BZS[2:0] 可設置多種輸出頻率。

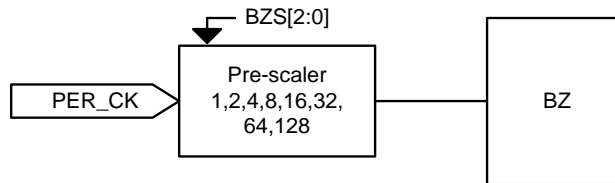


圖 7-2 BZ 方塊圖

7.3. 輸入/輸出埠 1, I/O Port1

“I”：輸入, “O”：輸出, “A”：類比, “C”：CMOS I/O, “S”：SCHMITT TRIGGER, “X”：未定義, “P”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PM[0]	
PT1.0	I/O	S	0/1	X	X	數位輸入/輸出引腳
INT0	I	S	0	X	X	外部中斷源
PSCK	I	S	0	X	X	OTP 讀/寫介面 PSCK 引腳
PT1.1	I/O	S	0/1	X	X	數位輸入/輸出引腳
INT1	I	S	0	X	X	外部中斷源
PSDI	I	S	0	X	X	OTP 讀/寫介面 PSDI 引腳
PT1.2	I/O	S	0/1	X	X	數位輸入/輸出引腳
PT1.3	I	S	0/1	X	X	數位輸入/輸出引腳
TST	I	S	0	X	X	原廠保留
RC	I	S	0	X	X	EUART 通訊介面 RC 引腳
PT1.4	I/O	S	0/1	X	0	數位輸入/輸出引腳
TX	O	C	1	X	1	EUART 通訊介面 TX 引腳
PT1.5	I/O	S	0/1	X	0	數位輸入/輸出引腳
PT1.6	I/O	S	0/1	X	0	數位輸入/輸出引腳
PT1.7	I/O	S	0/1	X	0	數位輸入/輸出引腳
BZ	O	C	1	X	1	Buzzer 輸出引腳
PSDO	O	C	1	X	0	OTP 讀/寫介面 PSDO 引腳
Set at PT1PU[7:0]=00h						

表 7-1PORT1 功能

7.3.1. 暫存器說明-PORT1

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE						E1IE	E0IE	0.0. 0000	0.0. 0000	*.*.*.*.*
26H	INTF1							E1IF	E0IF	..0. 0000	..0. 0000	*.*.*.*.*
31H	MCKCN2							BZS[2:0]		0000 0000	0000 0000	*.*.*.*.*
4DH	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	uuuu uuuu	*.*.*.*.*
4EH	TRISC1	TC1.7	TC1.6	TC1.5	TC1.4	TC1.3	TC1.2	TC1.1	TC1.0	0000 0000	0000 0000	*.*.*.*.*
4FH	PT1PU	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	0000 0000	0000 0000	*.*.*.*.*
50H	PT1M1	PM1.7	PM1.6	PM1.5	PM1.4	INTEG1[1:0]		INTEG0[1:0]		0000 0000	0000 0000	*.*.*.*.*

表 7-2 PORT1 控制暫存器

INTE1/INTF1：詳見 **中斷, Interrupt** 章節

MCKCN2：詳見 **震盪器、時脈源與功耗管理** 章節

PT1：PORT1 狀態控制暫存器

PT1.x：外部引腳旗標或控制位元 (0 ≤ x ≤ 7)

1：高電位旗標或高電位輸出。

0：低電位旗標或低電位輸出。

TRISC1：輸入/輸出控制暫存器

TC1.x：外部引腳輸入或輸出控制位元 (0 ≤ x ≤ 7)

1：輸出。

0：輸入。

PT1PU：上拉電阻控制暫存器

PU1.x：外部引腳上拉電阻控制位元 (0 ≤ x ≤ 7)

1：啟用。

0：關閉。

PT1M1：數位輸出模式選擇暫存器

PM1.7：PT1.7 Buzzer 輸出控制位元

1：啟用。

0：關閉。

PM1.4：PT1.4 EUART TX 輸出控制位元

1：啟用。

0：關閉。

INTEG1[1:0]：PT1.1 中斷信號產生條件

11：電位轉態 (0→1 或 1→0)

10：電位轉態 (0→1 或 1→0)

01：上升緣 (0→1)

00：下降緣 (1→0)

INTEG0[1:0] : PT1.0 中斷信號產生條件

11 : 電位轉態 (0→1 或 1→0)

10 : 電位轉態 (0→1 或 1→0)

01 : 上升緣 (0→1)

00 : 下降緣 (1→0)

7.4. 輸入/輸出埠 2 ,I/O Port2

"I" : 輸入, "O" : 輸出, "A" : 類比, "C" : CMOS I/O, "S" : SCHMITT TRIGGER, "X" : 未定義, "P" : 電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PM[1:0]	
PT2.0	I/O	S	0/1	X	X	數位輸入/輸出引腳
XTO	O	A	0	X	X	外部震盪器引腳
PT2.1	I/O	S	0/1	X	X	數位輸入/輸出引腳
XTI	I	A	0	X	X	外部震盪器引腳
PT2.2	I/O	C	0/1	X	00	數位輸入/輸出引腳
PFD	O	C	1	X	01	PFD 輸出引腳
PWM	O	C	1	X	10	PWM 輸出引腳
PT2.3	I/O	S	0/1	0	X	數位輸入/輸出引腳
TMCKI	I	S	0	0	X	TIMER-C 時脈源輸入引腳
LVDIN	I	A	0	1	X	LVD 外部信號輸入引腳
PT2.4	I/O	S	0/1	0	X	數位輸入/輸出引腳
INT24	I	S	0	0	X	中斷源輸入引腳
CMP0	I	A	0	1	X	比較器輸入接口引腳
PT2.5	I/O	S	0/1	0	X	數位輸入/輸出引腳
INT25	I	S	0	0	X	中斷源輸入引腳
CMP1	I	A	0	1	X	比較器輸入接口引腳
PT2.6	I/O	S	0/1	0	X	數位輸入/輸出引腳
INT26	I	S	0	0	X	中斷源輸入引腳
CMP2	I	A	0	1	X	比較器輸入接口引腳
PT2.7	I/O	S	0/1	0	X	數位輸入/輸出引腳
INT27	I	S	0	0	X	中斷源輸入引腳
CMP3	I	A	0	1	X	比較器輸入接口引腳
Set at PT2PU[7:0]=00h						

表 7-3 PORT2 功能

7.4.1. 暫存器說明-PORT2

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
51H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	*** **
52H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	0000 0000	*** **
53H	PT2DA	DA2.7	DA2.6	DA2.5	DA2.4	DA2.3			PM2.2[1:0]	0000 0.00	0000 0.00	*** **
54H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	*** **

表 7-4 PORT2 控制暫存器

PT2 : PORT2 狀態控制暫存器

PT2.x : 外部引腳旗標或控制位元 (0 ≤ x ≤ 7)

1 : 高電位旗標或高電位輸出。

0 : 低電位旗標或低電位輸出。

TRISC2 : 輸入/輸出控制暫存器

TC2.x : 外部引腳輸入或輸出控制位元 (0 ≤ x ≤ 7)

1 : 輸出。

0 : 輸入。

PT2DA : 數位或類比輸入控制暫存器

DA2.x : 外部引腳輸入類比或數位信號控制位元 (3 ≤ x ≤ 7)

1 : 類比。

0 : 數位。

PM2.2[1:0] : PT2.2 輸出模式控制位元

11 : 保留。

10 : Timer C PWM 輸出啟用。

01 : Timer C PFD 輸出啟用。

00 : 關閉。

PT2PU : 上拉電阻控制暫存器

PU2.x : 外部引腳上拉電阻控制位元 (0 ≤ x ≤ 7)

1 : 啟用。

0 : 關閉。

7.5. 輸入/輸出埠 3 ,I/O Port3

"I" : 輸入, "O" : 輸出, "A" : 類比, "C" : CMOS I/O, "S" : SCHMITT TRIGGER, "X" : 未定義, "P" : 電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PM[0]	
PT3.5	I/O	C	0/1	1	X	數位輸入/輸出引腳
PB5	I	A	0	0	X	類比通道輸入引腳
PT3.6	I/O	C	0/1	X	X	數位輸入/輸出引腳
CNT	I	A	0	X	X	頻率計數輸入引腳
PT3.7	I/O	C	0/1	X	0	數位輸入/輸出引腳
CMPO	O	C	1	X	1	比較器輸出引腳
Set at PT3PU[7:5]=000b						

表 7-5 PORT3 功能

7.5.1. 暫存器說明-PORT3

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
55H	PT3	PT3.7	PT3.6	PT3.5		TC3.7	TC3.6	TC3.5		xxx. 000.	uuu. 000.	***-***-
56H	PT3PU	PU3.7	PU3.6	PU3.5		PM3.7		DA3.5		000. 0.0.	000. 0.0.	***-***-

表 7-6 PORT3 控制暫存器

PT3 : PORT3 狀態控制暫存器

PT3.x : 外部引腳旗標或控制位元 (5 ≤ x ≤ 7)

- 1 : 高電位旗標或高電位輸出。
- 0 : 低電位旗標或低電位輸出。

TC3.x : 外部引腳輸入或輸出控制位元 (5 ≤ x ≤ 7)

- 1 : 輸出。
- 0 : 輸入。

PT3PU : 上拉電阻控制暫存器

PU3.x : 外部引腳上拉電阻控制位元 (5 ≤ x ≤ 7)

- 1 : 啟用。
- 0 : 關閉。

PM3.7 : PT3.7 CMPO 輸出控制位元

- 1 : 啟用。
- 0 : 關閉。

DA3.5 : PT3.5 外部引腳輸入類比或數位信號控制位元

- 1 : 數位。
- 0 : 類比。

8. 看門狗, Watch Dog

看門狗 WDT 為顧名思義的為晶片的看守者，主要用於產生喚醒事件。

- ◆ 運行模式
 - 看門狗計數器溢位產生復位信號，重新啟動晶片
 - 可用軟體清歸零時器
- ◆ 休眠模式
 - 看門狗 WDT 關閉，無法使用
- ◆ 待機模式
 - 看門狗計數器溢位產生中斷事件，喚醒晶片

WDT 相關暫存器摘要：

TMACN ENWDT[0], WDTS[2:0]

PSTATUS TO[0]

INTF1 WDTIF[0]

INTE1 WDTIE[0]

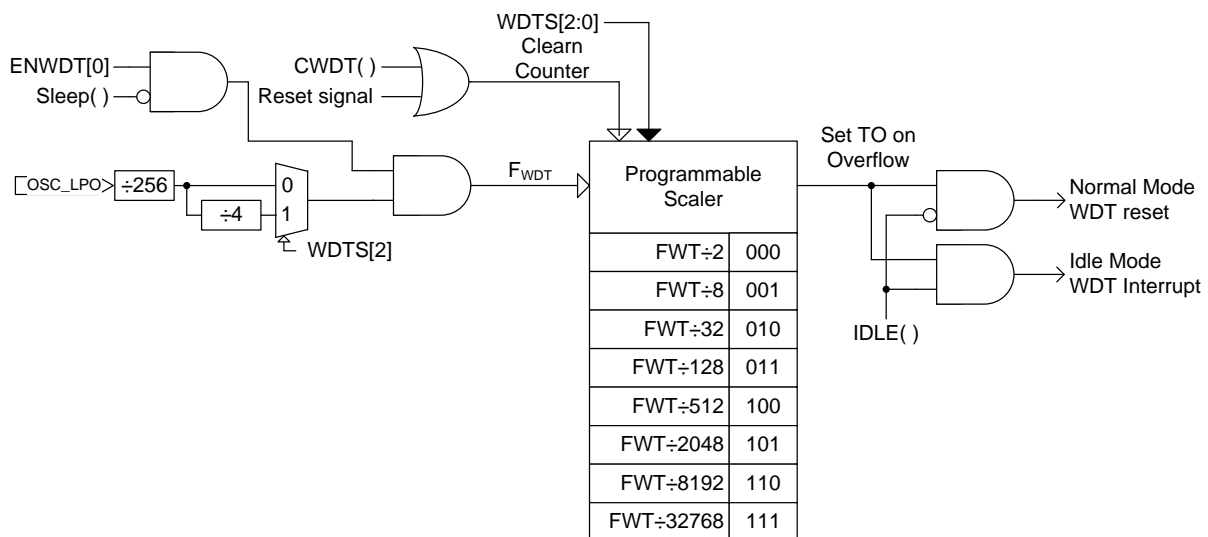


圖 8-1 看門狗方塊圖

8.1. WDT 使用說明

8.1.1. WDT 初始化設置

WDT計時控制器WDTS[2:0]可決定WDT計數器的工作頻率 F_{WDT} 與溢位，計數器溢位後可產生WDT復位信號TO或中斷事件WDTIF¹⁰。

¹⁰ WDT 使用內部時脈源 LPO，故可操作在晶片處於運行 Normal Mode 與待機 Idle Mode 模式。運行模式下可用軟體指令歸零計數器使之不會因計數終了而復位晶片，但在待機模式下則無法透過任何方式使 WDT 計時器歸零。

8.1.2. WDT 中斷事件服務

WDT 中斷事件只能操作在晶片處於待機模式，當 WDTIE[0]與 GIE[0]設置<1>時 WDT 計數器溢位後會產生中斷事件將 WDTIF[0]置<1>且程式計數器 PC 跳至中斷向量位置<0>x0004h。反之，WDTIE[0]與 GIE[0]設置<0>時不會產生任何中斷。

8.1.3. WDT 啟用

WDT 必須在晶片處於運行模式下啟用，即是將 WDT 啟用控制器 ENWDT[0]設置<1>以啟用 WDT。啟用後即無法用軟件再將 ENWDT[0]設置<0>，但當 WDT 使用於待機模式時，若發生 WDT 計數終了產生喚醒的中斷事件後硬體會自動將 ENWDT[0]置<0>。

```
MVL 00Ah
MVF TMACN,1,0    ; 啟用 WDT 並設置 WDT[2:0] = 010b
....
                  ; WDT 計數器溢位時間約為 4Hz
CWDT              ; 歸零 WDT 計數器
....
```

範例 8-1 WDT 復位事件範例程式

```
MVL 00Ah
MVF TMACN,1,0    ; 啟用 WDT 並設置 WDT[2:0] = 010b
....
                  ; WDT 計數器溢位時間約為 4Hz
CWDT              ; 歸零 WDT 計數器
IDLE              ; 進入待機模式
....
Idle Interrupt :  ; 中斷服務程式
BCF INTF1,WDTIF,0 ; 清除 WDT 中斷事件旗標
....
RETI              ; 中斷服務返回
```

範例 8-2 WDT 中斷事件範例程式

8.2. 暫存器說明-WDT

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE					WDTIE			0.0. 0000	0.0. 0000	*.*.*.*.*
26H	INTF1						WDTIF			.0. 0000	.0. 0000	.*.*.*.*
2CH	PSTATUS		TO							000d .0..	uduu .d..	rw0,rw0,rw0,rw0 .,rw0,-,.
32H	TMACN					ENWDT	WDTS[2:0]			0000 0000	0000 0000	*.*.*.* w1,.*.*.*

表 8-1 WDT 控制暫存器

INTE1/INTF1：詳見 *中斷, Interrupt* 章節

PSTATUS：詳見

復位, RESET 章節

TMACN：計時/計數器 A 控制暫存器

ENWDT：WDT 啟用控制器

1：啟用。

0：關閉；（無法軟件設置<0>）

WDTS[2:0]：設置 WDT 計數器溢位的時間

111：F_{WDT}/32768

110：F_{WDT}/8192

101：F_{WDT}/2048

100：F_{WDT}/512

011：F_{WDT}/128

010：F_{WDT}/32

001：F_{WDT}/8

000：F_{WDT}/2

9. 計數器 A,Timer-A

計數器 A 為 8-bit 的設計架構，TMA 可工作於運行模式與待機模式。

- ◆ 遞增型計數器
- ◆ 四段溢位數值選擇
- ◆ 溢位產生中斷事件
- ◆ 可讀取計數器的值

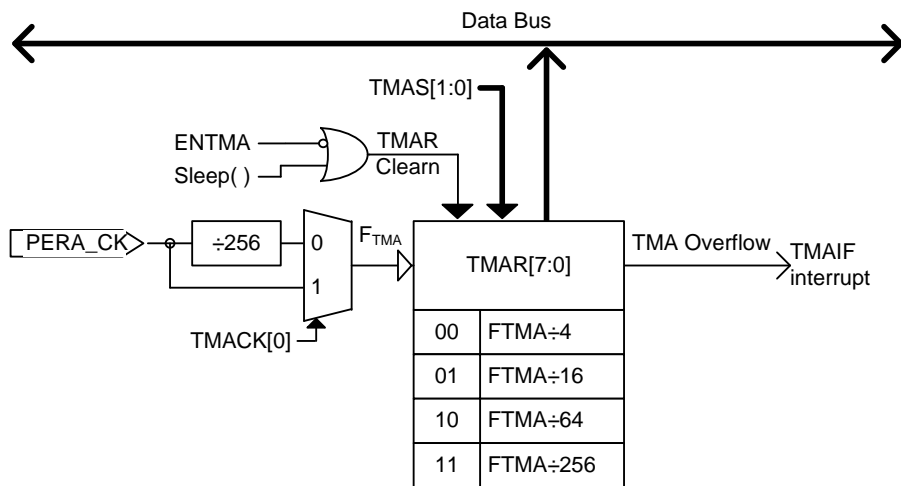
TMA 暫存器摘要：

TMACN ENTMA[0],TMACK[0],TMAS[1:0]

TMAR TMAR[7:0]

INTE1 TMAIE[0]

INTF1 TMAIF[0]



設置TMAS[1:0]=00b, 當TMAR[7:0]=00000100b發生第一次中斷，
 下一次發生中斷時TMAR[7:0]=00001000b。
 故每次中斷發生時TMAR[7:0]=TMAR[7:0]+4.

設置TMAS[1:0]=10b, 當TMAR[7:0]=01000000b發生第一次中斷，
 下一次發生中斷時TMAR[7:0]=10000000b。
 故每次中斷發生時TMAR[7:0]=TMAR[7:0]+64.

圖 9-1 計數器 A 方塊圖

9.1. TMA 使用說明

9.1.1. TMA 初始化設置

TMA工作頻率由PERA_CK提供，透過TMACK [0]的設置可預先對PERA_CK進行除頻調整使得 F_{TMA} 的工作頻率為PERA_CK/256 或PERA_CK。

TMAR[7:0]為TMA的計數器，透過TMAS[1:0]可分別設置計數器產生溢位發生中斷事件TMAIF[0]的時間。TMAS[1:0]可設置TMAR[7:0]每+4、+16、+64 或+256 產生溢位¹¹。

9.1.2. TMA 中斷事件服務

TMA 計數器 TMAR[7:0]溢位後會產生中斷事件使 TMAIF[0]置<1>。此時若需要中斷事件服務需將 TMAIE[0]與 GIE[0]設置<1>。

- 例如：當 TMAS[1:0]設置<00>時，TMAR[7:0]的數值由 0000011b 變化至 0000100b 時發生溢位產生中斷事件，而下一次的中斷事件會發生在 TMAR[7:0]由 0000111b 變化至 00001000b 的時候。而當 TMAS[1:0]設置<10>時，TMAR[7:0]的數值由 00111111b 變化至 01000000b 時發生溢位產生中斷事件，而下一次的中斷事件會發生在 TMAR[7:0]由 01111111b 變化至 10000000b 的時候。

9.1.3. TMA 啟用

ENTMA[0]設置<1>以啟用 TMA 且 TMAR[7:0]開始計數；設置<0>則關閉 TMA 且 TMAR[7:0]計數器的計數值會被自動歸零。

BCF INTF1,TMAIF,0	；清除TMAIF旗標
MVL 088h	
MVF INTE1,1,0	；設置Timer A中斷服務
MVL 0D0h	；啟用Timer A並設置工作頻率為PERA_CK
MVF TMACN,1,0	；設置TMAS[1:0]=01b,使得TMAR計數器發生溢位的頻率為每
	；PERA_CK/16 Hz即；每次產生中斷事件時間為1/(PERA_CK/16)秒
...	
TMA Interrupt :	；Timer A 中斷事件服務程式
BCF INTF1,TMAIF,0	；清除TMA中斷事件旗標而TMAR=TMAR+16。注意，每當TMAR發生溢位
	；時無論是否開啟中斷事件服務TMAR=TMAR+16
RETI	；中斷服務返回

範例 9-1 TMA 中斷事件範例程式

¹¹ 在計數過程中改變 TMAS[1:0]溢位產生的時間可能會導致 TMA 計數發生誤動作，使用時必須注意。

9.2. 暫存器說明-TMA

-"no use,""read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1 "."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE				TMAIE				0.0. 0000	0.0. 0000	*.*.*.*.*.*.*.*
26H	INTF1					TMAIF				..0. 0000	..0. 0000	..*.*.*.*.*.*.*
32H	TMACN	ENTMA	TMACK	TMAS[1:0]						0000 0000	0000 0000	*.*.*.* w1.*.*.*
33H	TMAR	TimerA data register								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r

表 9-1 TMA 控制暫存器

INTE1/INTF1：詳見 **中斷,Interrupt** 章節

TMACN：計數器 A 控制暫存器

ENTMA：Timer-A 啟用控制器

1：啟用

0：關閉；計數器歸零

TMACK：Timer-A 工作頻率選擇器

1： $F_{TMA}=PERA_CK$

0： $F_{TMA}=PERA_CK / 256$

TMAS[1:0]：Timer-A 計數器溢位控制器

11： $F_{TMA} / 256$ ；每次溢位發生中斷事件， $TMAR[7:0]=TMAR[7:0]+256$

10： $F_{TMA} / 64$ ；每次溢位發生中斷事件， $TMAR[7:0]=TMAR[7:0]+64$

01： $F_{TMA} / 16$ ；每次溢位發生中斷事件， $TMAR[7:0]=TMAR[7:0]+16$

00： $F_{TMA} / 4$ ；每次溢位發生中斷事件， $TMAR[7:0]=TMAR[7:0]+4$

TMAR：TMA 的遞增型計數器，可讀取不可寫入。

10. 計數器 C, Timer-C

計數器 C 為 8-bit 的設計架構，其 TMC 計數器由兩個數值暫存器與一個比較器組成而溢位事件的發生則是由後除頻器產生。可操作於運行模式、待機模式與休眠模式。

- ◆ 具 8-bit 頻率控制器與數值比較器與計數器
- ◆ 遞增計數器
- ◆ 數值比較器
- ◆ 支援 PWM 功能
- ◆ 支援 PFD 功能
- ◆ 可規劃溢位數值
- ◆ 溢位產生中斷事件

Timer-C 暫存器摘要：

TMCCN	ENTMC[0], TMCCCK[1:0], TMCS1[2:0], TMCS0[1:0]
TMCR	TMCR[7:0]
PRC	PRC[7:0]
INTE1	TMCIE[0]
INTF1	TMCIF[0]

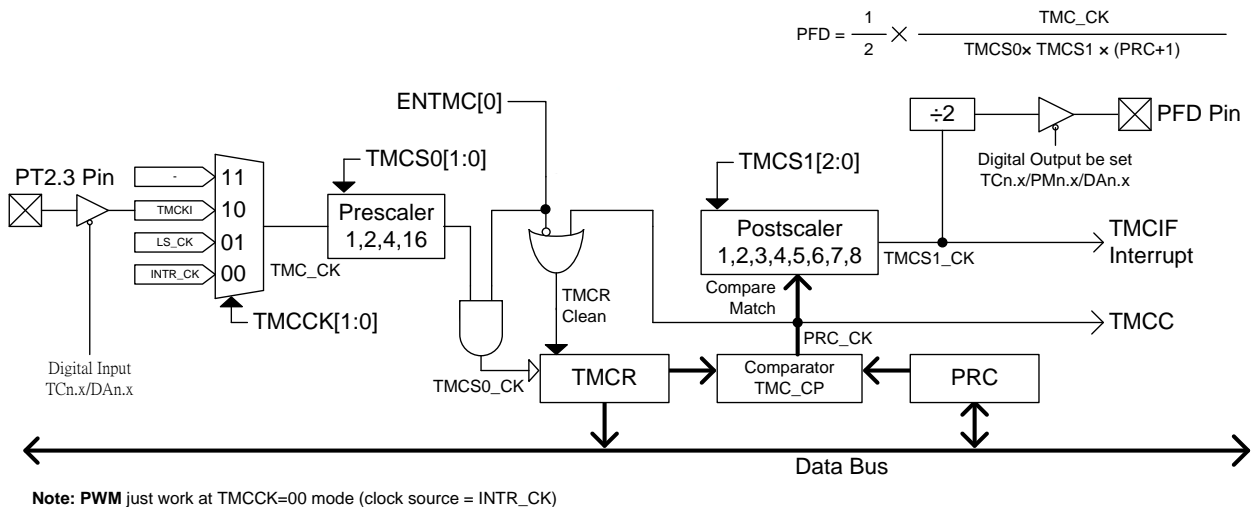


圖 10-1 計數器 C 方塊圖

10.1. Timer-C 使用說明

10.1.1. TMC 初始化設置

TMC工作頻率由工作頻率選擇器TMCK [1:0]進行設置，其可設置TMC_CK為INTR_CK¹²、LS_CK或是TMCKI¹³工作頻率，依設置的頻率不同可使得TMC可操作在運行、待機或是休眠模式下。

預除頻控制器 TMCS0[1:0]的設置會對 TMC_CK 進行除頻產生 TMCS0_CK；溢位控制器 TMCS1[2:0]的設置會對 PRC_CK 進行除頻產生 TMCS1_CK。

計數器TMCR[7:0]¹⁴與頻率控制器PRC[7:0]及數值比較器TMC_CP組成PRC_CK信號產生機制，即是當TMCR[7:0]與PRC[7:0]兩暫存器內容相同時產生PRC_CK信號提供予後除頻器TMCS1[2:0]。

10.1.2. TMC 中斷事件服務

PRC_CK 經過後除頻器除頻後輸入 TMC，當 TMCS1[2:0]設置的條件滿足時發生溢位產生中斷事件 TMCIF[0]置<1>。此時若需要中斷事件服務需將 TMCIE[0]與GIE[0]設置<1>。

10.1.3. 啟用 Timer-C

ENTMC[0]設置<1>以啟用 TMC 且 TMCR[7:0]開始計數；設置<0>則關閉 TMC 且 TMCR[7:0]計數器的數值會自動被歸零。故為了確保計數的準確，使用者必需先將數值寫入 PRC[7:0]再啟動 TMC。

BCF	INTF1,TMCIF,0	；清除 TMC 中斷事件旗標
MVL	0A0h	
MVF	INTE1,1,0	；設置 Timer C 中斷服務
MVL	01Fh	；將 PRC 寫入 01Fh
MVF	PRC,1,0	；中斷頻率約為 INTR_CK/(1Fh x 2h)
MVL	084h	；啟用 Timer C 計時計數器設置工作頻率為 INTR_CK不預除頻
MVF	TMCCN,1,0	；後除頻設置 TMCS1[2:0] = 001b
....		
TMC Interrupt :		；TMC 中斷事件服務程式
BCF	INTF1,TMCIF,0	；清除 TMC 中斷事件旗標
....		

範例 10-1 Timer-C 中斷事件範例程式

¹² 當使用 PWM 週邊使用時，TMC 工作頻率必須設置為此參數。

¹³ 當輸入頻率源選擇外部 TMCKI 時，必需正確的設置 I/O 引腳否則會造成信號無法輸入而導致執行不正常。詳細的暫存器說明請參見 *輸入/輸出埠,I/O* 章節。

¹⁴ TMCR[7:0]只能讀取，任何對 TMCR[7:0]或 TMCCN[7:0]的寫入動作都將被視為要求計數器 TMCR[7:0]歸零且預除頻器與後除頻器內的計數值也一併歸零。

10.2. 暫存器說明-TMC

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE		TMCIE						0.0. 0000	0.0. 0000	*.*.*.*.*
26H	INTF1			TMCIF						..0. 0000	..0. 0000	-.*.*.*.*
34H	TMCCN	ENTMC	TMCCCK[1:0]		TMCS1[2:0]			TMCS0[1:0]		0000 0000	0000 0000	*.*.*.*.*
35H	PRC	TimerC programmable register								1111 1111	1111 1111	*.*.*.*.*
36H	TMCR	TimerC register								0000 0000	0000 0000	r,r,r,r,r,r,r,r

表 10-1 TMC 控制暫存器

INTE1/INTF1：詳見 中斷,Interrupt 章節

TMCCN：計數器 C 控制暫存器

ENTMC：Timer-C 啟用控制位元

1：啟用

0：關閉；計數器清零

TMCCCK[1:0]：TMC 工作頻率選擇控制器

11：保留

10：TMCKI；此設置不支援 PWM 週邊線路

01：LS_CK；此設置不支援 PWM 週邊線路

00：INTR_CK

TMCS1[2:0]：Timer-C 計數器溢位控制器

111：PRC_CK/8

110：PRC_CK/7

101：PRC_CK/6

100：PRC_CK/5

011：PRC_CK/4

010：PRC_CK/3

001：PRC_CK/2

000：PRC_CK/1

TMCS0[1:0]：Timer-C 工作頻率預除頻器

11：TMC_CK/16

10：TMC_CK/4；此設置部分支援 PWM 週邊線路，詳見 11 頻率產生器,PWM/PFD 說明

01：TMC_CK/2；此設置部分支援 PWM 週邊線路，詳見 11 頻率產生器,PWM/PFD 說明

00：TMC_CK/1；此設置部分支援 PWM 週邊線路，詳見 11 頻率產生器,PWM/PFD 說明

TMCR：Timer C 計數器

Timer-C 的遞增計數器，只能讀取，任何對 TMCR[7:0]或 TMCCN[7:0]的寫入動作都將被視為要求 TMCR[7:0] 歸零。

PRC：頻率控制暫存器

Timer-C 的頻率控制器，即是由 TMC_CP 將 TMCR[7:0]與 PRC[7:]的內容做比對，當內容相同時反相 PRC_CK 的狀態。

11. 頻率產生器,PWM/PFD

頻率產生器具有兩種模式一為脈衝寬度調變 PWM 另一為頻率調變 PFD。

- ◆ 需搭配 Timer-C 使用
- ◆ PWM 與 PFD 模式復用
- ◆ 10-bit 的頻率控制器

PFD 與 PWM 暫存器摘要：

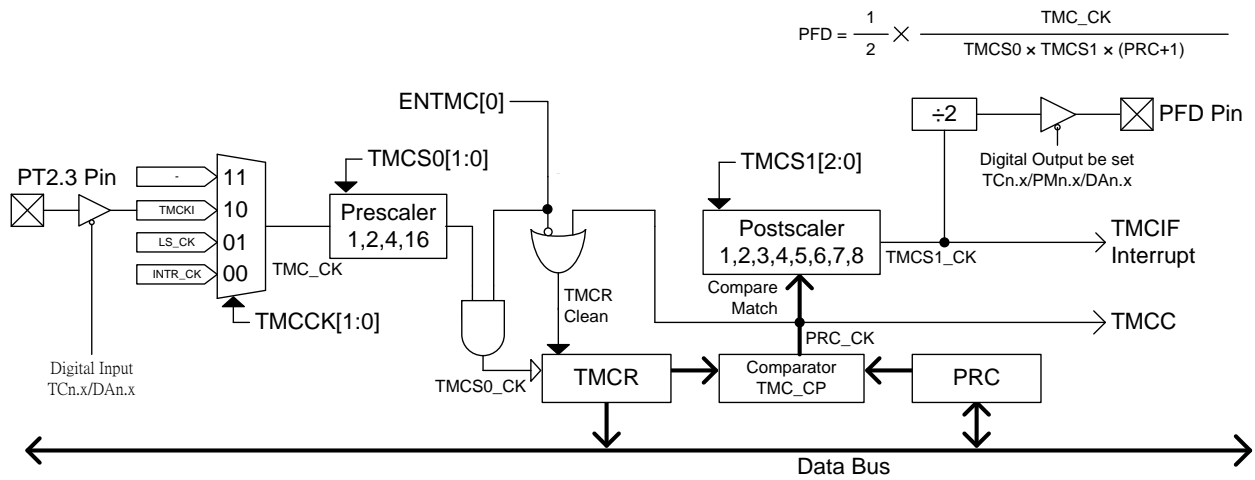
TMCCN ENTMC[0], TMCCK[1:0],TMCS1[2:0],TMCS0[1:0]

TMCR TMCR[7:0]

PRC PRC[7:0]

PWMCN ENPWM[0], ENPFD[0],PWMRL[1:0]

PWMR[9:0] PWMRH[7:0] ,PWMRL[1:0]



Note: PWM just work at TMCCK=00 mode (clock source = INTR_CK)

計數器 C 方塊圖

11.1. PFD 模式使用說明

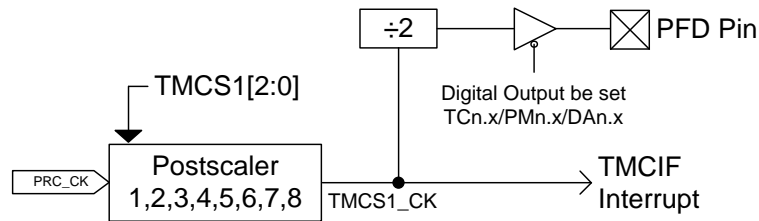


圖 11-1 PFD 方塊圖

頻率調變 PFD 模式必須有 Timer-C 支援才可使用，其輸出頻率的調變可透過 Timer-C 設置。PFD 頻率輸出的引腳必須設定為數位輸出且輸出信號必須選擇 PFD。

11.1.1. PFD 模式初始化設置

Timer-C 必須先行啟用，相關設置請參照 計數器 C,Timer-C 說明。

PFD工作頻率為PRC_CK，透過TMC的溢位控制器TMCS1[2:0]設置可以改變 PFD引腳¹⁵的輸出頻率，PFD調變頻率計算公式如 式 11-1。

式 11-1

$$PFD = \frac{1}{2} \times \frac{TMC_CK}{TMCS0 \times TMCS1 \times (PRC+1)}$$

PFD 調變頻率計算公式

11.1.2. PFD 模式啟用

ENPFD[0]設置<1>以啟用 PFD 模式。反之，當 ENPFD[0]設置<0>會關閉 PFD 模式。

BCF PT2PU, 2, 0	; PORT 相關設定
BSF TRISC2, 2, 0	
BCF PT2DA, 1, 0	; 設定 PTn.x 為數位輸出接口且輸出 PFD 信號
BSF PT2DA, 0, 0	
MVL 01Fh	; 將 PRC 寫入 01Fh
MVF PRC,1,0	; 啟用 Timer C 計時/計數器
MVL 084h	; 設置工作頻率為 INTR_CK
MVF TMCCN,1,0	; 不預除頻但後除頻設置TMCS1[2:0] = 001b
	; 故PFD 頻率為INTR_CK/(1h x 2h x 20h)
BSF PWMCN,ENPFD,0	; 啟用 PFD

範例 11-1 PFD 輸出範例程式

¹⁵ PFD 模式使用時必需正確的設置 I/O PORT 的設定，否則會造成信號無法輸出而導致 PFD 模式執行時功能不正常。詳細的暫存器說明請參見 輸入/輸出埠,I/O 章節

11.2. PWM 模式使用說明

脈衝寬度調變 PWM 具有以下的功能：

- ◆ PWM 單輸出組態
- ◆ 必須 Timer-C 支援

11.2.1. PWM 單輸出使用方式

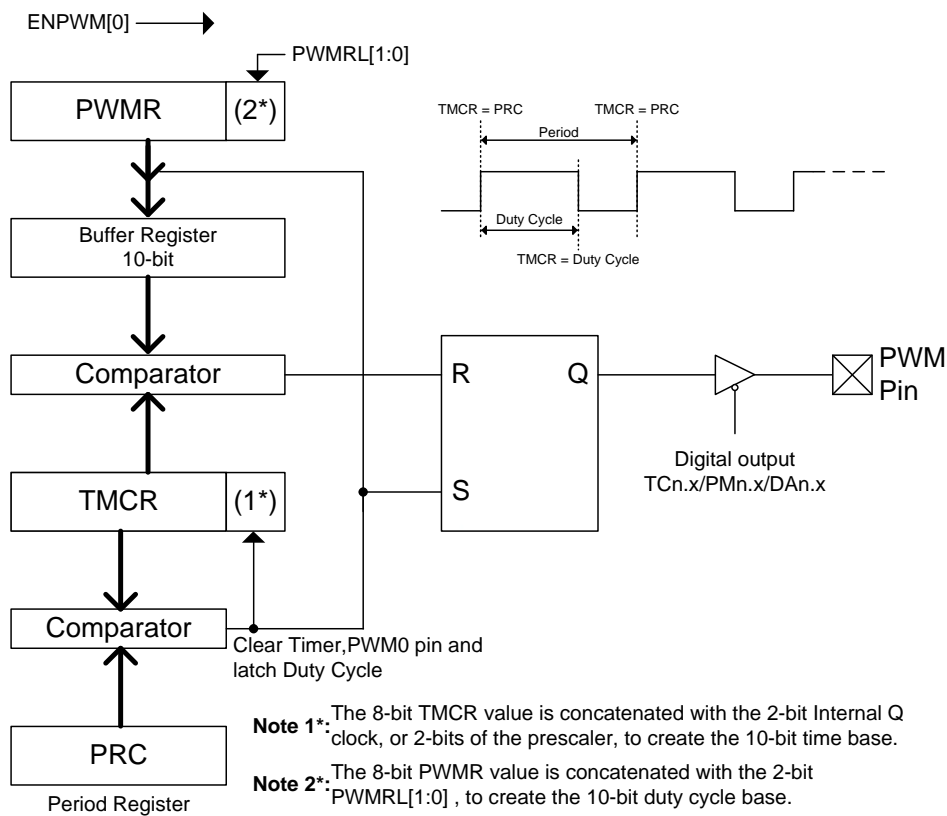


圖 0-1 PWM 單輸出方塊圖

PWM單輸出脈衝寬度調變信號具有單一輸出PWM引腳¹⁶，使用時必須先透過設置Timer-C以規劃PWM的頻率與占空比Duty Cycle。

¹⁶ PWM 模式使用時必需正確的設置 PORT 相關的設定，否則會造成信號無法輸出現象而導致執行不正常。詳細的暫存器說明請參見 輸入/輸出埠,I/O 章節

PWM 單輸出初始化設置

頻率(週期,period)設置

頻率控制器PRC[7:0]¹⁷具有 8-bit長度，改變其設置參數即可決定PWM的週期 (頻率)。計算公式如 式 0-1：

式 0-1 (a)

$$\text{PWM Period} = \frac{\text{TMCS0} \times (\text{PRC}+1)}{\text{TMC_CK}}$$

PWM 週期計算公式

式 0-1(b)

$$\text{PWM Frequency} = \frac{1}{\text{PWM Period}}$$

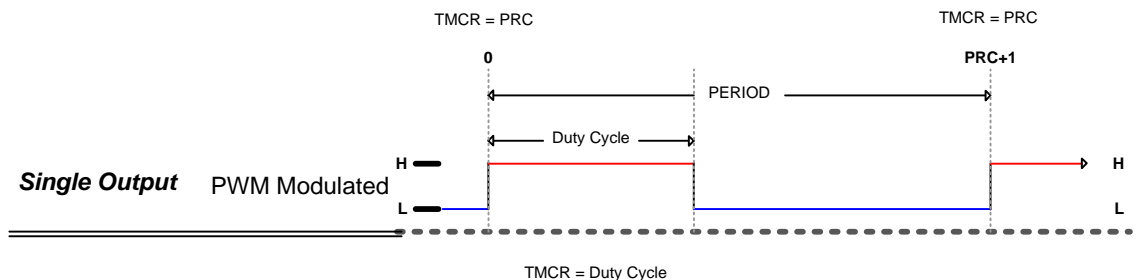
PWM 頻率計算公式

脈衝寬度(duty cycle)設置

脈衝寬度調變控制器PWMR[9:0]¹⁸具有 10-bit長度，分別由PWMRH[7:0]與PWML[1:0]組成。改變其設置參數即可決定PWM的高電位脈衝寬度，如 式 0-2。
式 0-2

$$\text{PWM Duty Cycle} = \frac{\text{TMCS0} \times (\text{PWMR}[9:0] + 4)}{\text{TMC_CK} \times 4}$$

PWM 占空比計算公式



PWM OUTPUT RELATIONSHIPS

圖 0-2 PWM 波形示意圖

¹⁷ 當 TMCR[7:0]與 PRC[7:0]數值相等時，會發生：a. PWM 輸出引腳將被設置為 1。(若 PWMR[9:0]=0，則 PWMx 輸出腳則不會被置 1)。
b. TMCR 會被歸零。

¹⁸ 當 PWM 處於操作狀態時，任何寫入 PWMR 的數值都會在一個週期結束之後才會被寫入，若 PWMR 數值大於 PRC 數值時，則 PWMx 輸出引腳將不會被設置為 0。

解析度(Resolution)設置

計算 PWM 最大解析度時必須考慮 TMC 工作頻率 TMC_CK 與 PWM 的輸出頻率，如式 0-3。

式 0-3

$$\text{PWM Resolution (max)} = \frac{\log\left(\frac{\text{TMC_CK} \times 4}{\text{TMCS0} \times \text{PWM Frequency}}\right)}{\log(2)}$$

PWM 解析度計算公式

Timer-C 設置

PWM 必須使用 Timer-C 產生頻率與占空比，故當 Timer-C 支援 PWM 模式時其工作頻率選擇器 TMCK[1:0]與預除頻器 TMCS0[1:0]的設置上會有所限制。

若 CPU 工作頻率等於或高於 2MHz，則 PWM 的工作頻率選擇器 TMCK[1:0]與預除頻器 TMCS0[1:0]的設置為：

TMCK[1:0]只能設置<00>由 INTR_CK 或設置<01>由 LS_CK，提供工作頻率予 TMC 以供 PWM 使用。

TMCS0[1:0]的四種設置除頻的參數皆可使用。

若 CPU 工作頻率等於或小於 32KHz，則 PWM 的工作頻率選擇器 TMCK[1:0]與預除頻器 TMCS0[1:0]的設置為：

TMCK[1:0]設置<00>由 INTR_CK 提供工作頻率予 TMC，在此設定下 TMCS0[1:0]的四種設置除頻的參數皆可使用。

TMCK[1:0]設置<01>由 LS_CK 提供工作頻率予 TMC，在此設定下 TMCS0[1:0]只有<11>可以使用。

詳細的說明請參見 **暫存器說明-TMC** 章節。

11.2.1.1. PWM 單輸出啟用

啟用控制器 ENPWM[0]設置<1>以啟用 PWM 模式。反之，當 ENPWM[0]設置<0>會關閉 PWM 模式。

BCF PT2PU, 2, 0	: PORT 相關設定
BSF TRISC2, 2, 0	
BSF PT2DA, 1, 0	: 設定 PTn.x 為數位輸出接口且輸出 PWM 信號
BCF PT2DA, 0, 0	
MVL 0FFh	: 將 PRC 寫入 0FFh, 決定PWM Period
MVF PRC,1,0	: PWM Period=1*(255)/500khz =512us
MVL 07FH	: PWM Duty cycle (07FH)
MVF PWMR,1,0	: PWM duty cycle=1*127/2mhz =254us
BSF PWMCN,5,0	: high duty percentage=49.61%
BSF PWMCN,4,0	
MVL 084h	
MVF TMCCN,1,0	: 啟用TMC計時/計數器,設置工作頻率為INTR_CK、不 : 預除頻,但後除頻設置 TMCS1[2:0] = 001b
MVL 0B0H	: 啟動PWM
MVF PWMCN,1,0	

範例 0-1 PWM 輸出範例程式

11.3. 暫存器說明-PFD/PWM

"-":no use,"r":read/write,"w":write,"r":read,"r0":only read 0,"r1":only read 1,"w0":only write 0,"w1":only write 1													
":unimplemented bit,"x":unknown,"u":unchanged,"d":depends on condition													
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W	
23H	INTE1	GIE		TMCIE						0.0.0000	0.0.0000	*,*,*,*,*	
26H	INTF1			TMCIF						..0.0000	..0.0000	*,*,*,*,*	
34H	TMCCN	ENTMC	TMCCK[1:0]		TMCS1[2:0]		TMCS0[1:0]			0000 0000	0000 0000	*,*,*,*,*	
35H	PRC	TimerC programmable register									1111 1111	1111 1111	*,*,*,*,*
36H	TMCR	TimerC register									0000 0000	0000 0000	r,r,r,r,r,r,r,r
37H	PWMCN	ENPWM	ENPFD	PWMRL[1:0]						0000 0000	0000 0000	*,*,*,*,*	
38H	PWMR	PWM MSB Byte register									xxxx xxxx	uuuu uuuu	*,*,*,*,*
51H	PT2						PT2.2			xxxx xxxx	uuuu uuuu	*,*,*,*,*	
52H	TRISC2						TC2.2			0000 0000	0000 0000	*,*,*,*,*	
53H	PT2DA							PM2.2[1:0]		0000 0.00	0000 0.00	*,*,*,*,*	
54H	PT2PU						PU2.2			0000 0000	0000 0000	*,*,*,*,*	

表 0-1 PFD/PWM 暫存器

INTE1/INTF1：詳見 中斷,Interrupt 章節

TMCCN/TMCR：詳見 計數器 C,Timer-C 章節

PT2/TRISC2/PT2DA/PT2PU：詳見 輸入/輸出埠,I/O 章節

PRC：PWM 週期控制器亦稱 TMC 頻率控制器

PWM 相關計算公式：

$$\text{波形週期 PWM Period} = (\text{PRC}+1) \times (1/\text{TMC_CK}) \times \text{TMCS0}$$

$$\text{占空比 PWM Duty Cycle} = \text{TMCS0} \times \text{PWMR} \div (\text{TMC_CK} \times 4)$$

$$\text{分辨率 PWM Resolution} = \log(\text{TMC_CK} / \text{PWM Frequency}) / \log(2)$$

PWMCN：PWM 控制暫存器

ENPWM：PWM 啟用控制器

1：啟用

0：關閉

ENPFD：PFD 啟用控制器

1：啟用

0：關閉

PWMRL[1:0]: PWMR[9:0]的低位元

$$\text{PWMR}[9:0] = \text{PWMRH}[7:0] + \text{PWMRL}[1:0]$$

ENPRS：自動開啟條件控制器

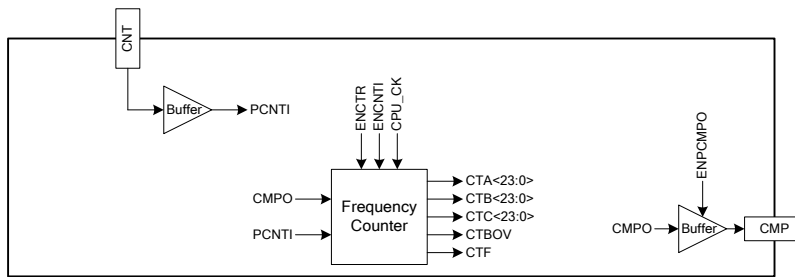
1：硬體自動將 PASF 置 0 而 PWMx 調變輸出將於下個週期重新啟動

0：使用者由軟體將 PASF 置 0 而 PWMx 調變輸出將於下個週期重新啟動

PWMR：PWM 占空比高位元暫存器

PWM 占空比高位元組 [9:2]

12. Frequency Counter 、CNT And CMP Pin



Frequency Counter 待測訊號可由 ENCNTI 選擇為 DMM Comparator Network 輸出 CMPO 或 PT3.6 輸入 PCNTI。Frequency Counter 包含 3 組 24bits Counters, 分別為 CTA,CTB,CTC.CTA 及 CTC 輸入時脈為 SYSCLK, CTB 輸入時脈為待測訊號.CTC 待測訊號為 High 時才計數. Frequency Counter 操作計算及如下:

- (1) 設定 ENCTR=0, CTA<7:0>,CTB<23:0>,CTC<23:0>會被設為 0。
- (2) 寫入計數初始值於CTA<23:8>。則預設計數時間Gate Time=[1000000h-CTA<23:0>]/F_{SYSCLK}。
- (3) 設定 ENCTR=1 後, 在待測訊號第一個正緣發生時開始計數。一直到 CTA<23:0>發生溢位後, 待測訊號第一個正緣結束計數。計數器的起始與結束為待測訊號的完整週期數目。在計數器結束訊號產生會送出中斷訊號。
- (4) 讀取 CTA<23:0>, CTB<23:0>, CTC<23:0>及 CTBOV。
- (5) 若 CTBOV=1, 則代表 Gate Time 設定太長且待測訊號頻率過高, CTB<23:0>才會發生溢位。此次計數資料是沒有意義的。必須由步驟(1)重新開始, 且重新設定 Gate Time, 再計數一次。
- (6) 若 CTBOV=0, 則代表此次計數資料是有意義的。可由資料計算出待測訊號的頻率, Duty Cycle。

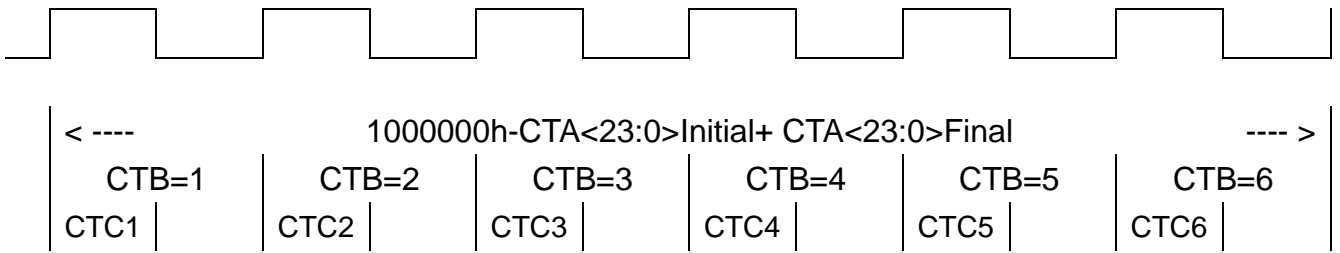
$$\text{計數總時間} T = [1000000h - CTA<23:0>_{Initial} + CTA<23:0>_{Final}] / F_{SYSCLK}$$

$$\text{待測訊號頻率} = CTC<23:0> / T$$

$$\text{待測訊號Duty Cycle} = CTC<23:0> / [1000000h - CTA<23:0>_{Initial} + CTA<23:0>_{Final}]$$

其中F_{SYSCLK}為SYSCLK的頻率, CTA<23:0>_{Initial}為還未計數前設定的值, CTA<23:0>_{Final}為計數完後, 讀出的值。

12.1. 計算範例說明



計算元素說明(1kHz / 50%為例)

FSYSCLK : 系統震盪器頻率，假設為 4MHz

CTA<23:0>Initial : CTA 計數前預設值，CTA<23:8>程式預設為 C000h，而 CTA<7:0>清除為 00h

CTA<23:0>Final : CTA 計數完後的值，CTA<23:0>Initial 為 C00000h，在 1kHz 情況下為 000760h

CTB<23:0> : 時間內週期數，CTA<23:0>Initial 為 C00000h，在 1kHz 情況下為 000419h

CTC<23:0> : High 的時間總和的計數，CTA<23:0>Initial 為 C00000h，在 Duty 50%時為 20043Ah

Count time:

$$\begin{aligned}
 T &= [1000000h-CTA<23:0>Initial+ CTA<23:0>Final]/FSYSCLK \\
 &= (1000000h-C00000h +000760h)/3D0900h \text{ --- } >hexadecimal \\
 &= (16777216-12582912+1888)/4000000=1.0490 \text{ --- } >decimal
 \end{aligned}$$

Standby signals frequency:

$$\begin{aligned}
 \text{Freq} &= \text{CTB}<23:0>/T \\
 &= 1049/1.0490=1000 \text{ Hz}
 \end{aligned}$$

Standby signal, Duty Cycle:

$$\begin{aligned}
 \text{Duty Cycle} &= \text{CTC}<23:0>/[1000000h-CTA<23:0>Initial + CTA<23:0>Final] \\
 &= 20043Ah/400760h \text{ --- } >hexadecimal \\
 &= 2098234/4196192=0.5=50\% \text{ --- } >decimal
 \end{aligned}$$

12.2. 暫存器說明- Frequency Counter

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
27H	INTF2	TXIF	RCIF	RMSF	LPFF	AD1F	SSPIF	CTF		0000 000.	0000 000.	
5CH	PWRCN2	MCUBIAS	ENCPVGG	ENCMP	ENCNTI	ENCTR	RSTCOMB	RSLPF	RSRMS			
65H	CTAU	CTA<23:16>										
66H	CTAH	CTA<15:8>										
67H	CTAL	CTA<7:0>										
68H	CTBU	CTB<23:16>										
69H	CTBH	CTB<15:8>										
6AH	CTBL	CTB<7:0>										
6BH	CTCU	CTC<23:16>										
6CH	CTCH	CTC<15:8>										
6DH	CTCL	CTC<7:0>										
6EH	CTSTA	CNTI	CMPO	CMPHO	CMPLO				CTBOV			

相關暫存器說明如下:

(1) ENCTR：暫存器位元，可 Enable Frequency Counter。1=Enable；0=Disable，且清除 CTA<23:0>、CTB<23:0>、CTC<23:0>及 CTBOV 為 0。

(2) ENCNTI：暫存器位元，可選擇 Frequency Counter 的輸入源。CNTI 同時可由 CTSTA<7>讀取。

ENCNTI	0	1
Frequency Counter 輸入	CMPO	PCNTI

(3) CTA<7:0>：資料暫存器，當 ENCTR=0 時，CTA<7:0>會被清除為 0。

(4) CTA<23:8>：資料暫存器，當 ENCTR=0 時，CTA<23:8>不會被清除為 0。當 ENCTR=0 時，MCU 可以直接寫入 CTA<23:8>。當 ENCTR=1 時，CTA<23:8>只能由 Frequency Counter 計數遞增。

(5) CTB<23:0>：資料暫存器，當 ENCTR=0 時，會被清除為 0。當 ENCTR=1 且計數完畢發生中斷後，會記錄待測訊號的完整週期數目。可用來計算待測訊號的頻率。

(6) CTC<23:0>：資料暫存器，當 ENCTR=0 時，會被清除為 0。當 ENCTR=1 且計數完畢發生中斷後，會記錄待測訊號為 High 時的 SYSCLK 數目。可用來計算待測訊號的 Duty Cycle。

(7) CTBOV：暫存器位元，當 CTB<23:0> Over Flow 時，會被設為 1。讀取 CTSTA 暫存器或 ENCTR=0，皆會被設為 0。

(8) CTF：為 Frequency Counter 事件發生時的旗標，此訊號會送至 INTF 暫存器內。

(9) ENPCMPO：PT3PU[PM3.7]暫存器位元，可 Enable CMPO Pin 是否由 PT3.7 輸出。1=Enable；0=Disable。設定 CMPO 由 PT3.7 輸出同時需要設定 PT3.7 為 Output。

13. 液晶驅動器, LCD

液晶驅動電路適用於 TN-LCD 與 STN-LCD 等製程的液晶顯示器, 其具有以下特點:

- ◆ 內置倍壓電路(Regulated charge pump)
- ◆ 四段可調式驅動電壓準位
- ◆ 支援四種 LCD 波形的操作方式
 - 靜態操作 (static)
 - 2 共線, 1/3 偏壓。(2-mux, 1/3 bias)
 - 3 共線, 1/3 偏壓。(3-mux, 1/3 bias)
 - 4 共線, 1/3 偏壓。(4-mux, 1/3 bias)
- ◆ 可選擇輸入時脈源與可規劃輸出頻率
- ◆ 具閃爍控制功能(Blinking capability)

LCD 暫存器摘要:

LCDCN1 ENLCD[0], LCDPR[0], VLCDX[1:0], LCDBF[0], LCDBI[1:0]

LCDCN2 LCDBL[0], LCDMX[1:0]

LCD[159:0] LCD0[7:0]~ LCD6[7:0], LCD7[3:0]

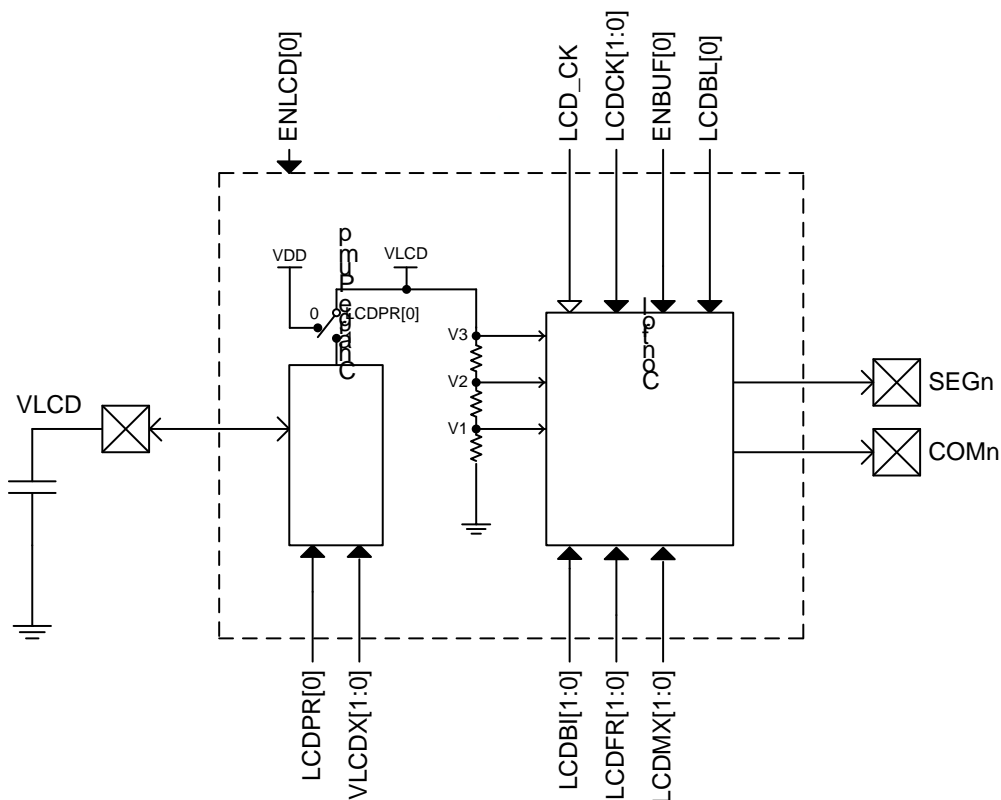


圖 13-1 LCD 方塊圖

13.1. LCD 使用說明

13.1.1. LCD 初始化設置

工作頻率與輸出幀幅頻率設置

工作頻率由 PERA_CK 提供，經工作頻率預除頻器 LCDS[2:0] 除頻後提供適當的工作頻率予 LCD 輸出幀幅頻率。輸出波形控制器 LCDMX[1:0] 可設置 LCD 的操作波形，幀頻率與操作波形必須依外接 LCD 顯示器的規格做正確的設置，否則 LCD 顯示器會出現鬼影或字節顯示異常等現象。LCD 工作頻率與幀頻率如表 13-1。

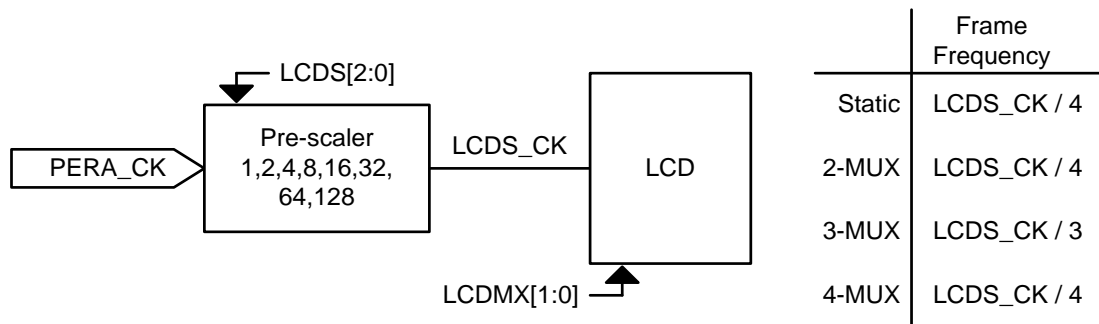


圖 13-2 LCD 工作頻率與幀頻率

PERA_CK=1953Hz (PERCK[0]=1b, PERA_CK~4MHz/2/32/32)		LCDS[2:0]							
		000	001	010	011	100	101	110	111
LCDS_CK		1953	977	488	244	122	61	31	15
Frame Frequency	Static, LCDMX[1:0]=00	488	244	122	61	31	15	8	4
	2-MUX, LCDMX[1:0]=01	488	244	122	61	31	15	8	4
	3-MUX, LCDMX[1:0]=10	651	326	163	81	41	20	10	5
	4-MUX, LCDMX[1:0]=11	488	244	122	61	31	15	8	4

單位：Hz

表 13-1 LCD 工作頻率與輸出幀頻率配置簡表

倍壓電路與 LCD 工作電壓設置

LCD 工作電壓源為 VLCD，其產生有兩種方式：

- 由外部輸入 VLCD 電壓源，必須將 LCDPR[0] 設置 <0> 關閉倍壓電路，然後由外部 VLCD 引腳灌入電壓以決定 LCD 工作電壓。使用外部輸入時，VLCDX[1:0] 的設置對 LCD 工作電壓不會產生任何影響。
 - ◆ 當推動尺寸或負載較大的 LCD 顯示器時，可將 LCD 輸出緩衝器 LCDBF[0] 設置 <1>，啟用緩衝器以增加 LCD 的驅動能力。反之，LCDBF[0] 設置 <0> 則關閉緩衝器亦減少 LCD 的消耗電流。
- 由內部倍壓電路產生，將倍壓電路控制器 LCDPR[0] 設置 <1>，並配置倍壓電壓準位控制器 VLCDX[1:0] 即可產生 VLCD 電壓源供給 LCD，使其不隨晶片工作電壓的變化而影響顯示。
 - ◆ VLCDX[1:0] 可設置四種不同的功作電壓且必須在倍壓電路啟用時才有效，而倍壓電路可能會影響類比數位轉換器 SD18 在高解析度轉換的效能。
 - ◆ 使用內部倍壓電路產生 VLCD 電壓源時，LCD 緩衝器會由內部硬體線路自動啟用。

偏壓與閃爍設置

波形偏壓控制器 LCDBI[1:0]可設置 LCD 每個輸幀幅由幾段偏壓組成，其共有二種選擇。設置<00>LCD 波形操作在靜態、設置<10>LCD 波形操作在 1/3 偏壓。

閃爍效果是讓 LCD 顯示由顯示狀態快速轉為全滅或再轉為顯示，此等循環過程只需透過字節閃爍控制器 LCDBL[0]設置<1>全滅或設置<0>顯示，即可達到快速顯示或全滅的狀態。故 LCDBL[0]設置<1>時，LCD 顯示器不會點亮任何字節。反之，LCDBL[0]設置<0>時，LCD 顯示器會依字節暫存器 LCD1[7:0]~ LCD7[3:0]的設置來點亮。

LCD 字節暫存器

每一個字節暫存器 LCDn[7:0]控制兩個字節引腳 SEGn，而每個字節引腳具有 4-bit 控制位元 SEGn[3:0]。控制位元的有效或無效視波形輸出控制器 LCDMX[1:0]設置而決定。例如，當輸出波行為 4 共線時 SEGn[3:0] 的 4-bit 全有效，而輸出波形 2 共線時只有 SEGn[3:0] 的最低 2-bit 為有效。也因為有上述有效或無效特性，使得 LCD0 與 LCD1 字節暫存器存在著 SEG0[3:0]與 SEG1[3:0]的設計。

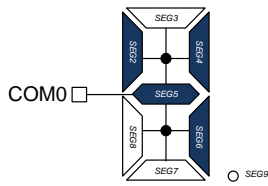
13.1.2. LCD 啟用設置

ENLCD[0]設置<1>即可啟用 LCD 驅動器。反之，當 ENLCD[0]設置<0>時 LCD 驅動器會關閉。

MVL	01100000B	
MVF	LCDCN2,1,0	;1/4 duty, LCD 字節顯示
MVL	11011100B	
MVF	LCDCN1,1,0	;1/3 bias, LCD 啟用, 啟動 LCD 倍壓電源 VLCD=3V
CALL	DELAY	;LCD 倍壓電源穩定時間 (at VLCD CAP=4.7uF)
		;VDD=2.2V, VLCD=3V, Stable time ~ 85msec
		;VDD=3.6V, VLCD=3V, Stable time ~ 15msec

範例 13-1 LCD 範例程式

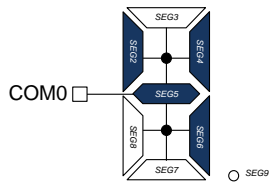
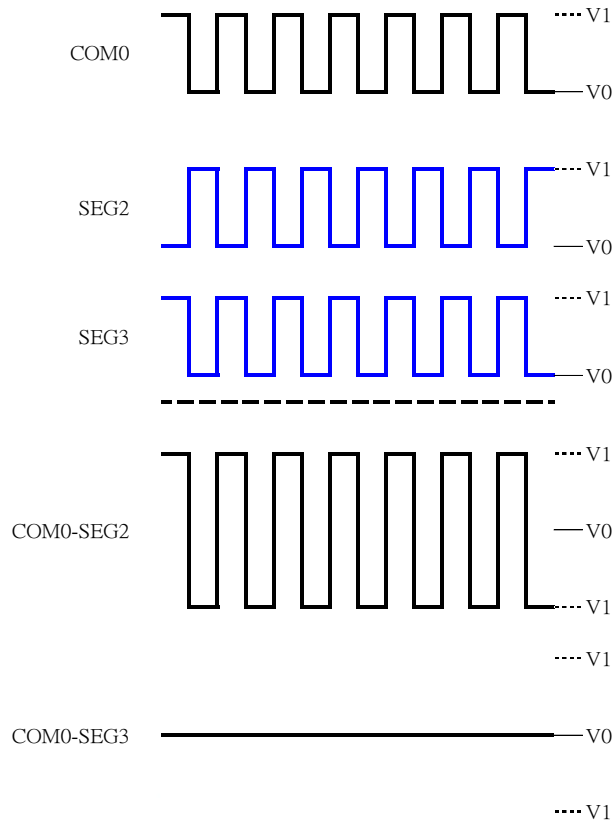
13.2. LCD 輸出波形



狀態描述(Model)

偏壓 (Bias): Static

共線 (Duty): 1/1



狀態描述(Model)

偏壓 (Bias): Static

共線 (Duty): 1/2

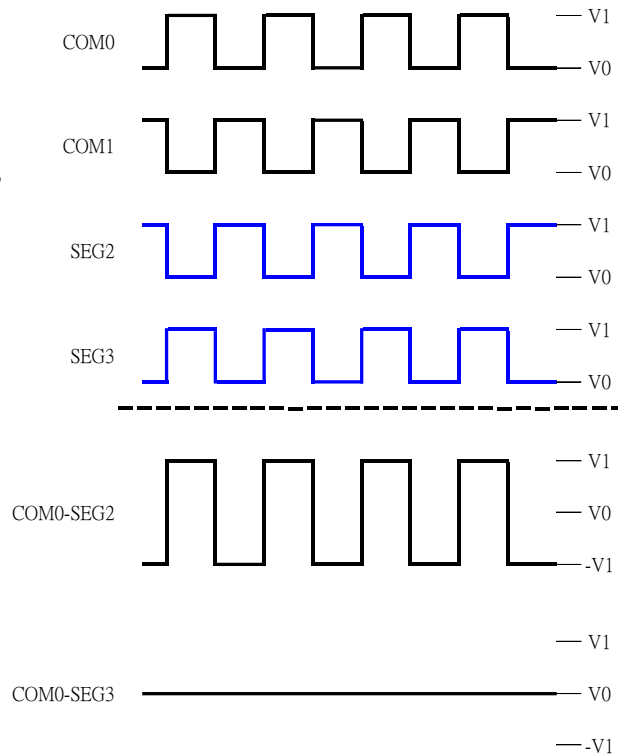
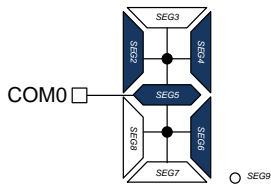


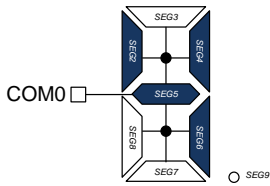
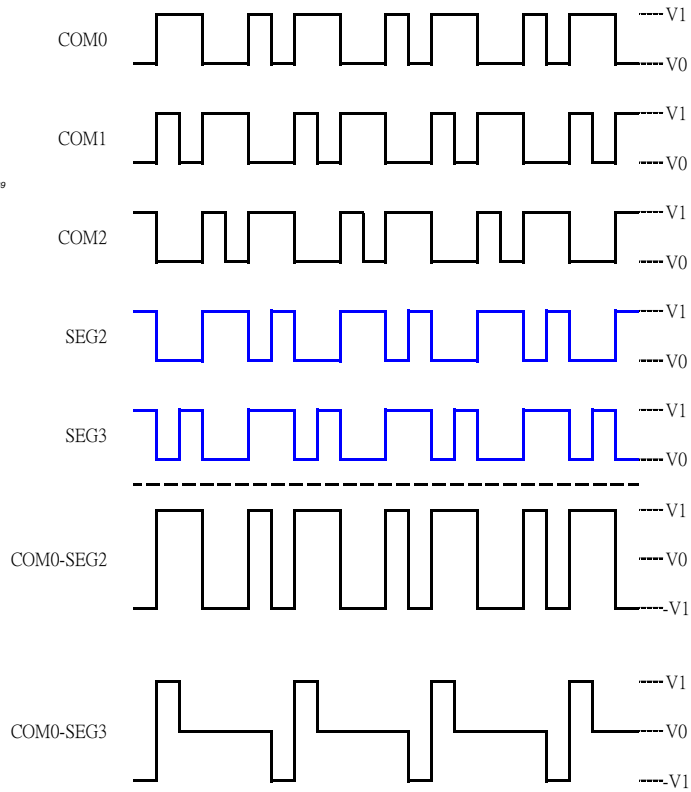
圖 13-3(a) 輸出波形-靜態操作(Static)



狀態描述(Model)

偏壓 (Bias): Static

共線 (Duty): 1/3



狀態描述(Model)

偏壓 (Bias): Static

共線 (Duty): 1/4

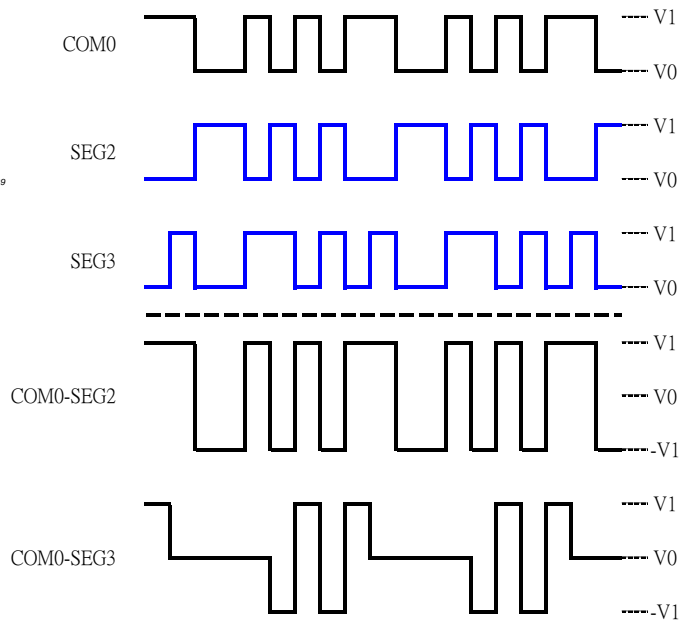


圖 13-3(b) 輸出波形-靜態操作(續)(Static)

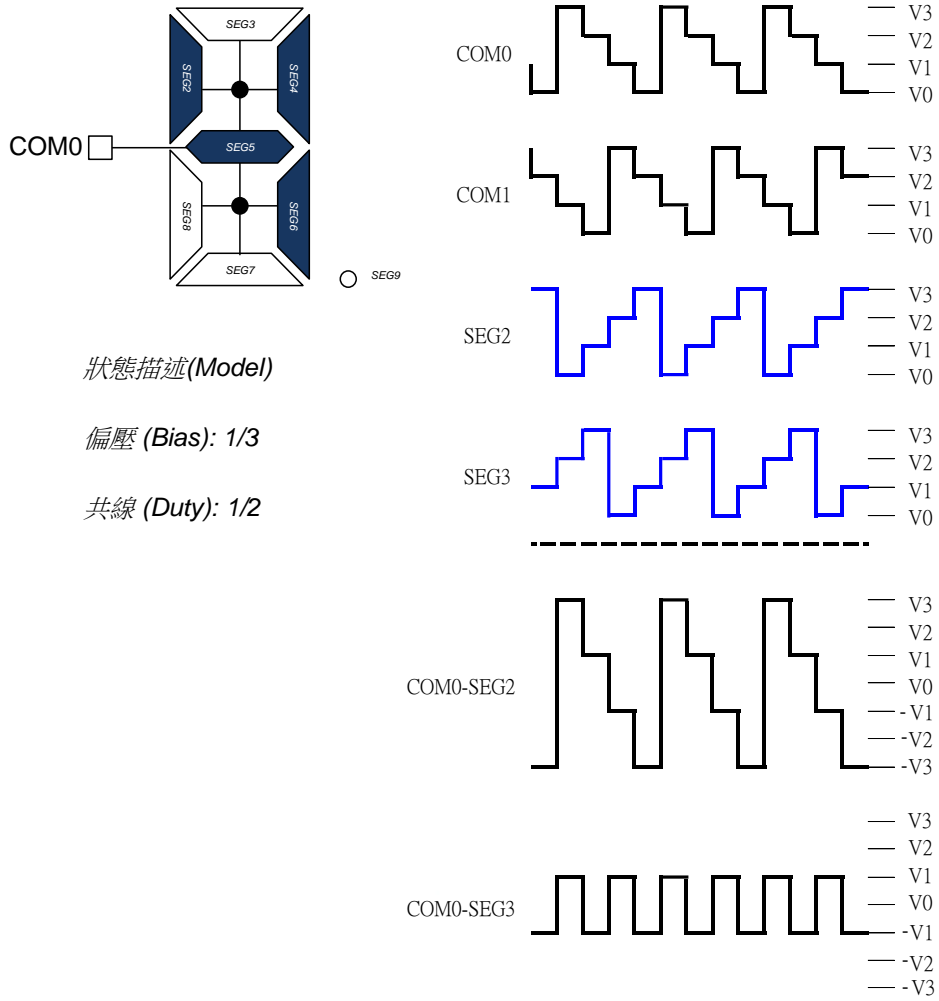
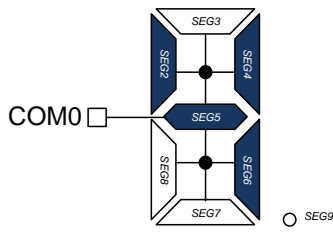


圖 13-4 輸出波形-2 共線



狀態描述(Model)

偏壓 (Bias): 1/3

共線 (Duty): 1/3

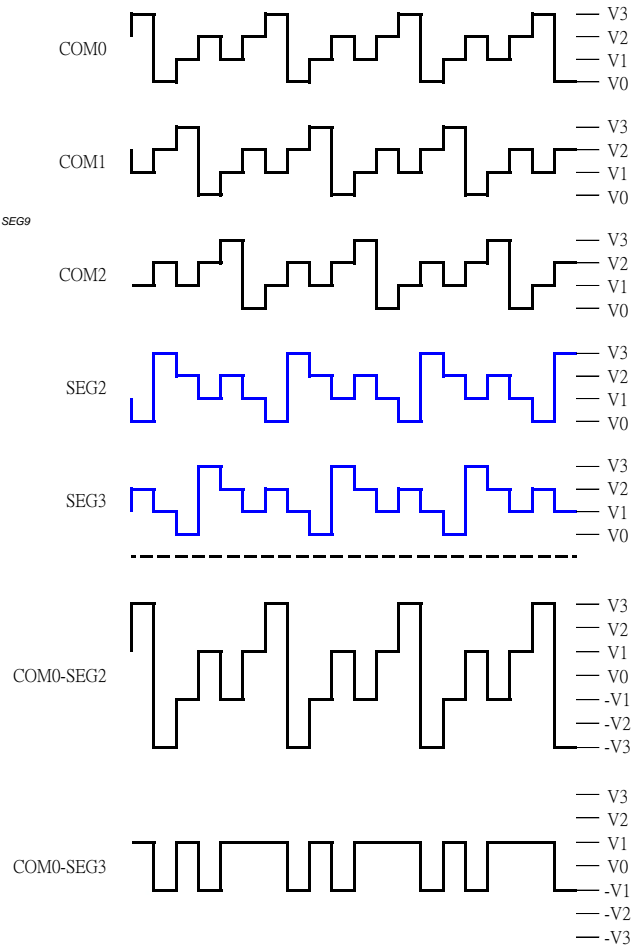


圖 13-5 輸出波形-3 共線

13.3. 暫存器說明-LCD

"-":no use,"r":read/write,"w":write,"r0":only read 0,"r1":only read 1,"w0":only write 0,"w1":only write 1												
": "unimplemented bit,"x":unknown,"u":unchanged,"d":depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
31H	MCKCN2		LCDS[2:0]							0000 0000	0000 0000	*****
39H	LCDCN1	ENLCD	LC DPR	VLCDX[1:0]		LCDBF	LCDBI[1:0]			0000 000.	0000 000.	*****
3AH	LCDCN2	LCDBL	LC DMX[1:0]							000.	000.	*****
3BH	LCD0	Segment SEG1@[7:4] and SEG0@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
3CH	LCD1	Segment SEG3@[7:4] and SEG2@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
3DH	LCD2	Segment SEG5@[7:4] and SEG4@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
3EH	LCD3	Segment SEG7@[7:4]and SEG6@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
3FH	LCD4	Segment SEG9@[7:4] and SEG8@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
40H	LCD5	Segment SEG11@[7:4] and SEG10@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
41H	LCD6	Segment SEG13@[7:4] and SEG12@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
42H	LCD7					Segment SEG14@[3:0] data register of LCD			 xxxx uuuu	*****

表 13-2 LCD 暫存器

MCKCN2 : 詳見 震盪器、時脈源與功耗管理 章節

LCDCN1 : LCD 控制暫存器 1

ENLCD : LCD 啟用控制器

1 : 啟用。

0 : 關閉。

LC DPR : LCD 倍壓電路控制器

1 : 啟用 ; VLCD 電壓源由晶片內部產生。

0 : 關閉 ; VLCD 電壓源由外部引腳灌入。

VLCDX[1:0] : 倍壓電壓準位選擇控制器

11 : VLCD = 2.55V。

10 : VLCD = 2.8V。

01 : VLCD = 3.05V。

00 : VLCD = 3.3V。

LCDBF : LCD 輸出緩衝器

1 : 啟用。

0 : 關閉。

LCDBI[1:0] : LCD 波形偏壓控制器

11 : 未使用

10 : 1/3 偏壓。

01 : 保留

00 : 靜態操作 (static)

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
 “. ”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
31H	MCKCN2	LCDS[2:0]								0000 0000	0000 0000	*****
39H	LCDCN1	ENLCD	LC DPR	VLCDX[1:0]		LCDBF	LCDBI[1:0]			0000 000.	0000 000.	*****
3AH	LCDCN2	LCDBL	LC DMX[1:0]							000.	000.	*****
3BH	LCD0	Segment SEG1@[7:4] and SEG0@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
3CH	LCD1	Segment SEG3@[7:4] and SEG2@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
3DH	LCD2	Segment SEG5@[7:4] and SEG4@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
3EH	LCD3	Segment SEG7@[7:4]and SEG6@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
3FH	LCD4	Segment SEG9@[7:4] and SEG8@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
40H	LCD5	Segment SEG11@[7:4] and SEG10@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
41H	LCD6	Segment SEG13@[7:4] and SEG12@[3:0] data register of LCD								xxxx xxxx	uuuu uuuu	*****
42H	LCD7					Segment SEG14@[3:0] data register of LCD			 xxxx uuuu	*****

LCDCN2 : LCD 控制暫存器 2,LCD Control Register

LCDBL : LCD 字節閃爍控制器。

1 : LCD 字節全滅。

0 : LCD 字節顯示。

LC DMX[1:0] : LCD 波形輸出控制器

00 : 固定狀態 (COM0)。

01 : 1/2 duty (COM0,COM1)。

10 : 1/3 duty (COM0,COM1,COM2)。

11 : 1/4 duty (COM0,COM1,COM2,COM3)

LCD0~LCD7 : LCD 字節資料暫存器

14. 非同步串列通訊介面, Enhanced Universal Asynchronous Receiver Transmitter

增強型非同步收發器 Enhanced Universal Asynchronous Receiver

Transmitter, EUART 週邊通常也稱為串列通信介面或 SCI，EUART 可以被配置為能與 CRT 終端和個人電腦等外設通信的全雙工非同步系統；也可以被配置成能夠與 A/D 或 D/A 積體電路、串列 EEPROM 等外設通信的半雙工同步系統。

增強型 EUART 是在標準型 UART 的基礎上增加了幀(Frame)錯誤檢測和自動位址識別兩種功能，幀錯誤檢測通過檢測一幀資訊的停止位元來判斷該幀是否有效。自動位址識別功能自動將收到的位址幀內容與單片機的位址進行比較，只有匹配時才產生串列中斷。此版的這兩個功能前者由內置硬體電路完成後者由使用者軟體達成。

EUART 可以配置為以下幾種工作及偵錯模式：

- ◆ 帶有以下功能的全雙工非同步模式：
 - 傳輸速率發生器
- ◆ 偵錯模式
 - 幀(Frame)錯誤檢測¹⁹
 - 溢出(Overrun)錯誤檢測²⁰
 - 硬體同位元檢查碼
- ◆ 資料傳輸與接收
 - 非同步發送(8 位或 9 位)
 - 非同步接收(8 位或 9 位)
- ◆ 字元接收自動喚醒功能

EUART 暫存器計有：

URCON	ENSP[0], ENTX[0], TX9[0], TX9D[0], PARITY[1:0]
URSTA	RC9D [0], PERR[0], FERR[0], OERR[0], RCIDL[0], TRMT[0], ABDOVF[0]
BAUDCON	ENCR[0], RC9[0], ENADD[0], ENABD[0]
BRGR[15:0]	BRGRH[4:0], BRGRL[7:0]
TXREG	TXREG[7:0]
RCREG	RCREG[7:0]

¹⁹ 幀錯誤檢測(FERR)：UART 沒有收到起始位元，亦即收到不知從何時開始到何時結束的訊號時稱之；這通常由訊號線上的雜訊引起，會使 UART 無法在移位暫存器上得到正確資料。

²⁰ 溢出錯誤檢測(OERR)：最近的一筆資料已覆蓋先前未取走的資料。

14.1. EUART 使用說明

14.1.1. 非同步資料發送設置步驟

- 配置 TRISC1 暫存器，設定 TX 為輸出引腳；配置 PT1M1 暫存器，設定為 TX 引腳輸出模式。
- 配置 INTE2 暫存器 TXIE 位元及 INTE1 暫存器 GIE 位元決定是否允許傳送中斷致能。(INTF2 暫存器 TXIF 位元預設為 High，相關中斷致能須確定後再設定)。
- 配置 BRGRH, BRGRL 暫存器，決定合適的鮑率值。
- 配置 URCON 暫存器 ENSP 位元啟動 EUART 串列 I/O 模組。
- 配置 URCON 暫存器 TX9 位元決定是否啟動第 9 位資料發送功能。(若啟動第 9 位資料發送功能，則須將該資料填入 TX9D 位元中。第 9 位位元可以是位址或是資料)。
- 配置 URCON 暫存器 ENTX 位元啟動資料傳送功能。
- 寫入 TXREG 暫存器，決定傳送資料。(寫入後啟動發送)

14.1.2. 非同步資料接收設置步驟

- 配置 TRISC1 暫存器，設定 RC 為輸入引腳。
- 配置 INTE2,暫存器 RCIE 位元及 INTE1 暫存器 GIE 位元決定是否允許接收中斷致能。
- 配置 BRGRH, BRGRL 暫存器，決定合適的鮑率值。
- 配置 URCON 暫存器 ENSP 位元啟動 EUART 串列 I/O 模組。
- 配置 BAUDCON 暫存器 RC9 位元決定是否啟動第 9 位資料接收功能。
- 配置 BAUDCON 暫存器 ENCR 位元啟動資料接收功能。
- 讀取 URSTA 暫存器 RC9D 位元用以擷取接收資料第 9 位數據(RC9 設置情形下)，並判斷接收過程是否發生錯誤。
- 讀取 RCREG 暫存器用以擷取接收資料共 8 位數據。
- 讀取 URSTA 暫存器 FERR 位元是否被設置，確定讀取資料是否錯誤，可透過清除 ENCR 位解除 FERR 位元。

14.1.3. 非同步資料接收(9 位元, RS-485 模式) 設置步驟

- 配置 TRISC1 暫存器，設定 RC 為輸入引腳。
- 配置 BRGRH, BRGRL 暫存器，決定合適的鮑率值。
- 配置 URCON 暫存器 ENSP 位元啟動 EUART 串列 I/O 模組。
- 配置 BAUDCON 暫存器 RC9 位元否啟動第 9 位資料接收功能。
- 配置 BAUDCON 暫存器 ENADD 位元致能位址檢測功能。
- 配置 BAUDCON 暫存器 ENCR 位元啟動資料接收功能。
- 配置 INTE2,暫存器 RCIE 位元及 INTE1 暫存器 GIE 位元決定是否允許接收中斷致能。當資料接收完成時 RCIF 位元將被設置。
- 讀取 URSTA 暫存器 RC9D 位元用以擷取接收資料第 9 位數據(RC9 設置情形下)，並判斷接收過程是否發生錯誤。
- 讀取 RCREG 暫存器用以擷取接收資料共 8 位數據。
- 讀取 URSTA 暫存器 FERR 位元是否被設置，確定讀取資料是否錯誤，可透過清除 ENCR 位解除 FERR 位元。
- 配置 BAUDCON 暫存器 ENADD 位元用以關閉位址檢測，使得下一筆資料接收。

14.2. 串列傳輸鮑率發生器 (BRG)

BRG 是一個專用的 13 位元發生器，支援 EUART 的非同步模式。BRGR[12:0] 暫存器是一個獨立運行計時器的週期控制器。表 14-1 為串列傳輸鮑率計算公式，但僅適用於主控模式。

在給定目標串列傳輸鮑率且工作時脈為 CPU_CK 的情況下，可以使用表 14-1 中的公式計算 BRGR[12:0]暫存器中的近似整數值，從而確定串列傳輸鮑率誤差。範例 21-1 描述出串列傳輸鮑率與誤差率的計算方式。

BRG/EUART MODE	串列傳輸鮑率計算公式
13 位元/非同步	$CPU_CK \div [4(n + 1)]$
CPU_CK=工作頻率； n = BRGRH:BRGRL 暫存器對的值	

表 14-1 串列傳輸鮑率公式

工作在非同步模式下，其工作頻率為 CPU_CK(4MHz)，而目標串列傳輸鮑率為 9600bps。
求解 BRGR[12:0]=< ? >即 BRGRH[7:0]:BRGRL[7:0]=< ? >

已知公式：目標串列傳輸鮑率 = OSC_HAO \div (4 (<BRGR[12:0]>+1))：

故 BRGR[12:0] = ((OSC_HAO \div 目標串列傳輸鮑率) \div 4) - 1

$$= ((4000000 \div 9600) \div 4) - 1$$

$$= 103.2$$

$$\approx 103 \text{ 即 BRGRH[4:0]=<00>, BRGRL[7:0]=<67> ; 註 67 為 16 進制}$$

而實際上 BRG 計算結果為：實際串列傳輸鮑率 = 4000000 \div (4 \times (103+1)) = 9615.38

所以存在一定誤差，其計算方式為：

誤差率 = (實際串列傳輸鮑率 - 目標串列傳輸鮑率) / 目標串列傳輸鮑率

$$= (9615 - 9600) / 9600$$

$$= 0.16\%$$

範例 14-1 計算串列傳輸鮑率誤差

14.2.1. 功耗管理模式下的操作

晶片時脈用於產生所需的串列傳輸鮑率。當進入一種功耗管理模式時，新時脈源可能會工作在一個不同的頻率下。這可能需要調整 BRGR[12:0]暫存器中的值。

14.2.2. RC 取樣方式

取樣電路會在傳輸鮑率週期的中心點進行取樣，以判定 RC 引腳上出現的是高電位還是低電位。

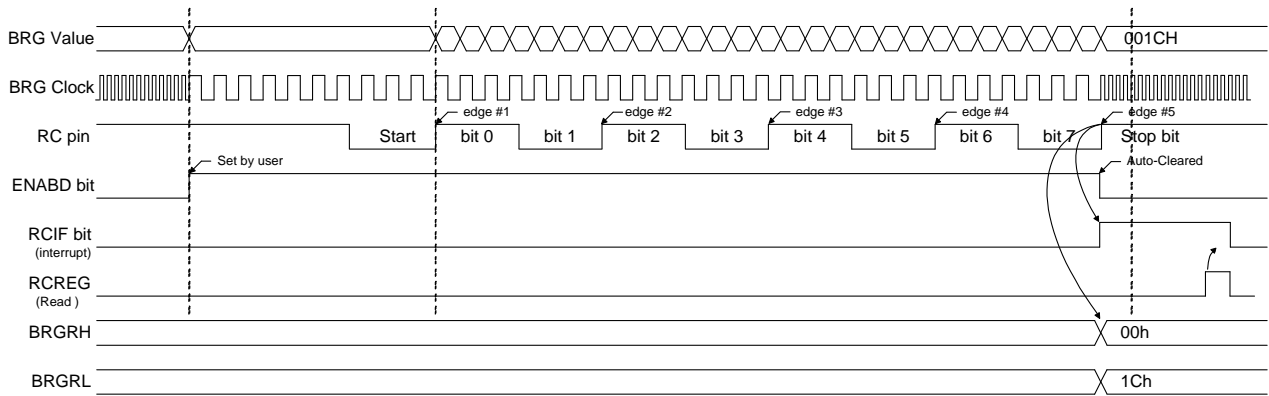
14.2.3. 自動鮑率

EUART 模組支援自動檢測和校準功能，亦可稱之為自動鮑率。自動鮑率必須在喚醒啟用控制器 WUE[0]設置 0 時才有效，並將自動鮑率啟用控制器 ENABD[0]設置 1 即可啟用。

在接收到開始狀態後，即開始進行自動波特率檢測功能(接收值必須為 055H)。在自動檢測和校準完成後會將計算出了結果寫入 BRGRH[4:0]與 BRGRL[7:0]，相關時序如圖 14-1。

當 BRGR[12:0]計算滿出時即其內容由 01FFFH 到 00000H 產生溢位，則自動包率溢位旗標 ABDOVF[0]會被置 1，使用者可以利用指令將 ABDOVF[0]設置 0 或透過 ENABD[0]設置 0 以讓 ABDOVF[0]置 0。在 ABDOVF[0]置 1 後，ENABD[0]的狀態仍會保持在 1，相關時序如圖 14-2。

Automatic BAUD rate calculation



Note : The ABD sequence requires the EUART module to be configured in WUE = 0

圖 14-1 自動鮑率計算波形

BRG Overflow Sequence

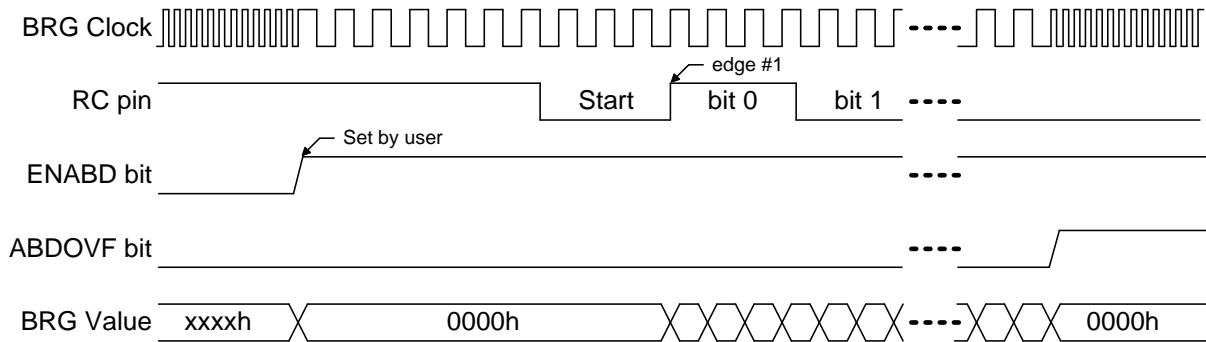


圖 14-2 自動鮑率溢位(ABDOVF)波形

14.3. 硬體同位元檢查

EUART 支援硬體奇偶校驗功能，校驗位元保存在第 9 個資料位元中。使用時依使用者暫存器設定而進行同位元檢查(ENADD[0]=0)，相關設定如表 14-2

傳送/接收 8/9 位元資料		PARITY	狀態
TX9	RC9		
0	0	0	傳送/接收資料無同位元檢查訊息
0	0	1	傳送/接收資料無同位元檢查訊息
0	1	0	接收資料具同位元檢查功能，偶同位
0	1	1	接收資料具同位元檢查功能，奇同位
1	0	0	傳送資料具同位元檢查碼，偶同位
1	0	1	傳送資料具同位元檢查碼，奇同位
1	1	0	
1	1	1	

註：當 RC9[0]設置 1 時，啟用同位元檢查功能而當奇偶同位錯誤時 PERR[0]置 1。
假使 RC9[0]與 ENADD[0]同時設置 1，則忽略 PERR[0]錯誤位元的值。

表 14-2 同位元檢查狀態表

14.4. EUART 非同步模式

此模式使用標準的“不歸零”（Non-Return-to-Zero，NRZ）格式，即是 1 個起始位元加上 8 個或 9 個資料位元最後為 1 個停止位，最常用的資料格式為 8 位元。而晶片上專用 13 位元串列傳輸鮑率發生器，可借助於工作時脈振盪器產生標準串列傳輸鮑率頻率。

再者，EUART 首先發送和接收的資料是最低有效位，發送器和接收器在功能上是各自獨立的，但採用相同的資料格式和串列傳輸鮑率。其更支援硬體奇偶校驗功能，校驗位元會保存在第 9 個資料位元中。

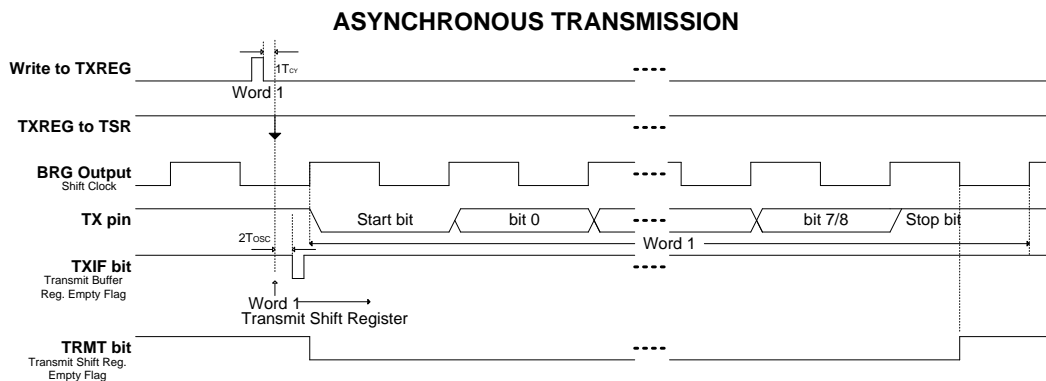


圖 14-4 非同步發送時序圖

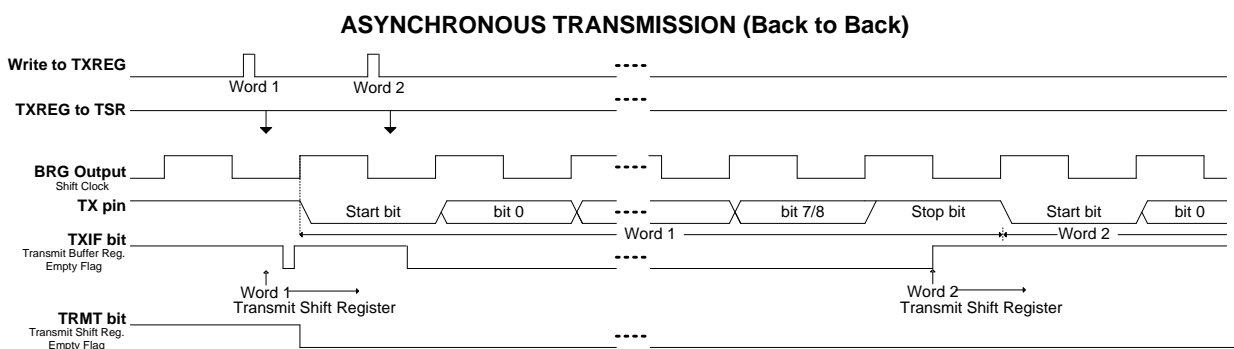


圖 14-5 非同步發送時序(背對背)

14.4.2. EUART 非同步接收器

圖 14-6、圖 14-7 顯示了接收器的方塊圖。圖 14-8 顯示了非同步接收時序。在 RC 引腳上接收資料，並驅動資料恢復電路。資料恢復電路實際上是一個以 13 位元串列傳輸速率為工作頻率的高速移位元器，而主接收串列移位元器的工作頻率等於速率或 OSC_HAO。此模式通常用於 RS-232 系統。

若 RC 引腳接收資料時未接收到完整位元組(開始、8(9)位元資料、結束)，FERR 位元將被設置為 1，可透過清除 ENCR 位元清除 FERR 位元。

當 RC 引腳已經接收到 2 筆完整位元組資料後(皆未從 RCREG 暫存器中將資料讀出)，OERR 位元將被設置為 1，可透過清除 ENCR 位元清除 OERR 位元。

當完整資料接收完成時，INTF2 暫存器 RCIF 位元將會被設置，而 RCIF 位元被設置時將無法使用指令進行清除，執行讀取 RCREG 暫存器的動作將可以清除 RCIF 狀態。

URSTA 暫存器 RCIDL 位元反應是否處於接收狀態。使用者間接由此判斷資料接收是否完成。

資料接收時，硬體將會針對接收的 8 位元資料進行互斥或運算(exclusive or)，若 RC9 設置為 1 時，將針對包含接收到的 RC9D 資料(共 9 位元)進行互斥或運算(exclusive or)。運算後再與使用者設定的 PARITY 位元再次進行互斥或運算(exclusive or)，並將運算結果顯示在 PERR 位元。若接收資料正確，則 PERR 設定為 0。若接收資料錯誤，則 PERR 設定為 1。PERR 位元無法使用指令清除，在下一

筆資料接收正確時，PERR 將會被設置為 0.

EUART 8-BITS RECEIVE BLOCK DIAGRAM

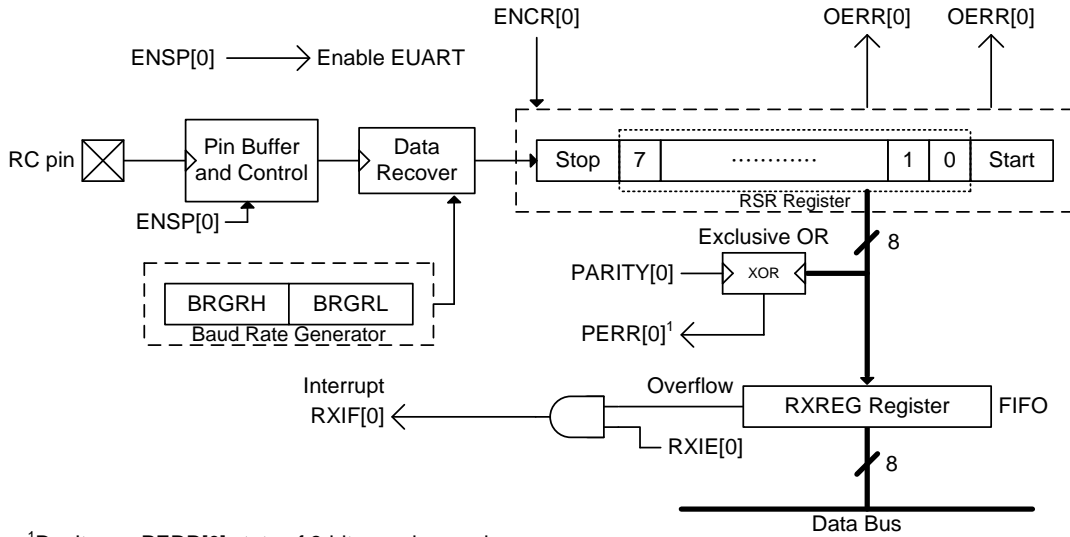


圖 14-6 EUART 8-bits 接收方塊圖

EUART 9-BITS RECEIVE BLOCK DIAGRAM

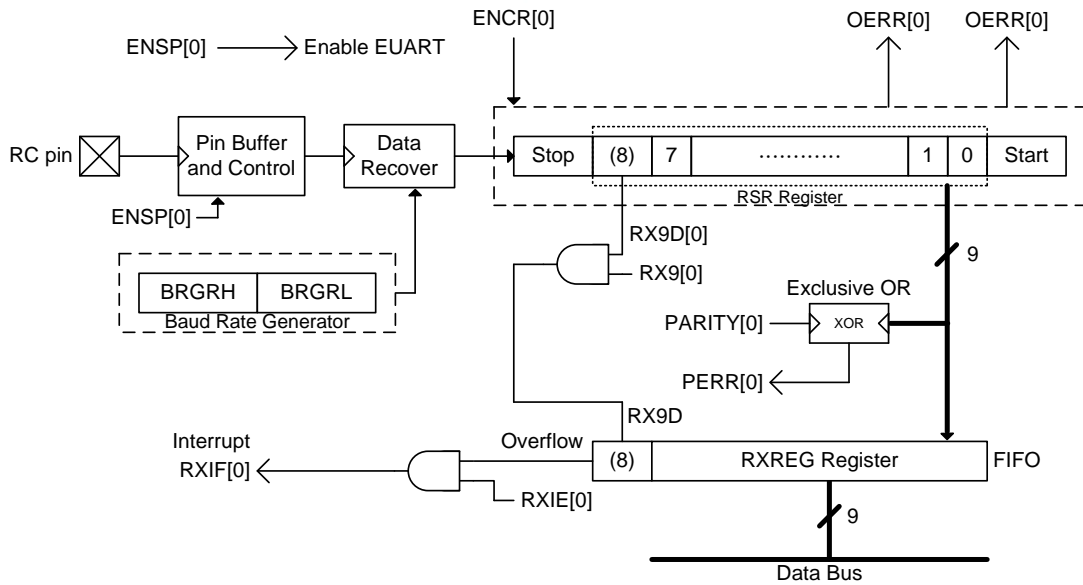


圖 14-7 EUART 9-bits 接收方塊圖

ASYNCHRONOUS RECEPTION

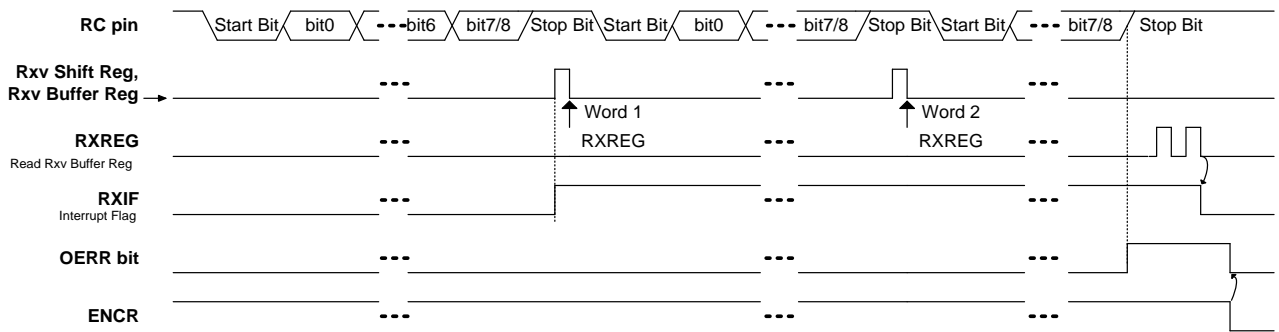


圖 14-8 非同步接收時序

14.4.3. 位址檢測功能的 9 位元模式

此模式通常用於 RS-485 系統。可依照 EUART 使用說明章節配置帶有位址檢測功能的非同步接收操作。使用者可透過 BAUDCON 暫存器 ENADD 位元設置決定為位址檢測或是資料檢測。

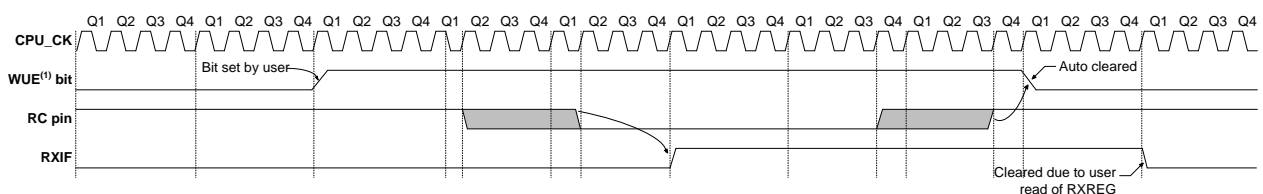
14.4.4. 字元接收自動喚醒

在休眠(sleep)或等待 (idle) 模式下，EUART 的所有時脈源都會暫停。因此，串列傳輸速率發生器處於非啟動狀態(ILDE UART 會動作)，並且無法進行正確的位元組接收。自動喚醒功能允許在 RC 線上有事件發生時喚醒控制器，該功能需要 EUART 工作在非同步模式下通過將 URCON 暫存器 WUE 位元設置 1，致能自動喚醒功能。該功能啟用後，將禁止 RC 上的典型接收操作，且 EUART 保持在空閒狀態並監視喚醒事件（與 CPU 運行模式無關）。

喚醒事件是指 RC 線上發生高電位到低電位的轉換。在喚醒事件後，模組會產生一個 RCIF 中斷，在正常工作模式下中斷會與 Q 時脈同步產生，可參考下圖 14-9；如果晶片處於休眠或等待模式，則兩者不同步，可參考下圖 14-10 說明。通過讀 RCREG 寄存器可清除中斷條件。

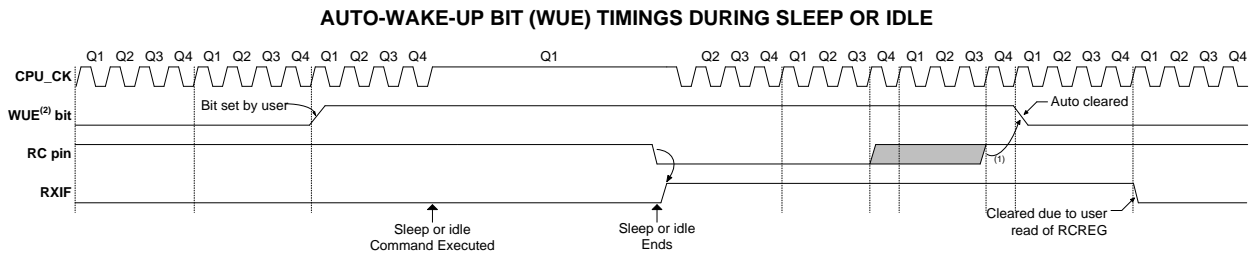
喚醒事件後，當 RC 線上出現由低向高的電位轉換時，WUE 位自動清零。此時，EUART 模組將從空閒狀態返回正常工作模式。由此用戶可知事件已經結束。

AUTO-WAKE-UP BIT (WUE) TIMINGS DURING NORMAL OPERATION



Note : ⁽¹⁾ The EUART remains in Idle while the WUE bit is set.

圖 14-9 正常模式下自動喚醒時序



Note : ⁽¹⁾ If the wake-up event requires long oscillator warm-up time, the auto-clear of the WUE bit can occur before the oscillator is ready. This sequence should not depend on the presence of Q clocks.
⁽²⁾ The EUART remains in Idle while the WUE bit is set.

圖 14-10 休眠或等待模式下自動喚醒時序

14.4.5. 使用自動喚醒功能的注意事項

因為自動喚醒功能是通過檢測 RC 上的上升沿跳變實現的，所以在停止位前該引腳上任何的狀態改變都可能會產生錯誤的結束信號並導致資料或幀錯誤。因此，為了確保正確的傳輸，必須首先發送全 0 字元。對於標準的 RS-232 晶片，這可以是 00h (8 位元)。

另外還必須考慮振盪器起振時間，尤其在採用起振延遲較長的振盪器應用中更要注意這一點。或喚醒信號字元必須足夠長，並且跟有足夠長的時間間隔，以便使選定振盪器有充足的時間起振並保證 EUART 正確初始化。

14.4.6. 使用 WUE 位的注意事項

WUE 和 RCIF 事件的時序來判斷接收資料的有效性可能會引起混淆。如前所述，將 WUE 位置 1 會使 EUART 進入空閒模式。喚醒事件會產生一個接收中斷，並將 RCIF 位置 1。此後當 RC 出現上升沿時 WUE 位被清零。然後通過讀 RCREG 寄存器清除中斷條件。

一般情況下，此時喚醒後 RCREG 中的資料是無效資料，應該丟棄。WUE 位清零 (或仍然置 1) 且 RCIF 標誌位置 1 並不能表明 RCREG 中資料接收是完整的。用戶應該考慮使用固件驗證是否完整地接收了資料。要確保沒有丟失有效資料，應檢查 RCIDL 位元來驗證是否還在接收資料。如果不在進行接收，則可將 WUE 位置 1，使晶片立即進入休眠模式。

BSF	INTE2,6,0	；設置RCIE接收中斷服務
MVL	010H	；設定PT14(TX)為數位輸出腳位
MVF	TRISC1,1,0	；設定PT13(RX)為數位輸入腳位
BSF	PT1M1,4,0	
MVL	000H	；設定鮑率為9600hz
MVF	BRGRH,1,0	
MVL	067H	
MVF	BRGRL,1,0	
MVL	0F0H	；啟動EUART功能，啟動資料傳送，啟動第9位元輸出
MVF	URCON,1,0	；設定TX9D=1.設定同位元檢查碼為0.
MVL	00CH	；啟動資料接收，啟動第9位元接收，第9位元為資料.
MVF	BAUDCON,1,0	
MVL	055H	；寫入EUART欲傳送的資料
MVF	TXREG,1,0	
....		
RC Interrupt :		；接收中斷事件服務程式
BCF	INTF2,RCIF,0	；清除接收中斷事件旗標
BTSZ	URSTA,5,0	；判斷PERR位元是否為0,用以確定資料正確性
JMP	FAIL_LOOP	；資料錯誤判斷迴圈
MVFF	RCREG,BUF0	；將接收到資料搬移到BUF0暫存器
MVFF	URSTA,BUF1	；將接收到第9位元資料搬移到BUF1暫存器
....		
RETI		；中斷服務返回
FAIL_LOOP:		；資料接收錯誤回圈

圖 14-11 EUART 範例程式

14.5. 暫存器說明-EUART

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
23H	INTE1	GIE								0.0. 0000	0.0. 0000	r,r,r,r,r,r,r,r
24H	INTE2	TXIE	RCIE							0000 000.	0000 000.	r,r,r,r,r,r,r,r
27H	INTF2	TXIF	RCIF							0000 000.	0000 000.	r,r,r,r,r,r,r,r
46H	URCON	ENSP	ENTX	TX9	TX9D	PARITY			WUE	0000 0..0	0000 0..0	r,r,r,r,r,r,r,r
47H	URSTA		RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0110	.000 0110	r,r,r,r,r,r,r,r,w0
48H	BAUDCON					ENCR	RC9	ENADD	ENABD 0000 0000	r,r,r,r,r,r,r,r
49H	BRGRH	Baud Rate Generator Register High Byte								...x xxxx	...u uuuu	r,r,r,r,r,r,r,r
4AH	BRGRL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
4BH	TXREG	UART Transmit Register								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
4CH	RCREG	UART Receive Register								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
4DH	PT1				PT1.4	PT1.3				xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
4EH	TRISC1				TC1.4	TC1.3				0000 0000	0000 0000	r,r,r,r,r,r,r,r
4FH	PT1PU				PU1.4	PU1.3				0000 0000	0000 0000	r,r,r,r,r,r,r,r
50H	PT1M1				PM1.4					0000 0000	0000 0000	r,r,r,r,r,r,r,r

表 14-3 EUART Register

INTE1/INTE2/INTF2 : 詳見 中斷,Interrupt 章節

PT1/TRISC1/PT1PU/PT1M1 : 詳見 輸入/輸出埠,I/O 章節

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE								0.0. 0000	0.0. 0000	r, r, r, r, r, r, r, r
24H	INTE2	TXIE	RCIE							0000 000.	0000 000.	r, r, r, r, r, r, r, r
27H	INTF2	TXIF	RCIF							0000 000.	0000 000.	r, r, r, r, r, r, r, r
46H	URCON	ENSP	ENTX	TX9	TX9D	PARITY			WUE	0000 0..0	0000 0..0	r, r, r, r, r, r, r, r
47H	URSTA		RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0110	.000 0110	r, r, r, r, r, r, r, r, r, w0
48H	BAUDCON					ENCR	RC9	ENADD	ENABD 0000 0000	r, r, r, r, r, r, r, r
49H	BRGRH	Baud Rate Generator Register High Byte								...x xxxx	...u uuuu	r, r, r, r, r, r, r, r
4AH	BRGRL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	r, r, r, r, r, r, r, r
4BH	TXREG	UART Transmit Register								xxxx xxxx	uuuu uuuu	r, r, r, r, r, r, r, r
4CH	RCREG	UART Receive Register								xxxx xxxx	uuuu uuuu	r, r, r, r, r, r, r, r
4DH	PT1				PT1.4	PT1.3				xxxx xxxx	uuuu uuuu	r, r, r, r, r, r, r, r
4EH	TRISC1				TC1.4	TC1.3				0000 0000	0000 0000	r, r, r, r, r, r, r, r
4FH	PT1PU				PU1.4	PU1.3				0000 0000	0000 0000	r, r, r, r, r, r, r, r
50H	PT1M1				PM1.4					0000 0000	0000 0000	r, r, r, r, r, r, r, r

URCON: UART 控制暫存器

ENSP : UART 端口功能致能位元

1 : 啟動 UART 端口，並將 TX, RC 引腳組態為 UART 端口使用

0 : 關閉 UART 端口，並將 TX, RC 引腳組態為 I/O 使用

註：當啟動 UART 串行端口之後，須適當配置輸入或輸出腳位使用。

ENTX : UART 傳送功能致能位元

1 : 啟動

0 : 關閉

TX9 : 傳送第 9 位元功能致能

1 : 啟動

0 : 關閉

TX9D : 傳送第 9 位元資料

1 : 資料為"1"

0 : 資料為"0"

PARITY : 奇/偶同位檢查設定

1 : 奇同位檢查

0 : 偶同位檢查

WUE : 字元接收自動喚醒致能位元

1 : 啟動

0 : 關閉

URSTA: UART 狀態暫存器

RC9D : 接收第 9 位元資料

1 : 資料為"1"

0 : 資料為"0"

PERR : 資料同位檢查結果旗標

1 : 接收同位檢查錯誤

0 : 接收同位檢查正確

FERR : UART 資料接收不完整(開始、8(9)位元資料、結束)旗標

1 : 表示資料接收不完整

0 : 表示資料接收完整

OERR：已接收到 2 筆資料未處理狀態旗標

1：已發生

0：未發生

RCIDL：反應是否為接收狀態旗標

1：在接收狀態

0：不在接收狀態

TRMT：表示傳送移位暫存器(TSR)狀態旗標

1：表示 TSR 暫存器為空的

0：表示 TSR 暫存器有資料

ABDOVF：自動鮑率溢位旗標

1：已發生

0：未發生

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE								0.0. 0000	0.0. 0000	r,r,r,r,r,r,r,r
24H	INTE2	TXIE	RCIE							0000 000.	0000 000.	r,r,r,r,r,r,r,r
27H	INTF2	TXIF	RCIF							0000 000.	0000 000.	r,r,r,r,r,r,r,r
46H	URCON	ENSP	ENTX	TX9	TX9D	PARITY			WUE	0000 0..0	0000 0..0	r,r,r,r,r,r,r,r
47H	URSTA		RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0110	.000 0110	r,r,r,r,r,r,r,rw0
48H	BAUDCON					ENCR	RC9	ENADD	ENABD 0000 0000	r,r,r,r,r,r,r,r
49H	BRGRH	Baud Rate Generator Register High Byte								...x xxxx	...u uuuu	r,r,r,r,r,r,r,r
4AH	BRGRL	Baud Rate Generator Register Low Byte								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
4BH	TXREG	UART Transmit Register								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
4CH	RCREG	UART Receive Register								xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
4DH	PT1				PT1.4	PT1.3				xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
4EH	TRISC1				TC1.4	TC1.3				0000 0000	0000 0000	r,r,r,r,r,r,r,r
4FH	PT1PU				PU1.4	PU1.3				0000 0000	0000 0000	r,r,r,r,r,r,r,r
50H	PT1M1				PM1.4					0000 0000	0000 0000	r,r,r,r,r,r,r,r

BAUDCON : UART 接收資料控制暫存器

ENCR : 資料接收功能致能位元

- 1 : 啟動。
- 0 : 關閉。

RC9 : 接收第 9 位元功能致能位元

- 1 : 啟動。
- 0 : 關閉。

ENADD : 位址檢測位元

- 1 : 啟動。
- 0 : 關閉。

ENABD : 自動鮑率控制器致能位元

- 1 : 啟動。
- 0 : 關閉。

BRGRH/BRGRL: Baudrate 控制暫存器

TXREG: UART 資料傳送暫存器

RCREG: UART 資料接收暫存器

PT1: PORT1 狀態控制暫存器

PT1.4 : 外部接腳控制位元(PT1.4)

- 1 : 高電位旗標或高電位輸出。
- 0 : 低電位旗標或低電位輸出。

PT1.3 : 外部接腳控制位元(PT1.3)

- 1 : 高電位旗標或高電位輸出。
- 0 : 低電位旗標或低電位輸出。

TRISC1: 輸入/輸出控制暫存器

TC1.4 : 外部引腳輸入或輸出控制位元 4

- 1 : 輸出。
- 0 : 輸入。

TC1.3 : 外部引腳輸入或輸出控制位元 3

- 1 : 輸出。
- 0 : 輸入。

PT1PU: 上拉電阻控制暫存器

PU1.4 : 外部引腳上拉電阻控制位元 4

1 : 啟用。

0 : 關閉。

PU1.3 : 外部引腳上拉電阻控制位元 3

1 : 啟用。

0 : 關閉。

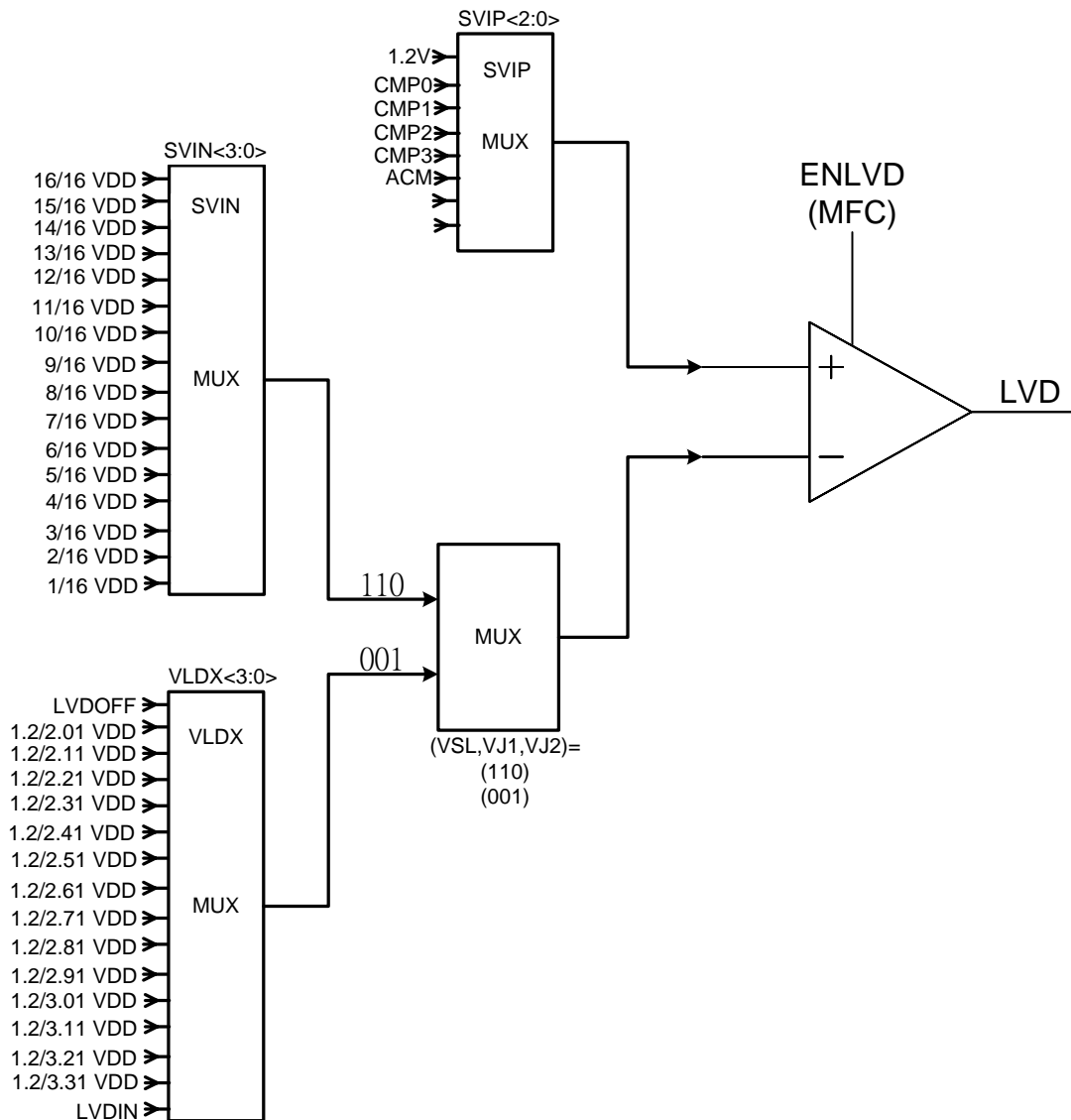
PT1M1: 數位輸出模式選擇暫存器

PM1.4 : PT1.4 EUART TX 輸出控制位元

1 : 啟用。

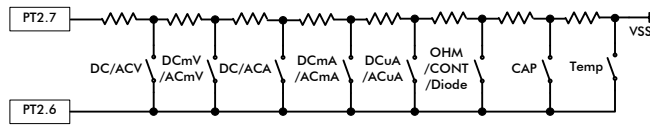
0 : 關閉。

15. Multi-function Comparator



Multi-function Comparator 是由 VDD 分壓網路，輸入多工器及比較器所組合而成的。主要用途可以選擇 VDD 分壓與內部 1.2V 比較，構成 2~3.3V 的低電池電壓判斷。外部輸入與與內部 1.2V 比較做為 3.6V 以上電池低電池電壓檢測之外部輸入或外部輸入(PT2.4~PT2.7)與 VDD 分壓做比較可構成簡易的 4 bits ADC。

15.1. Scan Key 使用說明



以上圖為例，PT2.7 為 Digital output，外接 8 個 20K ohm 電阻產生不同的分壓，PT2.6 設定為類比輸入，並將 MFC 切換為 Scan Key 模式，即可與內部不同的分壓節點比較電壓，以判斷屬於哪個檔位（因 VDD 電源雜訊與比較器雜訊等因素，建議每個 scan key 比較 8 個檔為上限），當 sleep mode，可將 PT2.7 輸出 LOW，以減少耗電流。

15.2. 範例程式

15.3. 暫存器說明- Multi-function Comparator

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
2DH	LVDCN1	ENLVD	LVD	VJ1	VJ2	VLDX[3:0]						
2EH	LVDCN2	VSL	SVIN[3:0]			SVIP[2:0]						
2FH	SBMSET1	SKRST	HAOTR[5:0]							x.xx xxxx	u.uu uuuu	*.*.* *.*.*

LVDCN1 : Multi-function Comparator 控制暫存器 1

ENLVD : Multi-Function Comparator 啟用控制器

- 1 : 啟用。
- 0 : 關閉。

LVD : 比較器反應旗標

- 1 : 發生過。
- 0 : 未發生過。

VSL,VJ1,VJ2 : 分壓源控制器

- 111 : 不開放。
- 110 : 選擇 VDD 為 4 Bits 分壓模式(SVIN)。
- 101 : 不開放。
- 100 : 不開放。
- 011 : 不開放。
- 010 : 不開放。
- 001 : 選擇低電池電壓檢測模式(LVDX)。
- 000 : 不開放。

VLDX[3:0] : 低電池電壓檢測模式(需設定 VSL,VJ1,VJ2=001)

VLDX<3:0>	0000	0001	0010	0011	0100	0101	0110	0111
VLDX	LVDOFF	1.2/2.01VDD	1.2/2.11VDD	1.2/2.21VDD	1.2/2.31VDD	1.2/2.41VDD	1.2/2.51VDD	1.2/2.61VDD
VLDX<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
VLDX	1.2/2.71VDD	1.2/2.81VDD	1.2/2.91VDD	1.2/3.01VDD	1.2/3.11VDD	1.2/3.21VDD	1.2/3.31VDD	LVDDIN

LVDCN2:

SVIP: 比較器正端輸入多工器

SVIP	000	001	010	011	100	101
SVIP	1.2V	CMP0	CMP1	CMP2	CMP3	ACM

SVIN: VDD 為 4 Bits 分壓模式(需設定 VSL,VJ1,VJ2=110)

SVIN<3:0>	0	1	10	11	100	101	110	111
SVIN	16/16VDD	15/16VDD	14/16VDD	13/16VDD	12/16VDD	11/16VDD	10/16VDD	9/16VDD
SVIN<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
SVIN	8/16VDD	7/16VDD	6/16VDD	5/16VDD	4/16VDD	3/16VDD	2/16VDD	1/16VDD

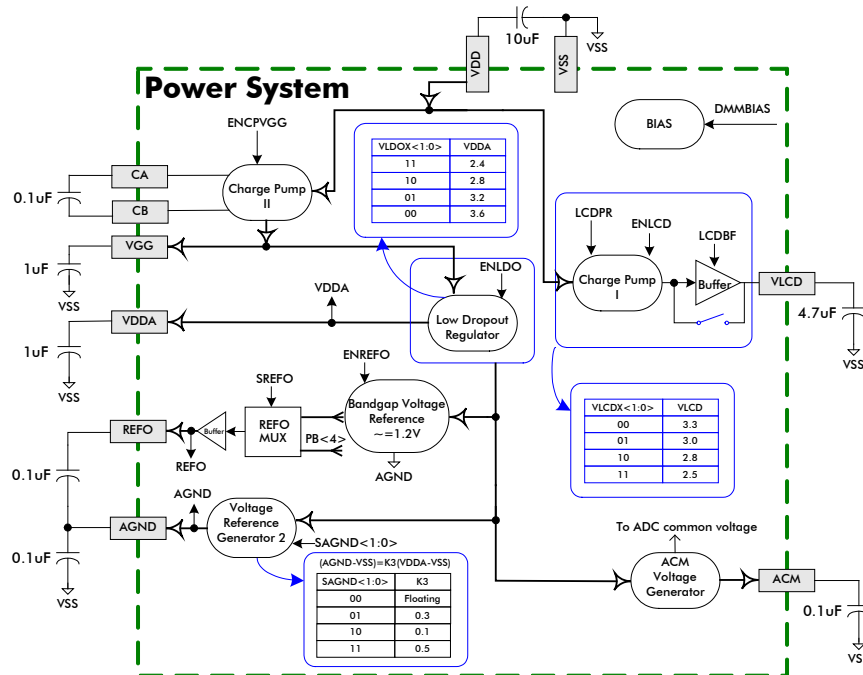
15.4. 低電壓偵測使用說明

15.4.1. LVD 初始設置

設置監測電壓選擇器 VLDX[3:0]可以決定 LVD 偵測的電壓是由工作電壓分壓產生或是外部輸入引腳 LVDIN。

當 VLDX[3:0]設置為偵測工作電壓時，即可透過分壓電阻的匹配達到 14 段的監測的電壓點；若設置為外部輸入時，使用者可能需要設計電壓分壓電路產生適當的電壓信號後再由 LVDIN 引腳輸入至 LVD 比較器。

16. Charge Pump Regulator and VDDA LDO



為了保證 ADC 可以測量到 AC500mV 的訊號。在 DMM Analog Front End 的工作電壓需要達到 3.6V，HY12P65 輸入電源電壓範圍為 2.4V~3.6V，所以 HY12P65 內建 Charge Pump Regulator 及 LDO 來產生 DMM Analog Front End 的工作電壓(VDDA)。

Charge Pump Regulator 經由 CA、CB 外接電容，將 VGG 升壓至約 4.2V 的電壓，其中 (CA、CB) 外接 0.1~1μF，其中 CA 接電容正端，VGG 外接 1~10μF 穩壓電容。

VDDA LDO 其輸入電源為 VGG，輸出 VDDA 可由程式設定穩壓在 2.4V 至 3.6V。VDDA 需外接 1μF 穩壓電容。

16.1. 暫存器說明- Charge Pump Regulator

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET
5BH	PWRCN					-	ENLDO	LDOC[1:0]			
5CH	PWRCN2		ENCPVGG								

PWRCN:

ENLDO：暫存器位元，可 Enable VDDA LDO。

1：啟用。

0：關閉。

註：ENLDO 啟動後，也會啟動 REFO。

LDOC[1:0]：暫存器位元，可選擇 LDO 輸出電壓

00=3.6V

01=3.2V

10=2.8V

11=2.4V

PWRCN2:

ENCPVGG：暫存器位元，可 Enable charge pump regulator。

1：啟用。

0：關閉。

16.2. 電源啟動範例程式

範例程式：

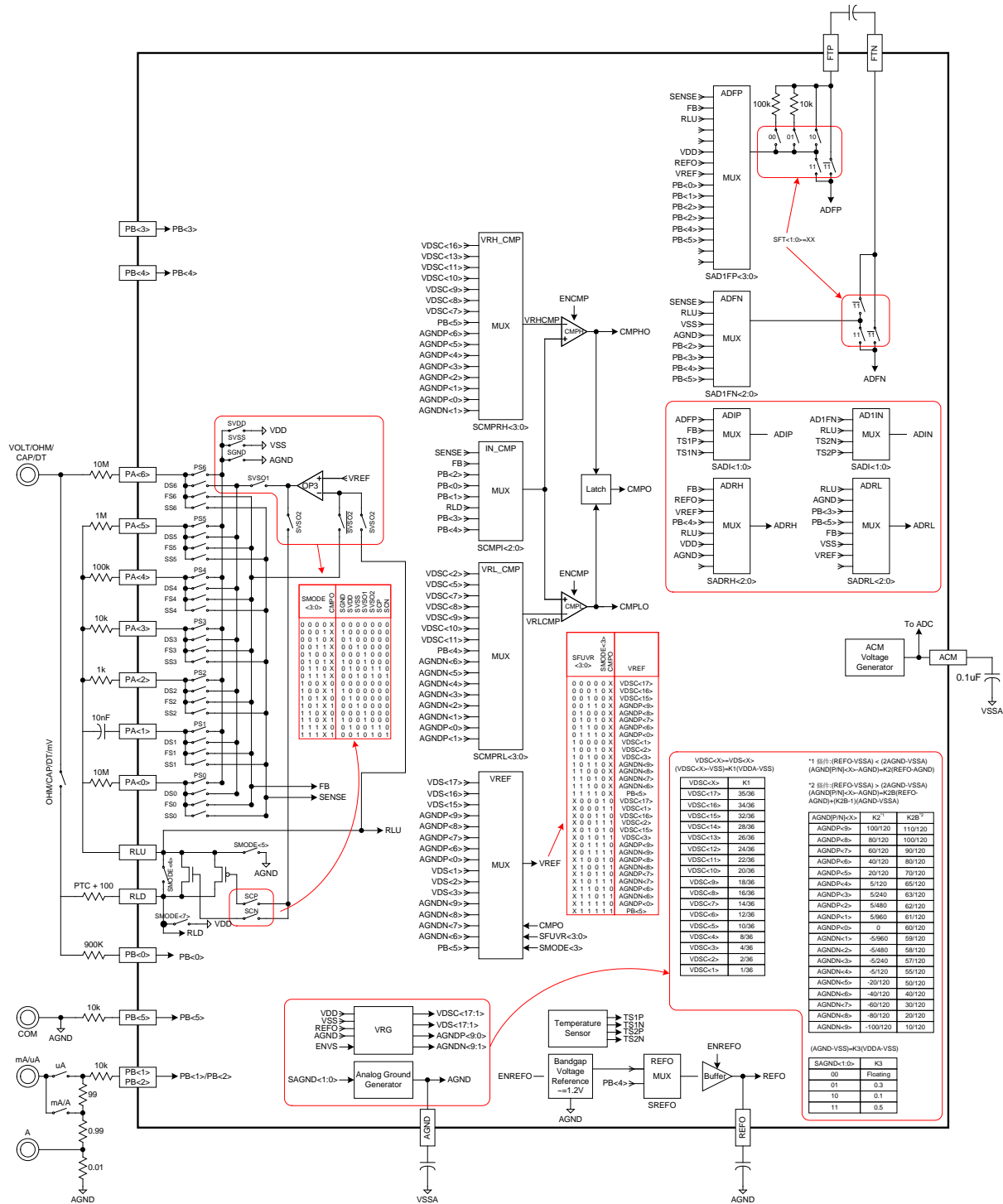
MVL 11000000b ; 設置開啟 MCUBIAS，開啟 Charge pump regulator

MVF PWRCN2,F,A

MVL 11111100b ; 設置開啟 DMMBIAS，AGND 的電壓選 0.5xVDDA，開啟 Voltage Reference Generator，啟用 VDDA LDO，LDO 輸出電壓選擇 3.6V

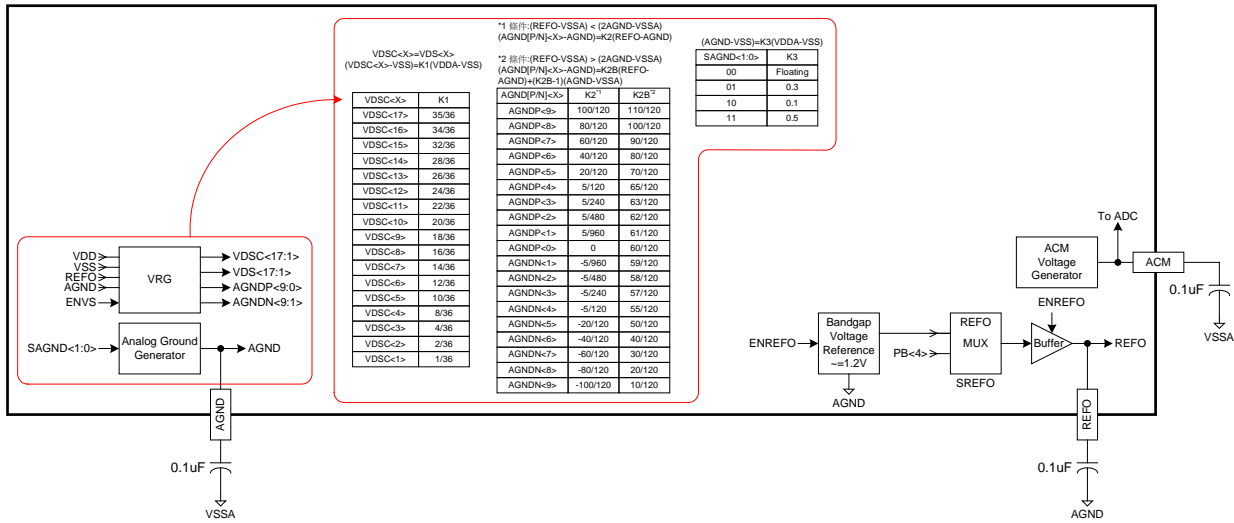
MVF PWRCN,F,A

17. Auto Range DMM Multi-Function Network



Auto Range DMM Multi-Function Network 包含 Voltage Reference Generator, Analog Switch Network, DMM Comparator Network 及 Pre-Filter, ADC Input MUX And Temperature Sensor, 以下將詳細描述。

17.1. Voltage Reference Generator(VRG)



AGND 為 Analog Ground，接腳需外接 0.1μF 穩壓電容。REFO 提供量測所需的參考電壓相對 AGND 約 1.2V 電壓，接腳需外接 0.1μF 穩壓電容。REFO Buffer 的輸入由 SREFO 選擇，可選擇內部 Band-gap Voltage Reference 或 PB<4>電壓。ACM Voltage Generator 產生內部 ADC 的 common mode 參考點，ACM 接腳需外接 0.1μF 穩壓電容。Voltage reference generator(VRG)各種不同參考電壓，提供給 ADC 及 Comparator 使用。其中 VDS<17:1>，為相對於(VDDA.VSS)電壓。AGNDP<9:0>及 AGNDN<9:1>，為相對於 (+/-REFO.VSS)電壓。

17.1.1. 暫存器說明- Voltage Reference

"-"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1											
"."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET
5BH	PWRCN	DMMBIAS	SAGND[1:0]		ENVS	ENREFO					
5DH	ADCN1	SDIO	SREFO	SFT1<1:0>		SFUVR<3:0>					

PWRCN:

DMMBIAS：偏壓電流，提供給所有使用 LDO 電源的類比 IP。

SAGND[1:0]：暫存器位元，可選擇 AGND 的電壓。

00：Disable AGND Generator，且 AGND 接腳為 Floating 狀態

01：0.3xVDDA

10：0.1xVDDA

11：0.5xVDDA

ENVS：暫存器位元，可 Enable Voltage Reference Generator。

1：啟用。

0：關閉。

VDSC<N>為(VDDA,VSS)分壓得到的節點，AGNDP<N>為(REFO,AGND)分壓得到的節點，AGNDN<N>為(-REFO,AGND)分壓得到的節點，所有相關電壓，請參考圖示。

*1 條件:(REFO-VSSA) < (2AGND-VSSA)
(AGND[P/N]<X>-AGND)=K2(REFO-AGND)

*2 條件:(REFO-VSSA) > (2AGND-VSSA)
(AGND[P/N]<X>-AGND)=K2B(REFO-AGND)+(K2B-1)(AGND-VSSA)

VDSC<X>=VDS<X>
(VDSC<X>-VSS)=K1(VDDA-VSS)

VDSC<X>	K1
VDSC<17>	35/36
VDSC<16>	34/36
VDSC<15>	32/36
VDSC<14>	28/36
VDSC<13>	26/36
VDSC<12>	24/36
VDSC<11>	22/36
VDSC<10>	20/36
VDSC<9>	18/36
VDSC<8>	16/36
VDSC<7>	14/36
VDSC<6>	12/36
VDSC<5>	10/36
VDSC<4>	8/36
VDSC<3>	4/36
VDSC<2>	2/36
VDSC<1>	1/36

AGND[P/N]<X>	K2 ^{*1}	K2B ^{*2}
AGNDP<9>	100/120	110/120
AGNDP<8>	80/120	100/120
AGNDP<7>	60/120	90/120
AGNDP<6>	40/120	80/120
AGNDP<5>	20/120	70/120
AGNDP<4>	5/120	65/120
AGNDP<3>	5/240	63/120
AGNDP<2>	5/480	62/120
AGNDP<1>	5/960	61/120
AGNDP<0>	0	60/120
AGNDN<1>	-5/960	59/120
AGNDN<2>	-5/480	58/120
AGNDN<3>	-5/240	57/120
AGNDN<4>	-5/120	55/120
AGNDN<5>	-20/120	50/120
AGNDN<6>	-40/120	40/120
AGNDN<7>	-60/120	30/120
AGNDN<8>	-80/120	20/120
AGNDN<9>	-100/120	10/120

ENREFO：暫存器位元，可 Enable 內部 Bandgap Voltage Reference，及開啟 REFO Buffer。

1：啟用。

0：關閉，REFO 接腳為 Floating 狀態。

ADCN1:

SDIO：PB<0>與 PB<2>短路控制位元。

0：Open。

1：Short。

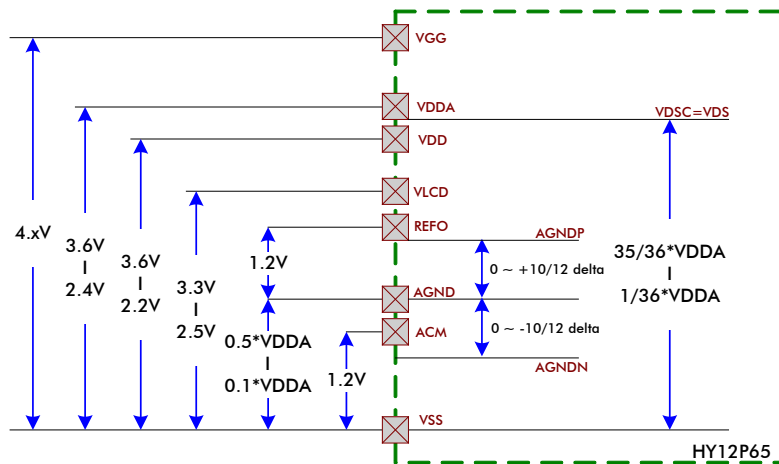
SREFO：暫存器位元，可選擇 REFO Buffer 的輸入源。

0：選擇內部 Band-gap Voltage Reference。

1：選擇 PB<4>接腳。

17.2. 電源系統

電壓關係圖如下：



17.3. 不同應用使用之 AGND

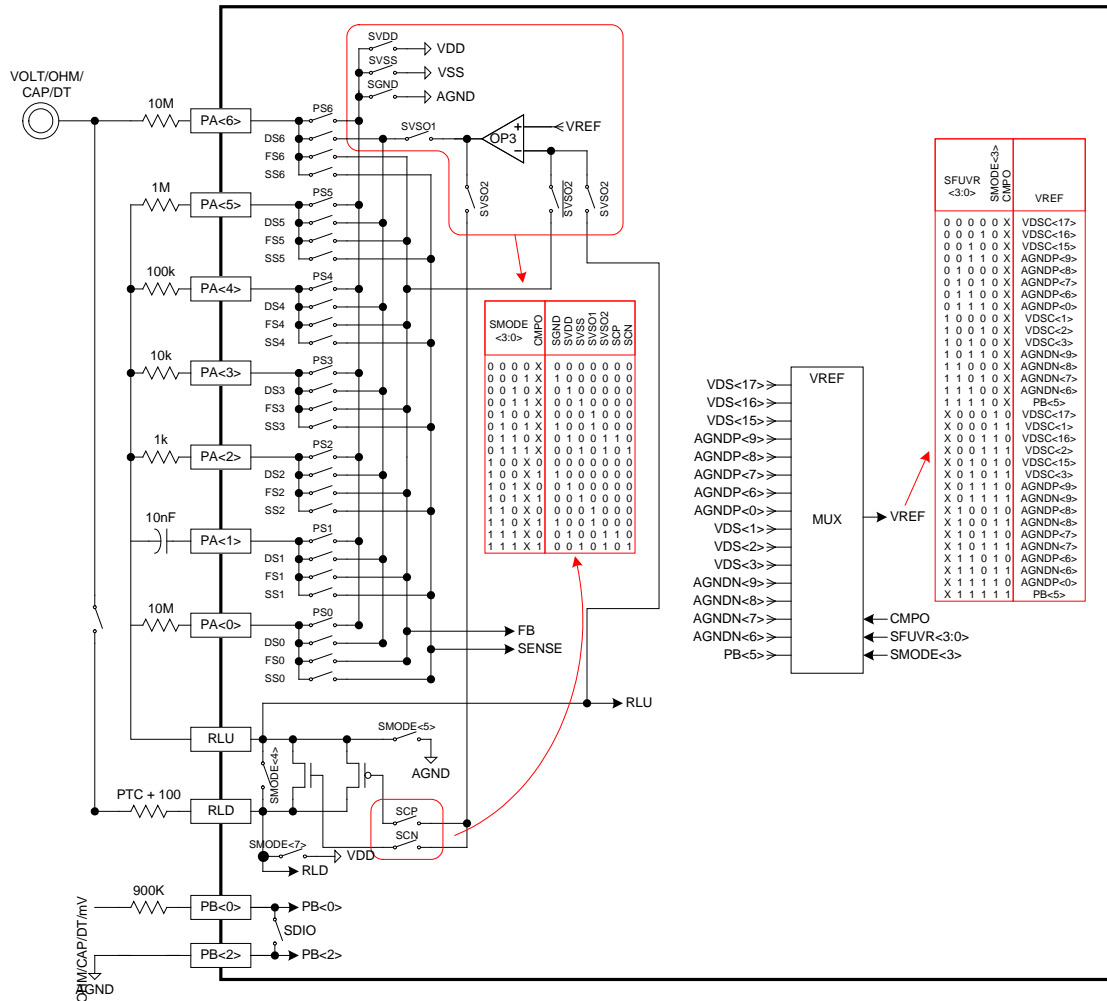
DMM 應用上，絕大多數將 AGND 電壓設定為 $1/2 VDDA$ 。於電阻檔，因沒有測量其負電壓的電阻，將 AGND 設定為 $0.3 VDDA$ ，可加大電阻檔時輸入的電壓，而增加解析度。Diode 檔，因線性度要求較低，最大開路可測量電壓是較重要的特性，因此將 AGND 設定為 $0.1 VDDA$ 。

$$(AGND-VSS)=K3(VDDA-VSS)$$

SAGND<1:0>	K3	Function
01	0.3	Resistance
10	0.1	Diode
11	0.5	Capacitance/V/A

17.4. 範例程式

17.5. Analog Switch Network



Analog Switch Network 提供自動換檔電壓/電阻/電容/二極體等量程轉換線路。經轉換後產生 FB、SENSE、RLU、RLD 等節點訊號，輸出至 ADC 或 Comparator Network。主要由 SMODE[7:0]來選擇量測模式。

17.5.1. 暫存器說明- Analog Switch Network

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
57H	PAX6					PS6	DS6	FS6	SS6			
58H	PA54	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4			
59H	PA32	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2			
5AH	PA10	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0			
5DH	ADCN1	SDIO	SREFO	SFT1<1:0>		SFUVR<3:0>						
5EH	ADCN2	SMODE<7:0>										

PAX6:

PS6 : PA<6>Power 選擇控制位元。

1 : 連接。

0 : 斷開。

DS6 : PA<6>OP3 輸出選擇控制位元。

1 : 連接。

0 : 斷開。

FS6 : PA<6>Feedback 選擇控制位元。

1 : 連接。

0 : 斷開。

SS6 : PA<6>Sense 端選擇控制位元。

1 : 連接。

0 : 斷開。

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“. ”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
57H	PAX6					PS6	DS6	FS6	SS6			
58H	PA54	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4			
59H	PA32	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2			
5AH	PA10	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0			
5DH	ADCN1	SDIO	SREFO	SFT1<1:0>		SFUVR<3:0>						
5EH	ADCN2	SMODE<7:0>										

PA54:

PS5 : PA<5>Power 選擇控制位元。

1 : 連接。

0 : 斷開。

DS5 : PA<5>OP3 輸出選擇控制位元。

1 : 連接。

0 : 斷開。

FS5 : PA<5>Feedback 選擇控制位元。

1 : 連接。

0 : 斷開。

SS5 : PA<5>Sense 端選擇控制位元。

1 : 連接。

0 : 斷開。

PS4 : PA<4>Power 選擇控制位元。

1 : 連接。

0 : 斷開。

DS4 : PA<4>OP3 輸出選擇控制位元。

1 : 連接。

0 : 斷開。

FS4 : PA<4>Feedback 選擇控制位元。

1 : 連接。

0 : 斷開。

SS4 : PA<4>Sense 端選擇控制位元。

1 : 連接。

0 : 斷開。

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“. ”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
57H	PAX6					PS6	DS6	FS6	SS6			
58H	PA54	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4			
59H	PA32	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2			
5AH	PA10	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0			
5DH	ADCN1	SDIO	SREFO	SFT1<1:0>		SFUVR<3:0>						
5EH	ADCN2	SMODE<7:0>										

PA32:

PS3 : PA<3>Power 選擇控制位元。

1 : 連接。

0 : 斷開。

DS3 : PA<3>OP3 輸出選擇控制位元。

1 : 連接。

0 : 斷開。

FS3 : PA<3>Feedback 選擇控制位元。

1 : 連接。

0 : 斷開。

SS3 : PA<3>Sense 端選擇控制位元。

1 : 連接。

0 : 斷開。

PS2 : PA<2>Power 選擇控制位元。

1 : 連接。

0 : 斷開。

DS2 : PA<2>OP3 輸出選擇控制位元。

1 : 連接。

0 : 斷開。

FS2 : PA<2>Feedback 選擇控制位元。

1 : 連接。

0 : 斷開。

SS2 : PA<2>Sense 端選擇控制位元。

1 : 連接。

0 : 斷開。

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“. ”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
57H	PAX6					PS6	DS6	FS6	SS6			
58H	PA54	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4			
59H	PA32	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2			
5AH	PA10	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0			
5DH	ADCN1	SDIO	SREFO	SFT1<1:0>		SFUVR<3:0>						
5EH	ADCN2	SMODE<7:0>										

PA10:

PS1 : PA<1>Power 選擇控制位元。

1 : 連接。

0 : 斷開。

DS1 : PA<1>OP3 輸出選擇控制位元。

1 : 連接。

0 : 斷開。

FS1 : PA<1>Feedback 選擇控制位元。

1 : 連接。

0 : 斷開。

SS1 : PA<1>Sense 端選擇控制位元。

1 : 連接。

0 : 斷開。

PS0 : PA<0>Power 選擇控制位元。

1 : 連接。

0 : 斷開。

DS0 : PA<0>OP3 輸出選擇控制位元。

1 : 連接。

0 : 斷開。

FS0 : PA<0>Feedback 選擇控制位元。

1 : 連接。

0 : 斷開。

SS0 : PA<0>Sense 端選擇控制位元。

1 : 連接。

0 : 斷開。

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“. ”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
57H	PAX6					PS6	DS6	FS6	SS6			
58H	PA54	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4			
59H	PA32	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2			
5AH	PA10	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0			
5DH	ADCN1	SDIO	SREFO	SFT1<1:0>		SFUVR<3:0>						
5EH	ADCN2	SMODE<7:0>										

ADCN1:

SDIO : PB<0>與 PB<2>短路控制位元。

0 : Open。

1 : Short。

SREFO : 暫存器位元，可選擇 REFO Buffer 的輸入源。

0 : 選擇內部 Band-gap Voltage Reference。

1 : 選擇 PB<4>接腳。

SFT1<1:0> : 前置 Pre-filter 通道。

00 : 100KΩ。

01 : 10KΩ。

10 : 0Ω ; Short。

11 : 關閉；不經過前置 Pre-filter 通道。

SFUVR<3:0> : 選擇參考電壓源(如下表)。

SFUVR <3:0>	SMODE<3> CPO	VREF
0 0 0 0 0 X	X	VDS<17>
0 0 0 1 0 X	X	VDS<16>
0 0 1 0 0 X	X	VDS<15>
0 0 1 1 0 X	X	AGNDP<9>
0 1 0 0 0 X	X	AGNDP<8>
0 1 0 1 0 X	X	AGNDP<7>
0 1 1 0 0 X	X	AGNDP<6>
0 1 1 1 0 X	X	AGNDP<0>
1 0 0 0 0 X	X	VDS<1>
1 0 0 1 0 X	X	VDS<2>
1 0 1 0 0 X	X	VDS<3>
1 0 1 1 0 X	X	AGNDN<9>
1 1 0 0 0 X	X	AGNDN<8>
1 1 0 1 0 X	X	AGNDN<7>
1 1 1 0 0 X	X	AGNDN<6>
1 1 1 1 0 X	X	PB<5>
X 0 0 0 1 0		VDS<17>
X 0 0 0 1 1		VDS<1>
X 0 0 1 1 0		VDS<16>
X 0 0 1 1 1		VDS<2>
X 0 1 0 1 0		VDS<15>
X 0 1 0 1 1		VDS<3>
X 0 1 1 1 0		AGNDP<9>
X 0 1 1 1 1		AGNDN<9>
X 1 0 0 1 0		AGNDP<8>
X 1 0 0 1 1		AGNDN<8>
X 1 0 1 1 0		AGNDP<7>
X 1 0 1 1 1		AGNDN<7>
X 1 1 0 1 0		AGNDP<6>
X 1 1 0 1 1		AGNDN<6>
X 1 1 1 1 0		AGNDP<0>
X 1 1 1 1 1		PB<5>

ADCN2:

SMODE<7:0>	量測模式說明
00000000	電壓檔分壓, 使用外部開關接地
00100000	電壓檔分壓, 使用內部開關接地
00010100	正定電壓電阻量測或二極體量測
00010101	負定電壓電阻量測或二極體量測
00000110	正定電流電阻量測或二極體量測
00000111	負定電流電阻量測或二極體量測
00010101	定電壓參考電阻測量
10100000	二極體測量, VDDA 驅動電壓. 10M/1.111M 電阻分壓
0001101x	電容檔測量, VDDA/VSS 充放電, 由 CMPO 決定充放電
0001110x	電容檔測量, 定電壓充放電, 由 CMPO 決定充放電
0000111x	電容檔測量, 定電流充放電, 由 CMPO 決定充放電

選擇 PS6~PS0、DS6~DS0、FS6~FS0 及 SS6~SS0 可以決定電壓檔分壓電阻及定電壓/定電流源的參考電阻。定電壓/定電流源的參考電壓由 SFUVR, SMODE[3]及 CMPO(Comparator output)決定。相關開關阻值如下表: @VDDA=3.6V

開關名稱	PS6 ~ PS2 DS6 ~ DS2	PS1 ~ PS0	DS1 ~ DS0	FS6 ~ FS0	SS6 ~ SS0
開關內阻(Ω)	80	16	40	400	400

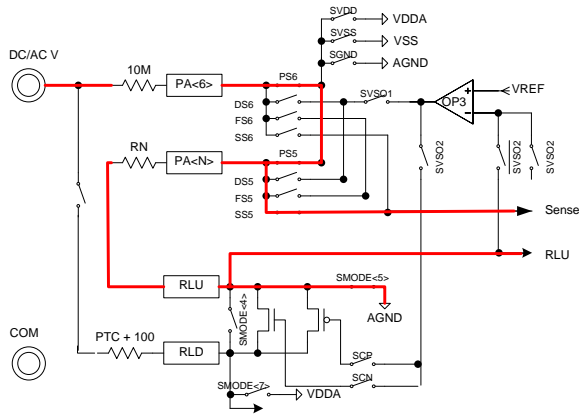
暫存器位元 SDIO 可控制將 PB<2>與 PB<0>接腳連接。

17.5.2. 多功能網路使用說明

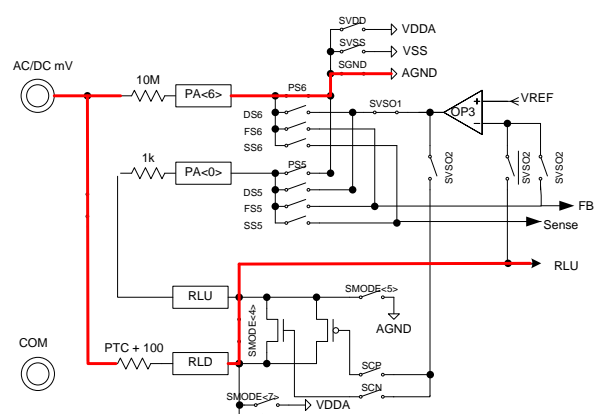
參照 17.5.1 SMODE<7:0>之設置，與 SMODE 對應之真值表如下：

SMODE <3:0>	CMPO	SCND	SVDD	SVSS	SVSO1	SVSO2	SDO	SDI
0 0 0 0	X	0	0	0	0	0	0	0
0 0 0 1	X	1	0	0	0	0	0	0
0 0 1 0	X	0	1	0	0	0	0	0
0 0 1 1	X	0	0	1	0	0	0	0
0 1 0 0	X	0	0	0	1	0	0	0
0 1 0 1	X	1	0	0	1	0	0	0
0 1 1 0	X	0	1	0	0	1	1	0
0 1 1 1	X	0	0	1	0	1	0	1
1 0 0 X	0	0	0	0	0	0	0	0
1 0 0 X	1	1	0	0	0	0	0	0
1 0 1 X	0	0	1	0	0	0	0	0
1 0 1 X	1	0	0	1	0	0	0	0
1 1 0 X	0	0	0	0	1	0	0	0
1 1 0 X	1	1	0	0	1	0	0	0
1 1 1 X	0	0	1	0	0	1	1	0
1 1 1 X	1	0	0	1	0	1	0	1

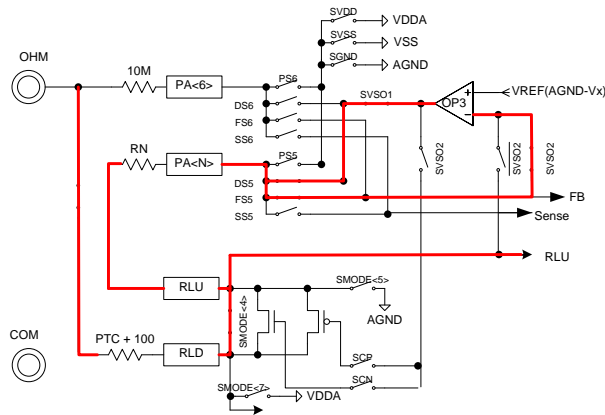
多功能網路可形成相關網路如下：



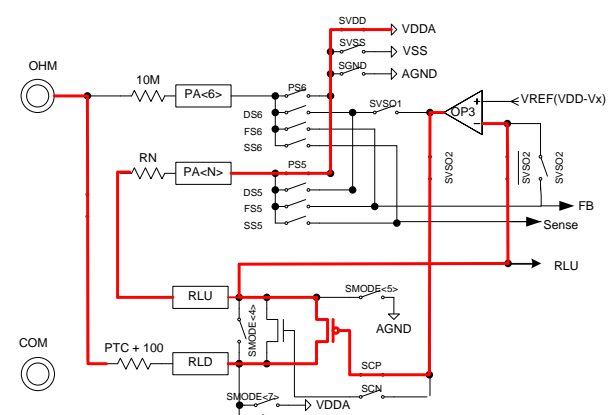
DC/AC V Voltage Divider



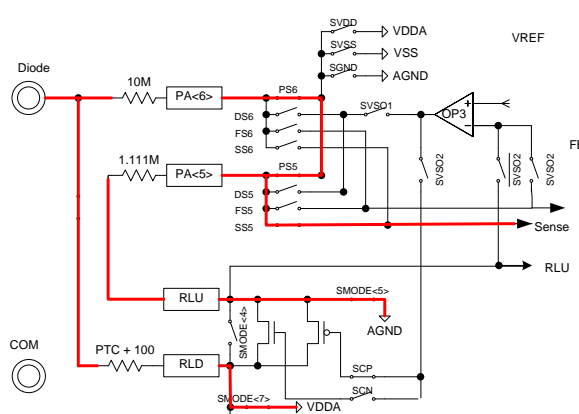
mV with 10 M Input Impedance



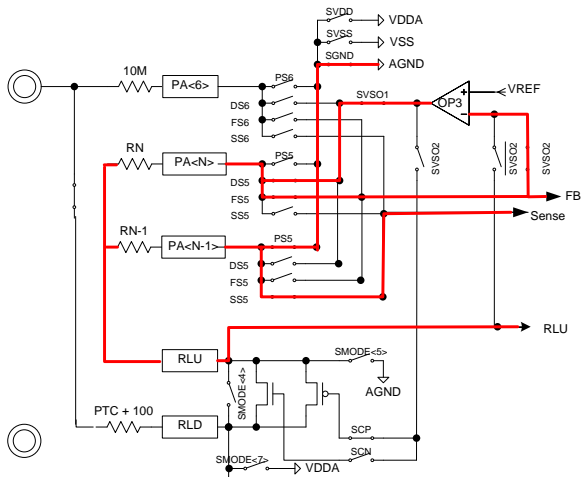
Constant Voltage Source



Constant Current Source

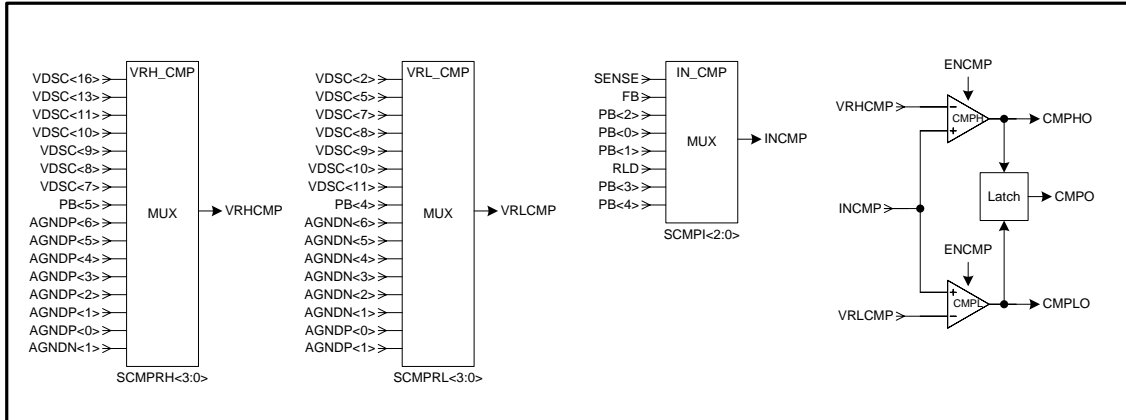


Diode Driver and Divider



Reference Resistor Measure

17.6. DMM Comparator Network



DMM Comparator Network 是由兩個類比比較器與輸入多工器構成，其中 CMPH、CMPL 比較器組合成具有遲滯窗型比較器。其中 CMPH 的正輸入端 VRHCMP 及 CMPL 的負輸入端 VRLCMP 分別為具有遲滯窗型比較器高/低比較電位，可透過輸入多工器來選擇。CMPO 為窗型比較器輸出，CMPH 及 CMPL 個別比較器輸出為 CMPHO 及 CMPLO。

Comparator Network 主要被用於頻率量測，短路測試及電容檔測量。

17.6.1. 暫存器說明- DMM Comparator Network

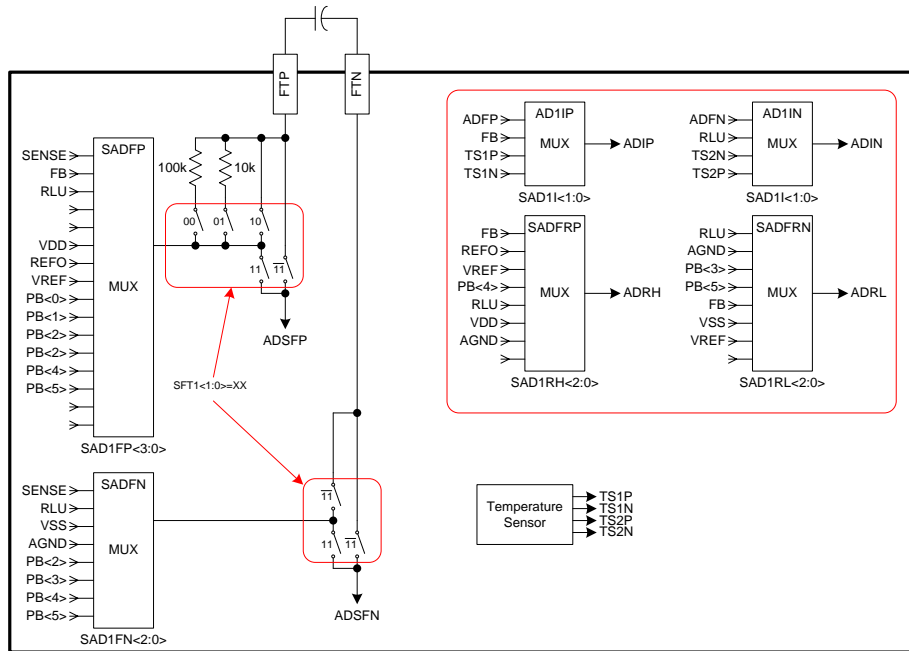
“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET
5FH	ADCN3	SCMPRH<3:0>				SCMPRL<3:0>					
60H	ADCN4	SCMPI<2:0>			AD1CHOP<1:0>		AD1OSR<2:0>				
6EH	CTSTA	CNTI	CMPO	CMPHO	CMPLO				CTBOV		

- 比較器的輸出 CMPHO, CMPLO 與 CMPO 可由 CTSTA 暫存器讀取, 同時也會輸出至頻率計數器。
- 比較器的輸入分別透過 MUX 連接, 由暫存器位元 SCMPRH<3:0>, SCMPRL<3:0>與 SCMPI<2:0>控制。

SCMPRH<3:0>	0000	0001	0010	0011	0100	0101	0110	0111
VRHCMP	VDSC<16>	VDSC<13>	VDSC<11>	VDSC<10>	VDSC<9>	VDSC<8>	VDSC<7>	PB<5>
SCMPRH<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
VRHCMP	AGNDP<6>	AGNDP<5>	AGNDP<4>	AGNDP<3>	AGNDP<2>	AGNDP<1>	AGNDP<0>	AGNDN<1>
SCMPRL<3:0>	0000	0001	0010	0011	0100	0101	0110	0111
VRLCMP	VDSC<2>	VDSC<5>	VDSC<7>	VDSC<8>	VDSC<9>	VDSC<10>	VDSC<11>	PB<4>
SCMPRL<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
VRLCMP	AGNDN<6>	AGNDN<5>	AGNDN<4>	AGNDN<3>	AGNDN<2>	AGNDN<1>	AGNDP<0>	AGNDP<1>
SCMPI<2:0>	000	001	010	011	100	101	110	111
INCMP	SENSE	FB	PB<2>	PB<0>	PB<1>	RLD	PB<3>	PB<4>

- ENCMP: 暫存器位元, 可 Enable CMPH 與 CMPL 比較器。1=Enable, 0=Disable。

17.7. Pre-Filter 、ADC Input MUX And Temperature Sensor



ADC 的輸入訊號與參考訊號均透過 MUX 連接。ADC 的輸入前級可選擇是否經過 Pre-filter。另外，晶片內部有內建溫度感測器(Temperature Sensor)，可經由 ADC 量測晶片溫度。

17.7.1.1. 暫存器說明-Pre-Filter、ADC Input MUX And Temperature

Sensor

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET
5DH	ADCN1			SFT1<1:0>		SFUVR<3:0>					
61H	ADCN5	SAD1FP<3:0>				SAD1FN<2:0>					
62H	ADCN6	SAD1RH<2:0>			SAD1RL<2:0>		SAD1I<1:0>				

Pre-Filter:

(1) 在 AD1 的輸入前級有一電阻網路，在 FTP 與 FTN 之間外接濾波電容可形成 Filter，可濾掉雜訊，使輸入訊號穩定。此 Filter 的正負端輸入訊號透過 MUX 連接，而 SADFP 與 SADFN 分別為 Filter 的正負端輸出訊號，分別由暫存器位元 SAD1FP<3:0>、SAD1FN<2:0>與 SFT1<1:0>控制。

SAD1FP<3:0>	0000	0001	0010	0011	0100	0101	0110	0111
Filter 正端輸入	SENSE	FB	RLU	X	X	VDD	REFO	VREF
SAD1FP<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
Filter 正端輸入	PB<0>	PB<1>	PB<2>	PB<2>	PB<4>	PB<5>	X	X
SAD1FN<2:0>	000	001	010	011	100	101	110	111
Filter 負端輸入	SENSE	RLU	VSS	AGND	PB<2>	PB<3>	PB<4>	PB<5>

(2) SFT1<1:0>：暫存器位元，可選擇濾波電阻為 100K、10K、0 或無，如圖示。

ADC Input MUX:

ADC 輸入訊號與參考訊號均透過 MUX 連接，分別由暫存器位元控制。

- (1) AD1IP 與 AD1IN：為 ADC 的正負端輸入訊號，共同由暫存器位元 SAD1I<1:0>控制。
- (2) SADFRH 與 SADFRL：為 ADC 的正負端參考訊號，分別由暫存器位元 SAD1RH<2:0>與 SAD1RL<2:0>控制。

SAD1I<1:0>	00	01	10	11				
AD1IP	ADFP	FB	TS1P	TS1N				
AD1IN	ADFN	RLU	TS2N	TS2P				
SAD1RH<2:0>	000	001	010	011	100	101	110	111
SADFRP	FB	REFO	VREF	PB<4>	RLU	VDD	AGND	X
SAD1RL<2:0>	000	001	010	011	100	101	110	111
SADFRN	RLU	AGND	PB<3>	PB<5>	FB	VSS	VREF	X

Temperature Sensor:

晶片內部內建一個溫度感測器，其輸出有兩組電壓(TS1P,TS2N)，(TS1N,TS2P)。此兩組電壓可經由 AD1 量測得到。溫度計算如下：(Set ADC Input buffer off, ADCN7[AD1IPNUF]= ADCN7[AD1IPNUF]=0b)

- (1) 設定 SAD1I<1:0>=10，ADC 量測得到一個數位碼 TCode1。
- (2) 設定 SAD1I<1:0>=11，ADC 量測得到一個數位碼 TCode2。
- (3) 計算 TCode=(TCode2 - TCode1)/2，此動作可消除 Temperature Sensor 的 Offset。
- (4) 假設在 25°C 校正一點，可得到 TCode@25°C。因為 Temperature Sensor 本身有一位準偏移，所以會加入一偏移量，得到溫度的曲線斜率 G 如下：

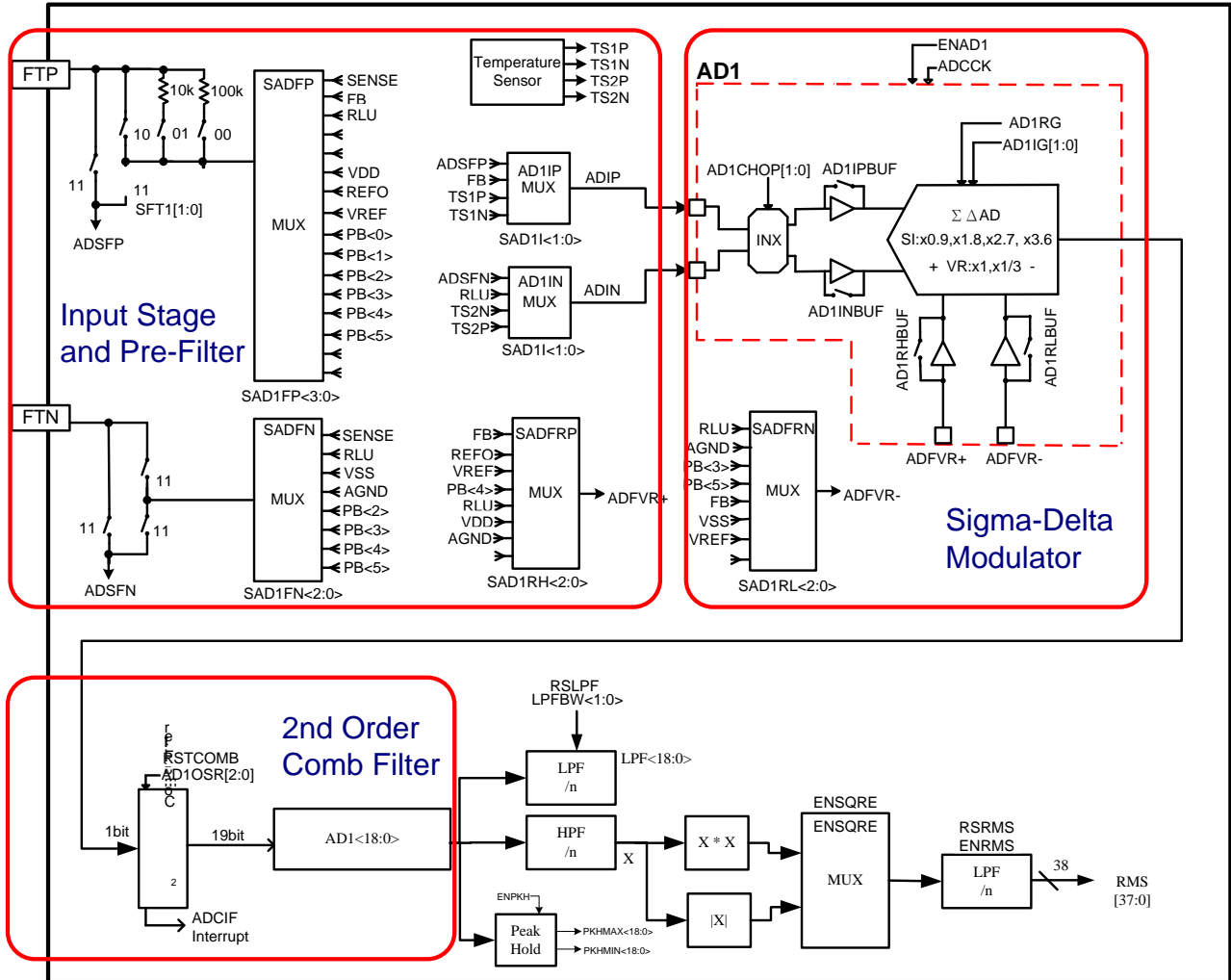
$$G = \frac{TCode@25^{\circ}C}{25 + 273.15 + T_{os}}$$

，其中T_{os}為偏移量，約為 8°K。

- (5) 假設待測溫度為T_x°C，則可得到：

$$T_x = \frac{TCode@T_x^{\circ}C}{G} - [273.15 + T_{os}] \quad ^{\circ}C$$

18. ΣΔADC、Low Pass Filter、RMS Converter And Peak Hold



18.1. 暫存器資料同步

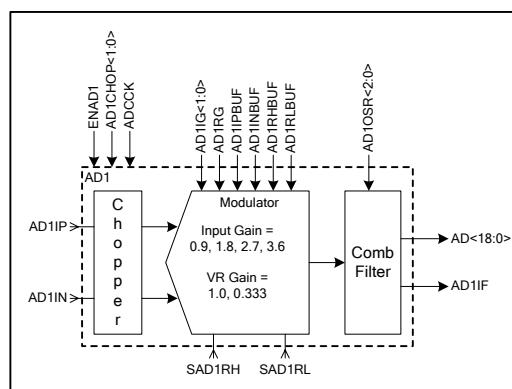
“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
6FH	PKHMAXU	PKHMAX<18:11>										
70H	PKHMAXH	PKHMAX<10:3>										
71H	PKHMAXL	PKHMAX<2:0>										
72H	PKHMINU	PKHMIN<18:11>										
73H	PKHMINH	PKHMIN<10:3>										
74H	PKHMINL	PKHMIN<2:0>										
75H	RMSDATA4	RMS<37:30>										
76H	RMSDATA3	RMS<29:22>										
77H	RMSDATA2	RMS<21:14>										
78H	RMSDATA1	RMS<13:6>										
79H	RMSDATA0	RMS<5:0>										
7AH	LPFDATAU	LPF<18:11>										
7BH	LPFDATAH	LPF<10:3>										
7CH	LPFDATAL	LPF<2:0>										
7DH	AD1DATAU	AD1<18:11>										
7EH	AD1DATAH	AD1<10:3>										
7FH	AD1DATAL	AD1<2:0>										

PKHMAX、PKHMIN、RMSDATA、LPFDATA、AD1DATA 暫存器讀取，因包含 2byte 以上之資料讀取，因此需要有 Latch 的機制，以確保連續讀取的過程中，沒有另外一筆資料被更新到暫存器。而該 Latch 機制為，當 low byte 被讀取，則高位元會被更新為同一筆資料，因此，需從暫存器位址較大的地方開始讀起。

Ex: 讀取 AD1 需先讀取 7FH 位址，讀取 7FH 時，7EH 與 7DH 資料會被固定，以確保 user 讀取到同一筆 AD 值。

當 AD1DATAL 被讀取後，若先讀取 LPFDATAL，接著再讀取 AD1DATAH，則 AD1DATAH 讀取到的資料會錯誤。

18.2. ΣΔADC



HY12P65 內部之 ADC 包含 Input/VR Buffer 及 Chopper Control, Gain Stage, Modulator 與三階 Comb Filter 四部分。AD1IP 與 AD1IN 為正負端輸入訊號，SAD1RH 與 SAD1RL 為正負端參考訊號。

18.2.1. 暫存器說明-ΣΔADC

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
5CH	PWRCN2	MCUBIAS	ENCPVGG	ENCMP	ENCNTI	ENCRT	RSTCOMB	RSLPF	RSRMS			
60H	ADCN4				AD1CHOP<1:0>		AD1OSR<2:0>					
61H	ADCN5	SAD1FP<3:0>				HSAD	SAD1FN<2:0>					
62H	ADCN6	SAD1RH<2:0>			SAD1RL<2:0>			SAD1I<1:0>				
63H	ADCN7	ENAD1	AD1IG<1:0>		AD1RG	AD1RHBUF	AD1RLBUF	AD1IPBUF	AD1INBUF			

(1) ENAD1：暫存器位元，可 Enable ADC。1=Enable；0=Disable，且清除 AD<18:0>為 0。

(2) AD1CHOP<1:0>：暫存器位元，可設定 Chop ADC 輸入訊號的形式，結果會反應在 ADC 的輸出 AD<18:0>。假設 VOS 為 AD1CHOP=00 時的 Offset 輸出碼，VX 為扣除 Offset 的輸出碼。當使用不同 AD1CHOP 設定時，ADC 輸出碼如下表，當 AD1CHOP=1x 時，ADC 根據 OSR 設定的時間來切換輸入訊號，做 Offset 消除的功能。使 ADC Offset Voltage 可以小於 10uV，同時 ADC 輸出速度將變慢一倍。

AD1CHOP<1:0>	00	01	10	11
AD<18:0>	VX+VOS	VX-VOS	VX	VX

(3) AD1IG<1:0>：暫存器位元，可設定 ADC 輸入訊號的 Gain。

(4) AD1RG：暫存器位元，可設定 ADC 參考訊號的 Gain。

AD1IG<1:0>	00	01	10	11	AD1RG	0	1
AD Input Gain	0.9	1.8	2.7	3.6	AD Reference Gain	1.0	0.333

(6) AD1IPBUF：暫存器位元，可設定 ADC 正端輸入訊號是否經過 Buffer。1=Enable；0=Disable。

(7) AD1INBUF：暫存器位元，可設定 ADC 負端輸入訊號是否經過 Buffer。1=Enable；0=Disable。

(8) AD1RHBUF：暫存器位元，可設定 ADC 正端參考訊號是否經過 Buffer。1=Enable；0=Disable。

(9) AD1RLBUF：暫存器位元，可設定 ADC 負端參考訊號是否經過 Buffer。1=Enable；0=Disable。

(10) ADC 內的 Modulator1 的取樣訊號，經系統時脈除頻後，頻率為 200KHz(ADCCK=1)或 400KHz(ADCCK=0)。

AD1Cdata output rate= $F_{ADCLK}/OSR1$ 。其中 F_{ADCLK} 為 ADCCK 的頻率。當 OSR1=0xx 時，ADC 為快速輸出模式，必須設 HSAD=1 及 AD1CHOP=0x。不同 OSR 設定時 ADC 輸出碼之最大值(Comb Filter Gain Factor)也會有所差異，如下表：

AD1OSR<2:0>	000	001	010	011	100	101	110	111
OSR1	32	64	128	256	2500	5000	10000	20000
+Max	3FD7CH	3FFFFH	3FFFFH	3FFFFH	17D79H	17D79H	17D79H	17D79H
-Min	40288H	40000H	40000H	40000H	68288H	68288H	68288H	68288H

(12) AD1DATA<18:0>：為 ADC 的輸出資料暫存器，共 19 bits。

(13) AD1IF：為 ADC 事件發生時的旗標，此訊號會送至 INTF 暫存器內。

(14) RSTCOMB：重置 Comb Filter。

<0>清除，寫為” 0” 後必須再寫回” 1”。

<1>正常。

18.3. DMM 應用建議設定

18.3.1. INPUT STAGE

- ◆ 根據不同檔位量測設定 ADC input 及 Reference
- ◆ DC 經過 Pre-filter, AC 及 Peak hold bypass Pre-filter

18.3.2. ADC Mudulator

ADC Gain 設定如下：

量測檔位	ADIG	ADRG	ADC Gain	VREF
DC/AC 500mV, DC/ACV,DC/AC 10A, 500mA, 5000uA, Diode	0.9	1	0.9	(REFO,AGND)
DC/AC 50mV , DC/AC 5A, 50mA, 500uA	3.6	0.33	10.8	(REFO(AGND)
500/5k/50k OHM	0.9	1	0.9	(RLU,FB)
500k/5M/50M OHM	0.9	0.33	2.7	(VDDA,VSS)

18.3.3. COMB Filter 及 Chopper

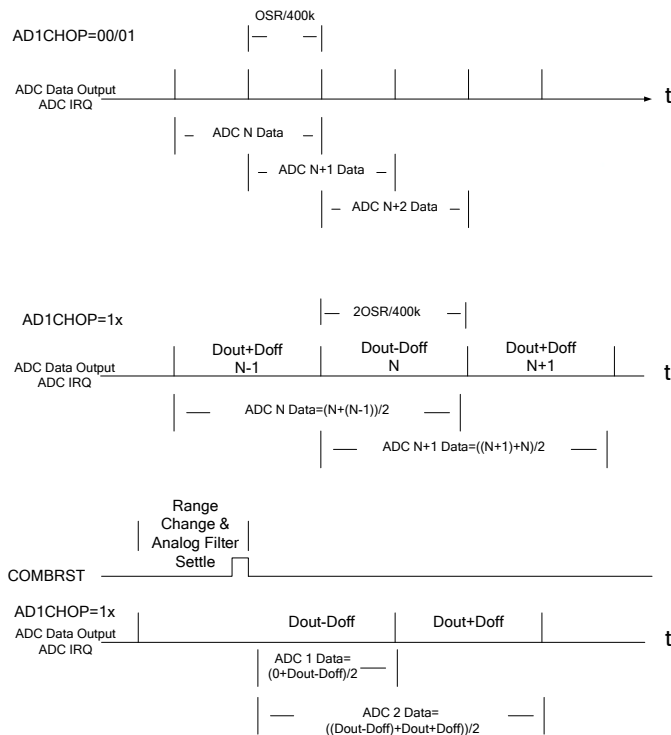
Comb filter 與 Chopper 設定後，output rate 之影響

ADC Clock=400KHz			ADC Output Rate	
AD1OSR	OSR	Comb Filter	AD1Chop=0x	AD1Chop=1x
111	20000	2nd	20Hz	10Hz
110	10000	2nd	40Hz	20Hz
101	5000	2nd	80Hz	40Hz
100	2500	2nd	160Hz	80Hz

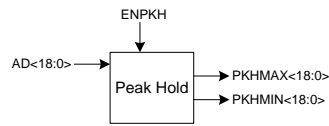
AD1OSR=111, AD1Chop=1x 為 DC 測量建議設定

ADC雖然output rate為 400kHz/OSR，但實際每筆 ADC是取樣 2*OSR資料，啟動AD1Chop會切換ADC的輸入端。Output rate會降低一半。Input Offset 小於 10uV。當切換檔位時，除了需要等待analog filter settle time以外，可利用RSTCOMB bit 來reset comb filter，只需等第二筆ADC資料，可量到正確結果

時序圖如下：



18.4. Peak Hold



Peak Hold可將ADC輸出的最大值及最小值儲存至PKHMAX及PHHMIN暫存器內。

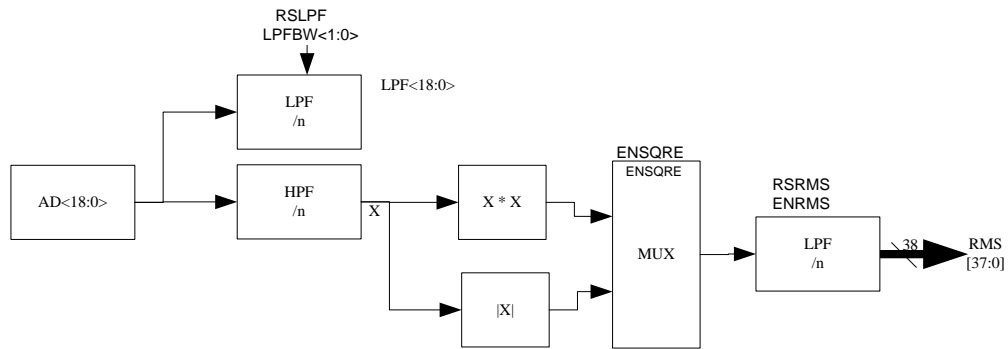
18.4.1. 暫存器說明-Peak Hold

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET
64H	RMSCN	ENRMS	ENLPF	ENSQRE	LPFBW<1:0>	ENPKH					

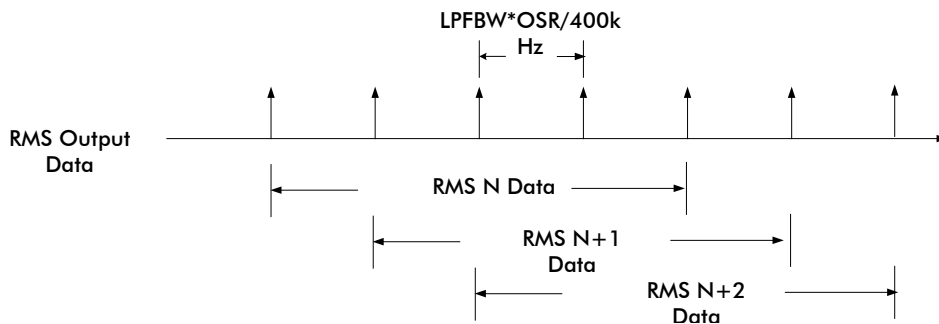
當ENPKH=0時 PKHMAX<18:0>=40000h, PKHMIN<18:0>=3FFFFh。當啟動ENPKH=1後。ADC輸出分別與 PKHMAX及PHHMIN比較。如果大於PKHMAX則PKHMAX=AD,如果小於PKHMIN則PKHMIN=AD,否則維持原來值不變。

18.5.

Low Pass Filter & RMS Converter



HY12P65 之AC測量是利用ADC快速輸出模式下,使用內部數位訊號處理單元計算出其AC值, 分別設定 ENSQRE 計算出其真有效值或絕對值得平均值. 在計算其AC值前會先經HPF(High Pass Filter)將直流成份去除, 如需要其直流訊號,可以讀取LPF<18:0>. AC訊號經平方或絕對值後, 經後級Sinc⁴ Low Pass Filter. 得到 RMS<37:0>的輸出, 如果為真有效值測量, MCU需要再作開根號, 輸出時序如下圖:



18.5.1. 暫存器說明- Low Pass Filter & RMS Converter

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET
5CH	PWRCN2	MCUBIAS	ENCPVGG	ENCMP	ENCNTI	ENCTR	RSTCOMB	RSLPF	RSRMS		
64H	RMSCN	ENRMS	ENLPF	ENSQRE	LPFBW<1:0>		ENPKH				

- (1) LPF為當 AD1 的OSR1 為 32~128 及其AC計算的後級Low Pass Filter, 其為Sinc⁴ Filter。
- (2) ENLPF: 暫存器位元, 可 Enable Low Pass Filter。1=Enable; 0=Disable, 且清除 LPF<18:0>為 0。
- (3) LPFBW<2:0>: 暫存器位元, 可設定 Low Pass Filter 的 Over Sampling Ratio(OSR4)。

Low Pass Filter data output rate=data input rate/OSR4。

LPFBW<2:0>	00	01	10	11
OSR4	256	512	1024	2048

- (4) LPF<18:0>: 為 AD1 後級 Low Pass Filter 的輸出資料暫存器。
- (5) LPFIF: 為 Low Pass Filter 事件發生時的旗標, 此訊號會送至 INTF 暫存器內。
- (6) RSLPF: Reset Low Pass Filter。

<0>清除, 寫為” 0” 後必須再寫回” 1”。

<1>正常。

RMSCN Register:

(1) ENRMS：暫存器位元，可 Enable RMS Converter。1=Enable；0=Disable，且清除 RMS<37:0>為 0。

(2) RMS<37:0>：為 RMS Converter 的輸出資料暫存器。

RMS data output rate=Low Pass Filter data output rate。

(3) 假設 X=AD1<18:0>經過 High Pass Filter 的資料，N=Low Pass Filter 的 OSR，由 LPFBW<2:0>設定。

則 $\text{RMS} < 37 : 0 > = \sum \frac{X^2}{N}$ ，若要得到 RMS 值，必須由外部 MCU 軟體開根號。

(4) RMSIF：為 RMS Converter 事件發生時的旗標，此訊號會送至 INTF 暫存器內。

(5) ENSQRE:當為"1"，顯示 $\text{RMS} < 37 : 0 > = \sum \frac{X^2}{N}$ ，當為"0"，顯示 $\text{RMS} < 37 : 0 > = \sum \frac{|X|}{N}$

(6)RSRMS：Reset RMS Low Pass Filter。

<0>清除，寫為"0"後必須再寫回"1"。

<1>正常。

19. DMM 檔位應用圖例

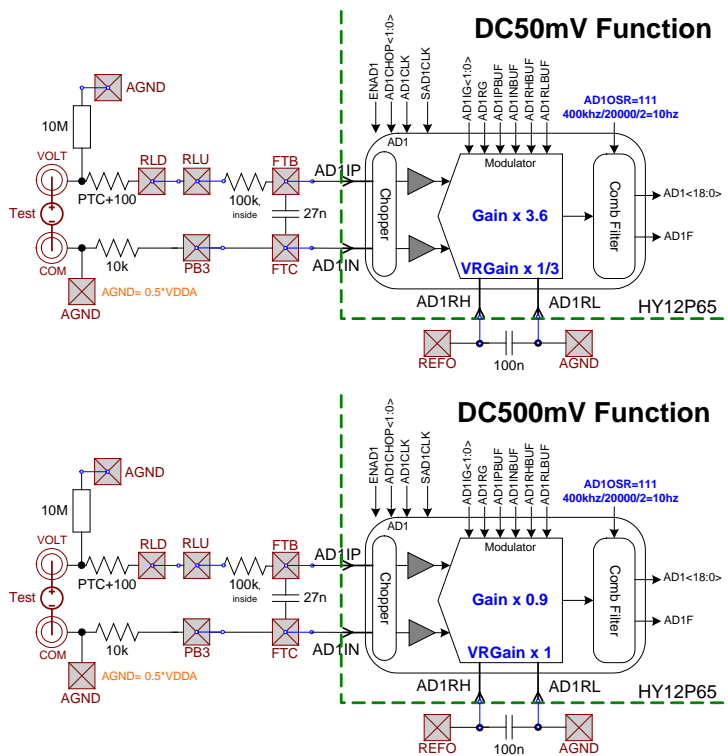
19.1. DC mV

19.1.1. 暫存器設定

DC 500mV:

DC 50mV:

19.1.2. 圖例



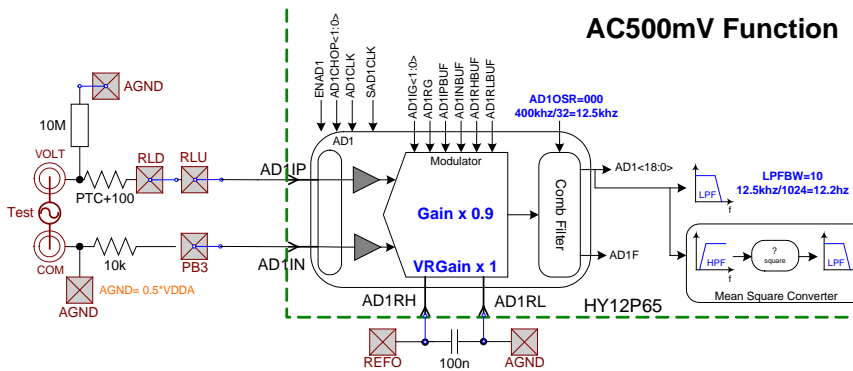
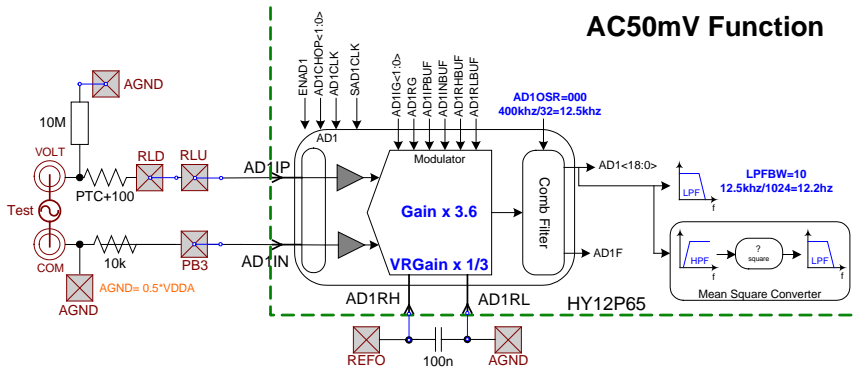
19.2. AC mV

19.2.1. 暫存器設定

AC 500mV:

AC 50mV:

19.2.2. 圖例



19.3. DCV

19.3.1. 暫存器設定

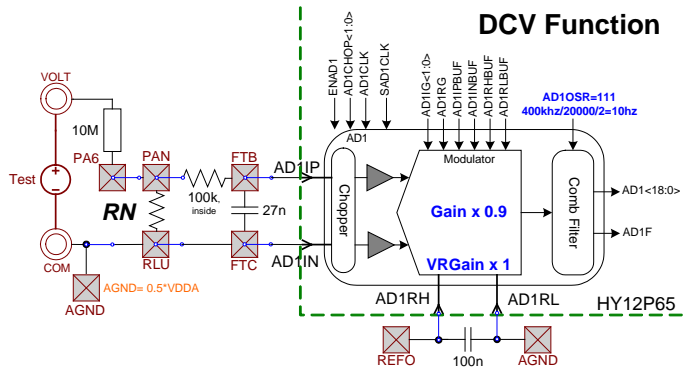
5V:

50V:

500V:

1KV:

19.3.2. 圖例



19.4. ACV

19.4.1. 暫存器設定

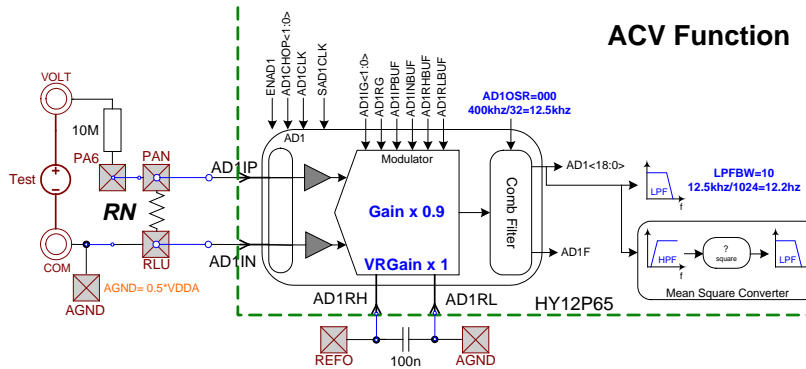
5V:

50V:

500V:

1KV:

19.4.2. 圖例



19.5. 500~50Kohm

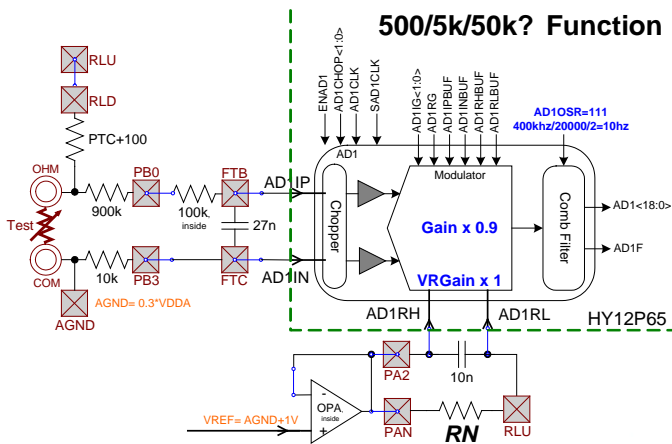
19.5.1. 暫存器設定

500ohm:

5Kohm:

50Kohm:

19.5.2. 圖例



19.6. 500K~50Mohm

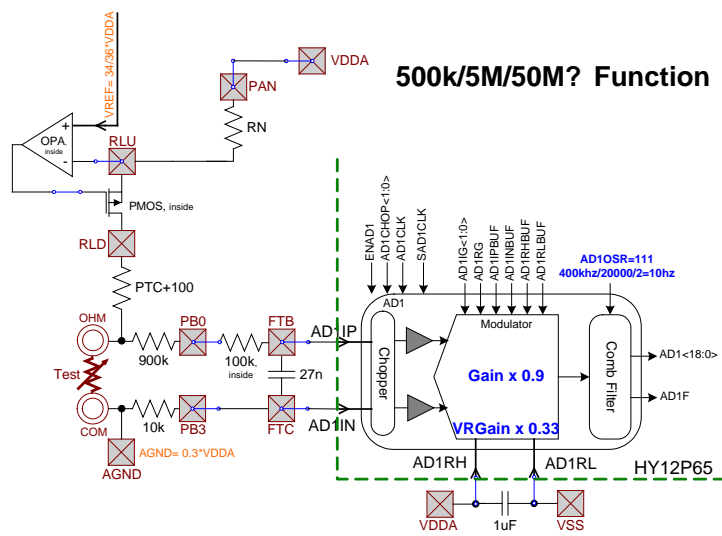
19.6.1. 暫存器設定

500K ohm:

5M ohm:

50M ohm:

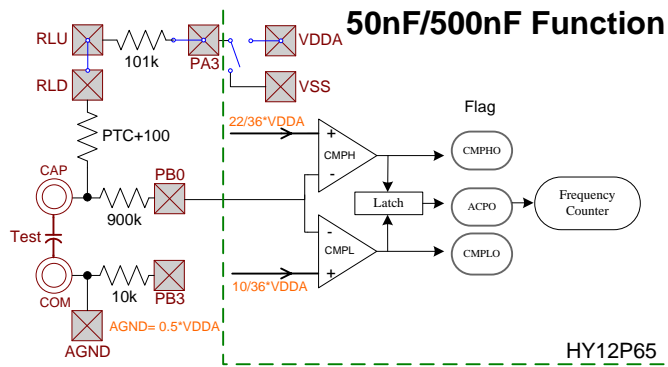
19.6.2. 圖例



19.7. 5nF~500nF

19.7.1. 暫存器設定

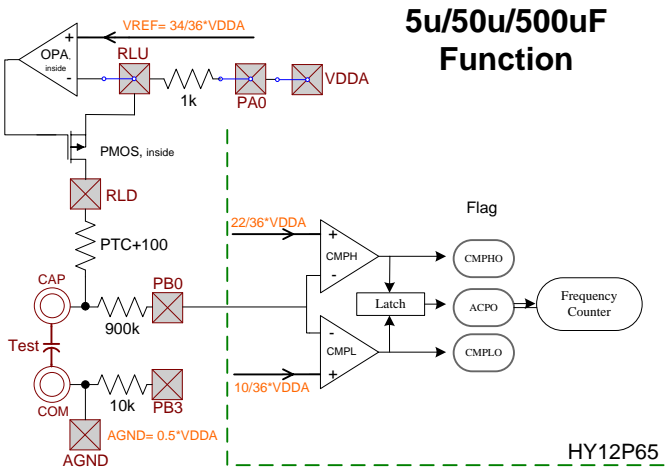
19.7.2. 圖例



19.8. 5uF~500uF

19.8.1. 暫存器設定

19.8.2. 圖例



20. 內建 EPROM, Build-In EPROM

Build-In EPROM(BIE)適用於 HY12P62 系列，利用 BIE 功能儲存產品序號、安全密碼、程式運算後產生的數據資料...等，外部硬體僅需外接 VBIE 為 6V 電壓於 VPP/RST 引腳即可使用此功能，儲存位址範圍 00H~3FH 共 64 words 同等於 128 bytes。

當使用外部 VBIE 電源(6V)燒錄 BIE 區塊時，可以透過指令一次燒錄一個位元組(word)資料于 BIE 區塊內。

※特別注意： HY12S65 開發工具並無法模擬 BIE 燒錄功能。

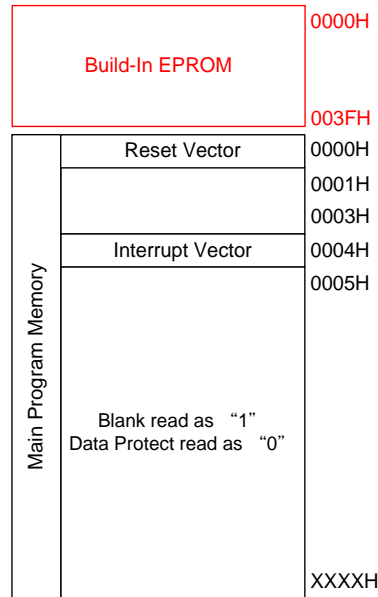


圖 20-1 Build-In EPROM 架構

BIE 暫存器摘要：

- BIECN** VPPHV[0], BIEWR[0], BIERD[0]
- BIEARH** ENBIE[0]
- BIEARL** BIE_ADDR[5:0]
- BIEDRH** BIE_DATA[15:8]
- BIEDRL** BIE_DATA[7:0]

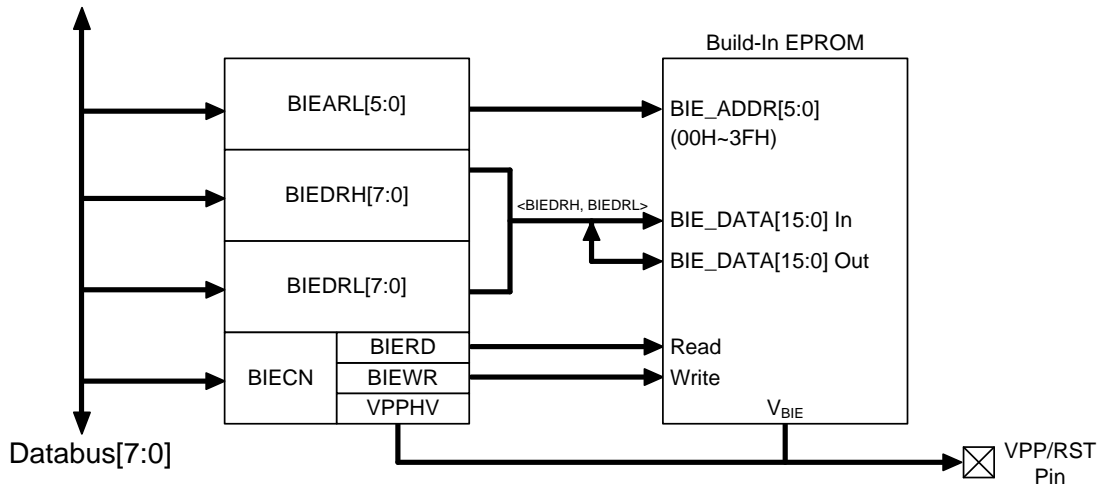


圖 20-2 BIE 方塊圖

20.1. BIE 使用說明：

20.1.1. BIE 的讀取功能

- 使用者讀取 EPROM 時：
 - ENBIE[0]設置<1>以啟用 BIE 的功能且 VPP 不得為 0V。
 - ENBIE[0]設置<1>時，需將 BIEARH[6:0]設為<0000000>(default)，若使用指令(建議)：
BSF BIEARH,ENBIE,ACCE 或
BCF BIEARH,ENBIE,ACCE
則不影響 BIEARH[6:0]的值。
 - 寫入欲讀取位址至 BIEARL[7:0]位址暫存器，其寫入位址有效長度為 BIEARL[5:0](最多 3FH)。
 - BIERD[0]設置<1>以傳回指定位址的 16 Bit 數據至 BIEDRH[7:0]與 BIEDRL[7:0]，高位組數據回傳至 BIEDRH[7:0]，低位組數據回傳至 BIEDRL[7:0]。
 - 資料讀取完成後 BIERD[0]由硬體自動置<0>，且 BIEARL[7:0]位址暫存器內容自動遞增 1，直至 3Fh 即不再遞增。

20.1.2. BIE 的寫入(燒錄)功能

- 引腳外接高壓，即 VPP 外接 6V 電壓進行 BIE 燒錄。
 - 檢測外部是否連接 6V 電壓且旗標狀態是否穩定。
 - ◆ 當 VPP 引腳連接 6V 電壓時 VPPHV[0]會自動置<1>。VPPHV[0]為即時反應 VPP 引腳是否連接 6V 電壓的狀態旗標位元，故可用於檢測 6V 電壓是否穩定。
 - ENBIE[0]設置<1>以啟用 BIE 的功能。
 - ENBIE[0]設置<1>時，需將 BIEARH[6:0]設為<0000000>(default)，若使用指令(建議)：
BSF BIEARH,ENBIE,ACCE 或
BCF BIEARH,ENBIE,ACCE
則不影響 BIEARH[6:0]的值。
 - 寫入數據欲儲存位址至 BIEARL[7:0]，並分別寫入燒錄數據至高位元組 BIEDRH[7:0]與低位元組 BIEDRL[7:0]暫存器。
 - 將 BIEWR[0]設置<1>以將數據燒錄至指定位址。
 - 資料寫入完成後 BIERD[0]由硬體自動置<0>，且 BIEARL[7:0]位址暫存器內容自動遞增 1，直至 3Fh 即不再遞增。
- BIE 功能啟用且指定位址超過 3FH 時，將 BIEWR[0]設置<1>或 BIERD[0]設置<1>不會有燒錄數據的動作
- BIE 寫入 EPROM 的操作會增加晶片瞬間的耗電流，可能會影響 ADC 測量精度。
- BIERD[0]與 BIEWR[0]勿同時設置<1>以免發生操作異常現象。
- BIE 讀取操作與 VPP 電位無關，但不得為低電位；使用 BIE 燒錄時上電順序為.VDD 先上電後 VPP 再上電。

(1)讀取 EPROM

```

LBSR    001H           ;宣告 Bank 位置，BIE 相關控制暫存器於 Bank 1
BCF     ADCN7,ENAD1,ACCE ;讀取 EPROM 前先關閉 ADC 功能
BSF     BIEDRH, ENBIE, BANK ;啟動 BIE
MVL     00000000B
MVF     BIEARL, F, BANK   ;定義 EPROM 位置為 00H
BSF     BIECN, BIERD, BANK ;下指令讀取 EPROM，並將資料存放於暫存器 BIEDRH, BIEDRL
                                     ;EPROM 讀取完成後，BIECN[BIERD]自動清除為 0
                                     ;BIEARL(BIE_ADDR)自動遞增 1，最多至 3FH
    
```

WAITRDBIE:

```

BTSZ    BIECN, BIERD, BANK ;等待判斷 EPROM 讀取完成後，BIECTRL[BIERD]自動清除為 0
JMP     WAITRDBIE
MVF     BIEDRL, W, BANK
MVF     BUF0, F, ACCE      ;將 BIEDRL 資料搬移至 BUF0
MVF     BIEDRH, W, BANK
MVF     BUF1, F, ACCE      ;將 BIEDRH 資料搬移至 BUF1
;BSFADCN7,ENAD1,ACCE      ;視使用者需求開啟 ADC 功能
    
```

(2)寫入 EPROM

```

LBSR    001H           ;宣告 Bank 位置，BIE 相關控制暫存器於 Bank 1
BCF     ADCN7,ENAD1,ACCE ;寫入 EPROM 前先關閉 ADC 功能
BSF     BIEDRH, ENBIE, BANK ;啟動 BIE
    
```

VPPCHK:

```

BTSS    BIECN, BIEHV, BANK ;檢查外部 VPP=6V 電壓是否存在，存在才繼續燒錄動作
JMP     VPPCHK
MVL     00000000B
MVF     BIEARL, F, BANK   ;定義 EPROM 位置為 00H
MVL     12H               ;定義寫入資料[BIEDRH, BIEDRL]=[12H,34H]
MVF     BIEDRH, F, BANK
MVL     34H
MVF     BIEDRL, F, BANK
BSF     BIECN, BIEWR, BANK ;EPROM 寫入完成後，BIECN[BIEWR]自動清除為 0
                                     ;BIEARL(BIE_ADDR)自動遞增 1，最多至 3FH
    
```

WAITWRBIE:

```

BTSZ    BIECN, BIEWR, BANK ;等待判斷 EPROM 寫入完成後，BIECN[BIEWR]自動清除為 0
JMP     WAITWRBIE
    
```

圖 20-3 H08A BIE 範例程式 (適用 HY12P62)

20.2. 暫存器說明-BIE

“-”no use, “r”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET
181H	BIECN	-	-	-	-	BIEHV	-	BIEWR	BIERD	1... \$000	1... \$uuu
182H	BIEARH	ENBIE	-	-	-	-	-	-	-	0... ..	u... ..
183H	BIEARL	-	-	BIE Address Register as BIEARL[5:0]						..xx xxxx	..uu uuuu
184H	BIEDRH	BIE High Byte Register								xxxx xxxx	uuuu uuuu
185H	BIEDRL	BIE Low Byte Register								xxxx xxxx	uuuu uuuu

BIECN : BIE 控制暫存器

VPP_HIGH : Check VPP

0 : VPP 未外接燒錄電源 6V

1 : VPP 已外接燒錄電源 6V

BIEWR : 寫入 EPROM 控制位元

0 : 不可寫入

1 : 可寫入(BIE 寫入)

BIERD : 讀取 EPROM 控制位元

0 : 不可讀取

1 : 可讀取(BIE 讀取)

BIEARH : EPROM 控制暫存器

ENBIE :

0 : 不啟用 BIE 功能

1 : 啟用 BIE 功能

BIEARL : EPROM 位址定義

BIE_ADDR[5:0] : EPROM address, 只有 00H~3FH , 共 64 words

BIEDRH : EPROM High Byte 資料定義

BIEDRL : EPROM Low Byte 資料定義

21. 修訂記錄

以下描述本文件差異較大的地方，而標點符號與字形的改變不在此描述範圍。

日期	文件版次	頁次	摘要
2011/03/08	V01	All	New Release
2011/11/04	V02	All	New Release
2012/10/29	V03	All	暫存器名稱修正。
		75	新增頻率計算範例說明。
		110~112	修正 AGND[P/N]電壓表。
		123	修正多功能網路應用線路。
		143~144	修正電容檔位應用線路。
2014/10/03	V04	21, 106	修正 LVDCN 說明。
		22	新增 BIE 相關暫存器。
		26	外部震盪器的範例程式。
		30	ADCCK 敘述。
		74	計數器圖示 SYSCLK 修改 CPU_CK。
		131	AD1 output data 範圍
		145~148	新增 BIE 使用說明。
2017/05/16	V05	26	修正 HS_DCK 輸出 4MHz(外部震盪器)的範例程式。
		56, 57	修正 DA3.5 使用說明。
		89, 90	修正 UART 工作頻率為 CPU_CK。
		131	修正 ADCOSR<2:0>及 ADC Min 值 新增 RSTCOMB 使用說明。
		135	新增 RSLPF 使用說明。
		136	新增 RSRMS 使用說明。