



HY10P Family
User's Guide
Mixed Signal Microcontroller

Table of Contents

1.	閱讀導覽	5
1.1.	關於這份操作手冊	5
1.2.	名詞定義, Terms and Definition	6
2.	中央處理器, CPU	8
2.1.	處理器核心, CPU Core	8
2.2.	記憶體, Memory	9
3.	震盪器、時脈源與功耗管理	21
3.1.	震盪器	21
3.2.	CPU及週邊電路時脈源	22
3.3.	暫存器說明-工作時脈源控制器	25
3.4.	功率消耗管理與操作狀態	28
4.	復位, RESET	29
4.1.	復位事件說明	30
4.2.	狀態暫存器	30
4.3.	暫存器列表-資料記憶體復位狀態	33
5.	中斷, INTERRUPT	35
5.1.	暫存器說明-中斷	36
6.	輸入/輸出埠, I/O	38
6.1.	PORT相關暫存器介紹	39
6.2.	輸入/輸出埠 1, I/O Port1	39
6.3.	輸入/輸出埠 2 , I/O Port2	41
6.4.	輸入/輸出埠 3 , I/O Port3	43

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



7.	看門狗, WATCH DOG.....	45
7.1.	WDT 使用說明.....	45
7.2.	暫存器說明-WDT.....	47
8.	計數器A, TIMER-A.....	48
8.1.	暫存器說明-TMA.....	49
9.	16-BIT計數器B, TMB (16-BIT TIMERB).....	50
9.1.	TMB四種計數模式.....	51
9.2.	TMB1 控制暫存器列表與說明.....	61
10.	電源系統, POWER SYSTEM.....	62
10.1.	VDDA 使用說明.....	63
10.2.	ACM 使用說明.....	63
10.3.	暫存器說明-PWR.....	63
11.	類比數位轉換器SD18, $\Sigma\Delta$ ADC.....	64
11.1.	SD18 使用說明.....	66
11.2.	類比通道輸入特性.....	71
11.3.	暫存器說明-SD18.....	73
12.	BIE 與 16-BIT 硬體查表器.....	77
12.1.	BIE使用說明.....	78
12.2.	硬體查表器.....	80
12.3.	暫存器說明-BIE.....	81
13.	通訊介面, CI (COMMUNICATION INTERFACE).....	82
13.1.	I2C串列介面, (Inter-Integrated Circuit Serial interface).....	82
13.2.	數據傳輸速率計算.....	84

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



13.3.	計時功能(Time-Out)	84
13.4.	I2C串列介面通訊流程圖	84
13.5.	I2C暫存器說明	90
14.	修訂記錄	94

1. 閱讀導覽

1.1. 關於這份操作手冊

本文件所述的應用訊息及其他類似內容敘述僅為提供使用者便利，紘康對於內容的使用與因而引起的後果並不負擔相關責任。規格內容隨時可被更新訊息所替代，使用者有責任必需承擔並確保應用符合規範。

未經紘康授權，不得將紘康產品使用于生命維持系統中作為關鍵器件。紘康有無需事先通知即可修改產品的權力，產品最新訊息，請參考我們的網站：

<http://www.hycontek.com>

注意：

- ◆ 本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新。
- ◆ 本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
- ◆ 本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
- ◆ 請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
- ◆ 本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
- ◆ 本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
- ◆ 本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計，採用安全指標，這樣可以避免事故的發生。
- ◆ 本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

1.2. 名詞定義, Terms and Definition

1.2.1. 常用詞彙索引

1MW	1MegaWord	
1KB	1KiloByte	
ADC	Analog to Digital Converter	類比數位轉換器
Bit	bit	位元
BOR	Brown-Out Reset	
BSR	Bank Select Register	
Byte	Byte	位元組
CCP	Capture and Compare	擷取器與比較器
CPU	Central Processing Unit	中央處理器
DAC	Digital-to-Analog Converter	數位類比轉換器
DM	Data Memory	資料記憶體
ECAP	Enhance Comparator	增強型比較器
FSR	File Select Register	間接定址指標暫存器
GPR	General Purpose Register	一般用途暫存器
HAO	High Accuracy Oscillator	高精度震盪器
LNOP	Low Noise OP AMP	低雜訊放大器
LPO	Low Power Oscillator	低功率消耗震盪器
LSB	Least Significant Bit	最低有效位元
MEM	Memory	記憶體
MPM	Main Program Memory	
MSB	Most Significant Bit	最高有效位元
OTP	One Time Program-EEPROM	一次性寫入記憶體
PC	Program Counter	程式計數器
PPF	PWM and PFD	脈波寬度調整器與頻率輸出調整器
SD18	Sigma-Delta ADC	類比數位轉換器
SR	Special Register	
SRAM	Static Random Access Memory	靜態隨機存取記憶體
STK	Stack	堆疊
WDT	Watch Dog Timer	看門狗計時器
WREG	Work Register	工作暫存器

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



1.2.2. 暫存器相關字彙

[]	Register length	暫存器長度
< >	Register value	暫存器內容
ABC[7:0]	ABC register had 0 to 7bit	ABC 暫存器總共有 8 位元
ABC<111>	ABC register had 3bit and value had 111 of binary	ABC 暫存器總共有 3 位元，內容為二進制 111
ABC<11x>	x : can be neglected, it can be set as 1 or 0	ABC 暫存器總共有 3 位元，內容為二進制。可為 110 或 111
rw	Read/Write	可讀可寫
r	Read only	唯讀
r0	Read as 0	讀值只有 0
r1	Read as 1	讀值只有 1
w	Write only	唯寫
w0	Write as 0	寫入值只有 0
w1	Write as 1	寫入值只有 1
h0	cleared by Hardware	硬體 置<0>
h1	set by Hardware	硬體 置<1>
u0	cleared by User	使用者 設置<0>
u1	set by User	使用者 設置<1>
-	Not use	未使用
!	users are forbidden to change	使用者禁止變更
u	unchanged	無法改變
x	unknown	未知
d	depends on condition	依照設定條件

2. 中央處理器, CPU

2.1. 處理器核心, CPU Core

中央處理器的核心 CPU Core(H08)為了使其有較高的執行效率,採用了 Harvard architecture 理念,將程式記憶體與資料記憶體分別獨立且程式記憶體的位址,增加了使用者撰寫程式的便利性。

CPU 特色包含：

- ◆ 程式記憶體與資料記憶體各自獨立設計架構,使得指令執行速度提升且提高 CPU 效率。
- ◆ 最大定址能力分別為,程式記憶體 1MW、資料記憶體 4096KB
- ◆ 最多 46 個操作指令包含資料記憶體區塊切換與堆疊控制
- ◆ 一個指令完成最長 16-bit 的 FSR 暫存器資料搬移與定址 1MW 程式記憶體的查表指令。
- ◆ 資料記憶體的的操作包含程式計數器(PC)、狀態暫存器(Status)與堆疊暫存器(Stack)的資料搬移。
- ◆ 處理器核心為精簡版 H08B 核心。

2.2. 記憶體,Memory

記憶體的構成分為兩種，一為程式記憶體由 OTP 構成另一為資料記憶體由 SRAM 構成。在不同型號的產品上，所規劃的記憶體大小會不一樣，故閱讀各產品的說明書時必須特別留意該產品的規格說明。

程式記憶體：

主記憶體區(Main Program Memory,MPM)

程式計數器(Program Counter,PC)

堆疊(Stack,STK)

資料記憶體：

特殊暫存器(Special Register,SR)

一般暫存器(General Purpose Register,GPR)

記憶體相關暫存器摘要：(x：表示由多個暫存器組成)

PC[10:0]	PCHSR[2:0],PCLATH[2:0],PCLATL[7:0]
TOS[10:0]	TOSH[2:0],TOSL[7:0]
FSR0[7:0]	FSR0L[7:0]
INDF0	INDF0[7:0]
POINC0	POINC0[7:0]
PODEC0	PODEC0[7:0]
PRINC0	PRINC0[7:0]
PLUSW0	PLUSW0[7:0]
STKCN	STKFL[0],STKOV[0],STKUN[0],STKPRT[2:0]
PSTATUS	SKERR[0]

2.2.1. 程式記憶體, Program Memory

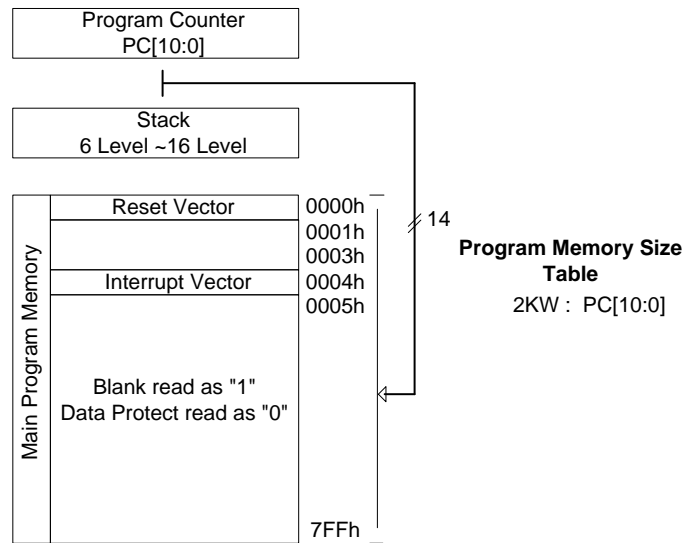


圖 2-1 程式記憶體架構圖

2.2.1.1. 主記憶體, MPM

主記憶體架構如下：

- ◆ 中斷服務向量位置(Interrupt Vector)
- ◆ 復位向量位置(Reset Vector)

定址能力由 0x00000h 至 0x7FFh，總計容量為 2048 Word。

晶片在未進行程式寫入時，所有位址的資料型態均為 1；寫入後，位址將依寫入的資料型態呈現 1 或 0。必需注意，程式開發時若模擬軟體(HYIDE)的組譯選項有設置燒錄保護功能，則晶片在燒錄所能讀出的位址資料型態皆為 0。

2.2.1.2. 程式計數器, PC

程式計數器 PC 由位移暫存器 PCSR、緩衝暫存器 PCLAT 組成，如圖 2-2。

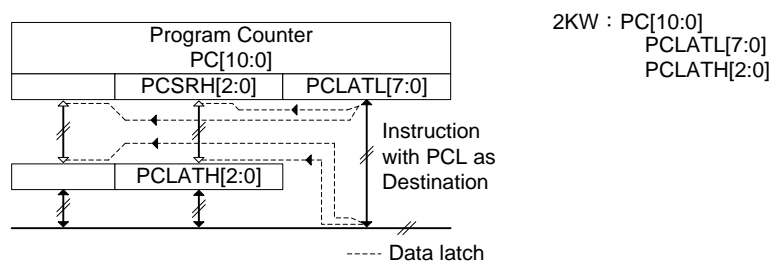


圖 2-2 程式計數器架構圖

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



程式計數器 PC[10:0]在開發工具所使用的晶片具有 11 位元的資料長度，由兩個特殊暫存器 PCSRH [2:0]與 PCLATL [7:0]組成。其中 PCLATL[7:0]與 PCLATH[2:0] 可直接讀/寫，而 PCSRH [2:0]無法直接讀/寫，必須透過緩衝暫存器 PCLATH[2:0]做間接讀/寫。

- 讀取 PC[10:0]，必須先讀取 PCLATL[7:0]接著讀取 PCLATH[2:0]才能取得正確資料，順序反之則將讀取到不正確的資料。
- 寫入 PC[10:0]，必須先寫入 PCLATH[2:0]最後再寫 PCLATL[7:0]，順序反之會寫入不正確的資料。

2.2.1.3. 堆疊,STK

堆疊STK主要由堆疊指標控制暫存器STKCN、疊頂暫存器TOS0、堆疊層暫存器STKn¹、堆疊錯誤旗標SKERR(Stack Error)與堆疊錯誤復位控制器SKRST[0]組成，如圖 2-3。

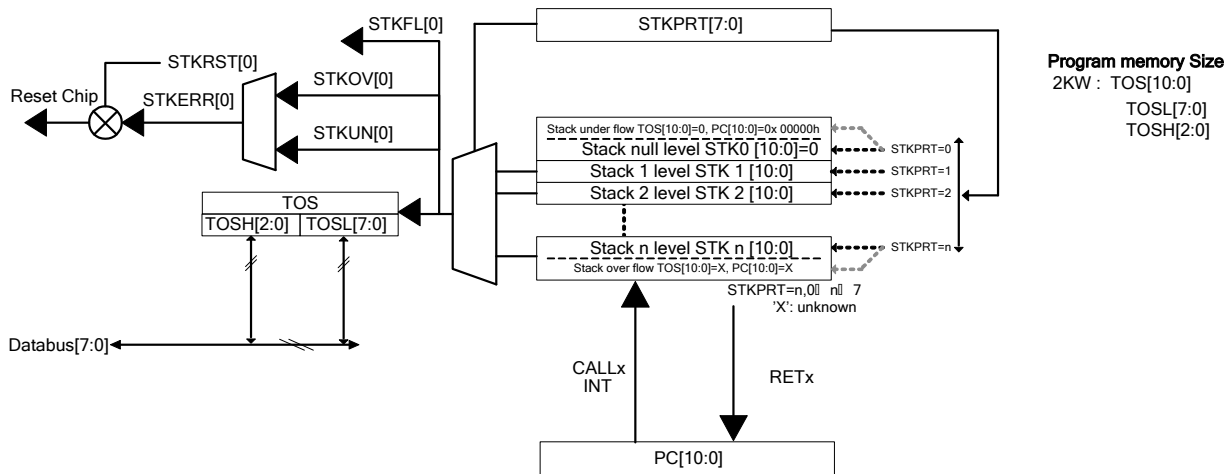


圖 2-3 堆疊架構圖

堆疊的疊頂暫存器 TOS[10:0] 具有 11 位元的資料長度，由兩個暫存器 TOSH[2:0] 與 TOSL [7:0] 組成。STKPRT[2:0]=<0> 時 TOS[10:0]=<0> 無效值(null)，當程式執行 CALL 指令或是發生中斷(INT)服務時，堆疊指標 STKPRT[2:0] 即做加一動作並將事件發生的程式計數器 PC 位址寫入當時的 TOS[10:0] 暫存器；當程式執行 RETx 指令時，堆疊指標 STKPRT[2:0] 即做減一動作，在做減一動作之前會將 TOS[10:0] 資料先寫入 PC[10:0]，寫入完成後 STKPRT[2:0] 才做減一動作並使得當下的 TOS[10:0] 數值改變。

- 讀取 TOS[10:0] 暫存器無須特別的規則，可直接讀取即可。
- 寫入 TOS[10:0] 暫存器則可透過 CALL 指令或中斷(INT) 將 PC[10:0] 資料的寫入，或者利用 POP 指令丟棄目前 TOS[10:0] 的資料並使得 STKPRT[2:0] 減一，載入新的 TOS[10:0] 資料。

在堆疊的操作過程中會發生堆疊滿位 STKFL[0] (Stack full)、溢位 STKOV[0] (Stack overflow) 或欠位 STKUN[0] (Stack underflow) 等事件。堆疊滿位是發生堆疊溢位前的預示旗標，此時透過執行 POP 指令即可丟棄當前的 TOS[10:0] 資料並使得 STKPRT[2:0] 減一並將新指向的堆疊層資料寫入 TOS[10:0]。必須注意，在 STKPRT[2:0]=<0> 時，執行 POP 指令並不會發生欠位情況，此時 STKPRT[2:0] 資料仍為 <0> 故使用者必須自行判斷是否為空堆疊。

¹ 堆疊層暫存器 STKn：每層堆疊皆具有與疊頂暫存器 TOS 相同長度的資料暫存器，當被堆疊指標 STKPRT 指定時即將資料暫存器的內容傳送至 TOS。

當堆疊發生溢位與欠位時可能導致程式有不預期的執行結果，必要時可透過設置重新啓動晶片。在程式開發過程中，透過軟體設置可將堆疊復位控制位元SKRST[0]²設置<1>，當堆疊發生欠位或溢位時會產生復位信號並將SKERR[0]置<1>後重新啓動晶片。

- 滿位：STKFL[0]置<1>，PC[10:0]不受影響。
- 欠位：STKUN[0]置<1>，PC[10:0]移至 0x00000h位置堆疊指標STKPRT指向 0 Level。若SKRST[0]設置<1>，則欠位後會產生復位信號且SKERR[0]置<1>，復位後STKUN[0]置<0>。
- 溢位：STKOV[0]置<1>，PC[10:0]不受影響但STKPRT仍停滯於最後一層且會壓入新的數值，即滿位後會保存最近一次壓入的資料。若SKRST[0]設置<1>，則溢位後產生復位信號且SKERR[0]置<1>，復位後STKOV[0]置<0>。
- 錯誤：SKERR[0]置<1>，晶片已發生堆疊錯誤。若SKRST[0]設置<1>，則溢位後產生復位信號且SKERR[0]置<1>，復位後STKUN[0]、STKOV[0]置<0>。
- 當發生堆疊滿位後，若因置之不理接著發生溢位情況且又予以忽略並連續執行POP指令使之發生欠位情況，此時STKFL[0]、STKOV[0]與STKUN[0]同時置<1>。故建議當有上述任一情況發生時，應適時對旗標作清除動作以免程式誤判。

程式撰寫方式如欲忽略已知的溢位狀況建議在溢位發生後先使用 POP 指令清除溢位旗標再繼續執行程式，否則溢位後的中斷(Interrupt)或呼叫(Call)指令產生的堆疊寫入動作將覆蓋目前 TOS[10:0]的資料。

² SKRST[0]為堆疊錯誤產生復位信號控制位元，無法直接讀/寫只能在程式發展階段透過開發軟體的設置。即程式開發階段必須選定是否在堆疊錯誤時產生復位信號，若選定復位則晶片供電後該位元即被設置 1，反之設置<0>。

2.2.1.4. 暫存器說明-程式記憶體控制器

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
016h	TOSH	-	-	-	-	-	TOS[10]	TOS[9]	TOS[8]	... xxxx	... uuuu
017h	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								xxxx xxxx	uuuu uuuu
018h	SKCN	SKFL	SKUN	SKOV	-	-	SKPRT[2:0]			000. .000	u\$. \$. \$\$
01Ah	PCLATH	-	-	-	-	-	PC[10]	PC[9]	PC[8]0000	... 0000
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000
02Ch	PSTATUS	POR	PD	TO	IDL	RST	SKERR	-	-	\$000 \$00.	uu\$u u\$.

表 2-1 程式記憶體控制暫存器

TOSU/TOSH/TOSL : 堆疊的疊頂暫存器

TOSH : TOS[10:8]

TOSL : TOS[7:0]

STKPTR : 堆疊控制器

STKFL : 堆疊滿位旗標

1 : 已發生。

0 : 未發生。

STKUN : 堆疊欠位旗標

1 : 已發生。

0 : 未發生。

STKOV : 堆疊溢位旗標

1 : 已發生。

0 : 未發生。

STKPRT[2:0] : 堆疊指標暫存器

111 : 第 7 層

110 : 第 6 層

⋮

00000 : 第 0 層, TOS[10:0]=0x0000h

PCLATU/PCLATH/PCLATL : 程式計數器 PC[10:0]

PCLATH : PC[10:8]

PCLATL : PC[7:0]

PSTATUS : 狀態暫存器

SKERR : 堆疊錯誤產生復位旗標

1 : 已發生。

0 : 未發生。

2.2.2. 資料記憶體,DM

資料記憶體 DM 由特殊暫存器 Specially Register,SR 與一般暫存器 General Purpose Register,GPR 組成，且以每 256byte 為一個區塊。128byte 的特殊暫存器與 128byte 一般暫存器如 圖 2-4。

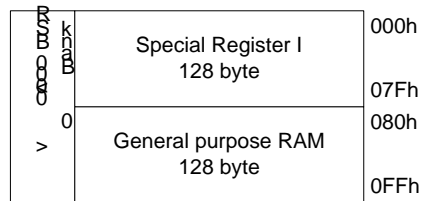


圖 2-4 資料記憶體架構圖

2.2.2.1. 記憶體與指令

H08 指令集可分為 A、B 兩版本其在記憶體運用有很大的差異性，例如定址能力、硬體乘法器、查表指令、支援功能與參數的定義，在此僅說明指令記憶體參數的定義。詳細的指令參數說明請參見指令集,Instruction 章節。

指令集中帶有位址運算功能的指令至多會有“f”、“d”、“a”等三個參數。

“f” 是指資料(Data)或資料暫存器位址(Data Memory Address)。

“d” 是指運算後的資料要存放地方。d=0 存於 WREG register、d=1 存於 Data Memory Register。

“a” 是指定記憶體操作的區塊；a=0 操作於區塊 0、a=1 操作於 BSR[3:0]指定區塊。

HY10S40 Emulate Chip User' Guide

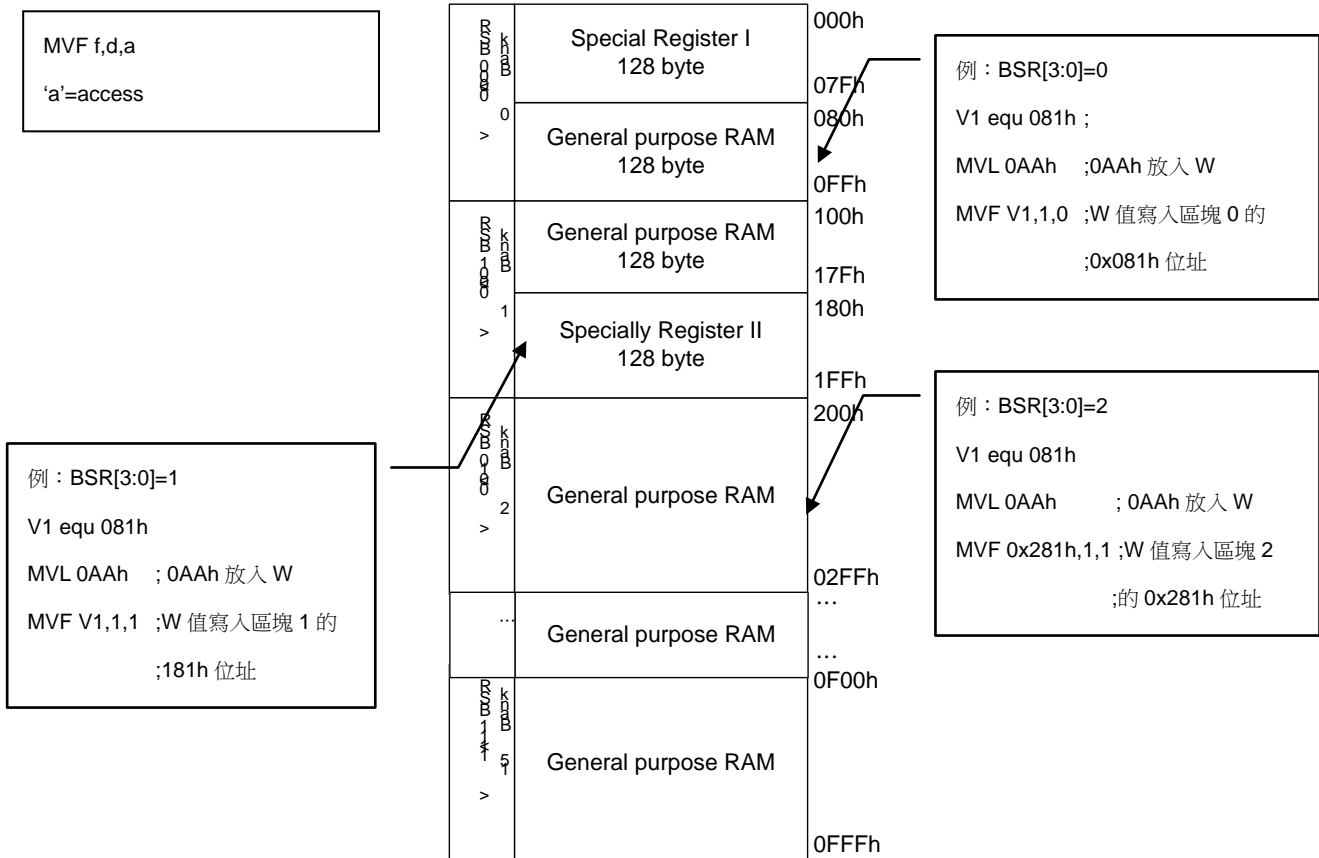
Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller

2.2.2.2. 區塊選擇控制暫存器

資料記憶體規劃為每 256byte 為一個區塊即 000h~0FFh 為一區塊，若欲讀/寫位址 0FFh 以後的資料暫存器，則需正確的設置區塊控制暫存器 BSR[3:0]與指令的參數“a”，說明如下：

- ◆ 當 a = 0 時，無論 BSR[3:0]的指定何區塊，指令對資料記憶體的讀/寫只會在區塊 0。
- ◆ 當 a = 1 時，H08A CPU Core 的指令，對資料記憶體的讀/寫會依照 BSR[3:0]所指定的區塊；H08B CPU Core 的指令，對資料記憶體的讀/寫會在區塊 0



範例 2-1 區塊選擇器範例程式與資料記憶體關係

2.2.2.3. 特殊暫存器

特殊暫存器包含 CPU Core 與週邊功能的相關暫存器，主要有控制功能暫存器與資料傳回暫存器。若對資料暫存器內未定義的位址或位址用之位元進行讀取，所讀取到的資料為 0。

在特殊暫存器中專用於搭配指令的暫存器亦有數個，但在此只介紹兩種常用的暫存器一為工作暫存器 WREG，另一為間接定址暫存器 FSR。其餘在此未介紹的特殊暫存器將分散於各章節做詳盡的說明。

2.2.2.3.1. 工作暫存器, WREG

工作暫存器簡稱 W 為搭配指令使用最為頻繁的暫存器，舉凡資料搬移、運算與判斷等等。

2.2.2.3.2. 間接定址暫存器, FSR 與 INDF

FSR 間接定址暫存器由指標暫存器 FSR0[9:0]與索引暫存器 INDF0[7:0]、INDF1[7:0]組成，由於功能相當故只針對 FSR0 做說明。

FSR0L[7:0]透過特殊指令，可達到使用一個指令即可寫入 16-bit 資料。

INDF0[7:0]為索引暫存器，即是可讀取 FSRL0[7:0]所指向資料記憶體位址的資料。功能描述如下：

- ◆ POINC0[7:0]：當透過指令讀/寫 POINC0[7:0]暫存器時會發生以下事件
 - ◆ 先傳回目前 FSR0[7:0]所指到位址的內容。
 - ◆ 然後指標暫存器 FSR0[7:0]的數值加一指向下一個位址。
- ◆ PODEC0[7:0]：當透過指令讀/寫 PODEC0[7:0]暫存器時會發生以下事件
 - ◆ 先傳回目前 FSR0[7:0]所指到位址的內容。
 - ◆ 然後指標暫存器 FSR0[7:0]的數值減一指向上一個位址。
- ◆ PRINC0[7:0]：當透過指令讀/寫 PRINC0[7:0]暫存器時會發生以下事件
 - ◆ 先將指標暫存器 FSR0[7:0]的數值加一指向下一個位址。
 - ◆ 再傳回目前 FSR0[7:0]所指到位址的內容。
- ◆ PLUSW0 [7:0]：當透過指令讀/寫 PLUSW0 [7:0]暫存器時會發生以下事件
 - ◆ 先將指標暫存器 FSR0[7:0]的數值加上工作暫存器 W 的內容。
 - ◆ 再傳回目前 FSR0[7:0]所指到位址的內容。其中 W 的內容為帶有符號位的數值即 $\pm 128d$ 。

2.2.2.3.3. 一般暫存器, General Purpose Register

一般暫存器 GPR 為使用者進行資料儲存、運算、旗標設置等等自由規劃區域。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



2.2.2.4. 暫存器說明-資料記憶體控制器

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
000h	INDF0	Contents of FSR0 to address data memory value of FSR0 not changed								xxxx xxxx	uuuu uuuu
001h	POINC0	Contents of FSR0 to address data memory value of FSR0 post-incremented								xxxx xxxx	uuuu uuuu
002h	PODEC0	Contents of FSR0 to address data memory value of FSR0 post-decremented								xxxx xxxx	uuuu uuuu
003h	PRINC0	Contents of FSR0 to address data memory value of FSR0 pre-incremented								xxxx xxxx	uuuu uuuu
004h	PLUSW0	Contents of FSR0 to address data memory value of FSR0 offset by W								xxxx xxxx	uuuu uuuu
010H	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte, FSR0[7:0]								xxxx xxxx	uuuu uuuu
029h	WREG	Working Register								xxxx xxxx	uuuu uuuu

表 2-2 資料記憶體控制暫存器

INDF0/POINC0/PODEC0/PRINC0/PLUSW0 : 不同功能性的索引暫存器

INDF0[7:0] : 詳見 2.2.2.3.2 間接定址暫存器, FSR 與 INDF 說明

POINC0[7:0] : 詳見 2.2.2.3.2 間接定址暫存器, FSR 與 INDF 說明

PODEC0[7:0] : 詳見 2.2.2.3.2 間接定址暫存器, FSR 與 INDF 說明

PRINC0[7:0] : 詳見 2.2.2.3.2 間接定址暫存器, FSR 與 INDF 說明

PLUSW0[7:0] : 詳見 2.2.2.3.2 間接定址暫存器, FSR 與 INDF 說明

FSR0 : 間接定址的指標暫存器

FSR0L[7:0] : 詳見 2.2.2.3.2 間接定址暫存器, FSR 與 INDF 說明

WREG : 間接定址的指標暫存器

WREG[7:0] : 詳見 2.2.2.3.1 工作暫存器, WREG 說明

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



2.2.3. 暫存器列表-資料記憶體

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1													
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition													
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST		
000h	INDF0	Contents of FSR0 to address data memoryvalue of FSR0 not changed								xxxx xxxx	uuuu uuuu		
001h	POINC0	Contents of FSR0 to address data memoryvalue of FSR0 post-incremented								xxxx xxxx	uuuu uuuu		
002h	PODEC0	Contents of FSR0 to address data memoryvalue of FSR0 post-decremented								xxxx xxxx	uuuu uuuu		
003h	PRINC0	Contents of FSR0 to address data memoryvalue of FSR0 pre-incremented								xxxx xxxx	uuuu uuuu		
004h	PLUSW0	Contents of FSR0 to address data memoryvalue of FSR0 offset by W								xxxx xxxx	uuuu uuuu		
010h	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	uuuu uuuu		
016h	TOSH	-	-	-	-	-	TOS[10]	TOS[9]	TOS[8] xxxx uuuu		
017h	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								xxxx xxxx	uuuu uuuu		
018h	STKPTR	SKFL	SKUN	SKOV	-	-	SKPRT[2:0]			000. 000	u\$\$. \$\$\$		
01Ah	PCLATH	-	-	-	-	-	PC[10]	PC[9]	PC[8]0000 0000		
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000		
023h	INTE1	GIE	ADIE	E21IE	WDTIE	TB1IE	TMAIE	E20IE	E10IE	0000 0000	0uuu uuuu		
024h	INTE2	-	-	-	-	I2CERIE	I2CIE	-	-	0000 0000	uuuu uuuu		
026h	INTF1	-	ADIF	E21IF	WDTIF	TB1IF	TMAIF	E20IF	E10IF	.000 0000	.uuu uuuu		
027h	INTF2	-	-	-	-	I2CERIF	I2CIF	-	-	0000 0000	uuuu uuuu		
029h	WREG	Working Register								xxxx xxxx	uuuu uuuu		
02Bh	STATUS	-	-	-	C	-	-	-	Z	...x xxxx	...u uuuu		
02Ch	PSTATUS	BOR	PD	TO	IDL	-	SKERR	-	-	\$000 \$00.	uu\$u u\$u.		
02Eh	BIECN	-	-	-	-	VPPHV	-	BIEWR	BIERD	1... \$.00	1... \$.uu		
02Fh	BIEARH	ENBIE	-	-	-	-	11-bit look-up Table as BIEAH[2:0]			0... xxxx	u... uuuu		
030h	BIEARL	BIE Address Register as BIEAL[5:0] or 11-bit look-up Table as BIEAL[7:0]								xxxx xxxx	uuuu uuuu		
031h	BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu		
032h	BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu		
033h	PWRCN	ENLDO[1:0]		VDDAX[1:0]		-	-	ADRST	CSFON	0000 0000	uuuu u00u		
034h	OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]		CPUS			0000 0000	uuuu uuuu	
035h	OSCCN1	-	-	ADCS[2:0]			DTMB[1:0]		TMBS			0000 0000	uuuu uu.
036h	OSCCN2	-	-	-	-	HAOM[1:0]		ENHAO	LPO	.000 0011	.uuu uu11		
037h	WDTCN	-	-	-	-	ENWDT	DWDT[2:0]			0000 0000	uuuu \$000		
038h	TMACN	ENTMA	TMACL	TMAS	DTMA[2:0]			-	-	0000 00..	u0uu uu..		
039h	TMAR	TMA counter Register								0000 0000	uuuu uuuu		
041h	CSFCN0	SKRST	-	HAOTR[5:0]					0.10 0000			u.uu uuuu	
043h	ADCRH	ADC conversion memory HighByte								xxxx xxxx	uuuu uuuu		
044h	ADCRM	ADC conversion memory Middle Byte								xxxx xxxx	uuuu uuuu		
045h	ADCRL	ADC conversion memory Low Byte								xxxx xxxx	uuuu uuuu		
046h	ADCCN1	ENADC	ENHIGN	ENCHP	-	-	ADGN[2:0]			0000 0000	0000 0000		
047h	ADCCN2	-	-	-	-	VREGN	DCSET[2:0]		 0000 0000		
048h	ADCCN3	OSR[3:0]				-	-	-	-	000. ..0.	000. ..0.		

表 2-3 資料記憶體列表

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
 “\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	
049h	AINET1	INH[2:0]			INL[2:0]			INIS	-	0000 000.	0000 000.	
04Ah	AINET2	-	VRH[1:0]	INX[1:0]		VRL[1:0]		-	-	.000 000.	.000 000.	
04Eh	TB1Flag	-	-	PWM6A	PWM5A	PWM4A	PWM3A	PWM2A	PWM1A	..00 0000	..uu uuuu	
04Fh	TB1CN0	ENTB1	TB1M[1:0]		TB1RT[1:0]		TB1CL	-	-	0000 0000	uuuu u0uu	
050h	TB1CN1	PA1IV	PWMA1[2:0]			PA0IV	PWMA0[2:0]			0000 0000	uuuu uuuu	
051h	TB1RH	TimerB1 counter Register [15:8]								xxxx xxxx	uuuu uuuu	
052h	TB1RL	TimerB1 counter Register [7:0]								xxxx xxxx	uuuu uuuu	
053h	TB1C0H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	
054h	TB1C0L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	
055h	TB1C1H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	
056h	TB1C1L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	
057h	TB1C2H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	
058h	TB1C2L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	
061h	CFG	Rsv.					GCRst	ENI2CT	ENI2C	- 000 uuu
062h	ACT	SLAVE	-	-	I2CER	START	STOP	I2CINT	ACK	0000 0000	uuuu uuuu	
063h	STA	MACTF	SACTF	RDBF	RWF	DFF	ACKF	GCF	ARBF	0001 0000	uuuu uuuu	
064h	CRG	CRG[7:0]								0000 0000	uuuu uuuu	
065h	TOC	I2CTF	DI2C[2:0]			I2CTL[3:0]			-	0000 0000	uuuu uuuu	
066h	RDB	RDB[7:1]							RDB[0]	xxxx xxxx	uuuu uuuu	
067h	TDB0	TDB0[7:1]							TDB[0]	xxxx xxxx	uuuu uuuu	
068h	SID0	SID[7:1], The corresponding address of the 7-bit mode							SIDV[0]	0000 0000	uuuu uuuu	
070h	PT1	-	-	-	-	-	-	-	PT10	xx.. ..xx	xx.. ..xx	
071h	TRISC1	-	-	-	-	-	-	-	-	0000 0000	uuuu uuuu	
072h	PT1DA	-	-	-	-	-	-	-	-	0000 0000	uuuu uuuu	
073h	PT1PU	-	-	-	-	-	-	-	-	0000 0000	uuuu uuuu	
074h	PT1EG	-	-	FPWMA1	FPWMA0	-	-	E0EG[1:0]	 0000 uuuu	
075h	PT2	-	-	-	-	-	-	PT21	PT20xxxx	
076h	TRISC2	-	-	-	-	-	-	TC21	TC2000uu	
077h	PT2DA	-	-	-	-	-	-	DA21	DA2000uu	
078h	PT2PU	-	-	-	-	-	-	PU21	PU2000uu	
079h	PT3	-	-	PT35	PT34	PT33	PT32	PT31	PT30	..xx xxxx	..xx xxxx	
07Ah	TRISC3	-	-	TC35	TC34	TC33	TC32	TC31	TC30	..00 0000	..uu uuuu	
07Bh	PT3DA	-	-	DA35	DA34	DA33	DA32	DA31	DA30	..00 0000	..uu uuuu	
07Ch	PT3PU	-	-	PU35	PU34	PU33	PU32	PU31	PU30	..00 0000	..uu uuuu	
080h ~	GPR0	General Purpose Register as 128Byte								uuuu uuuu	uuuu uuuu	

表 2-4 資料記憶體列表(續)

3. 震盪器、時脈源與功耗管理

HY10P 系列具有 HAO、LPO 兩個時脈源，如 表 3-1。透過時脈控制器暫存器的設置可彈性的分配與管理 CPU 與週邊工作頻率，更能適當調整晶片消耗功率達到節約能源的目的。

時脈控制暫存器摘要：

OSCCN0 OSCS[1:0],DHS[1:0],DMS[2:0],CPUS[0]

OSCCN1 ADCS[2:0],DTMB[1:0],TMBS[0]

OSCCN2 HAOM[1:0],ENHAO[0],LPO[0]

符號	頻率	頻率源控制器 OSCCN2[7:0]配置			指令執行狀態	
		ENHAO[0]	HAOM[1]	HAOM[0]	SLP	IDLE
HAO	8MHz	1	1	1	停止	震盪
	4MHz	1	0	1	停止	震盪
	2MHz	1	0	0	停止	震盪
LPO	14KHz	晶片上電後即起振			停止	震盪

表 3-1 內部 RC 震盪器參數、頻率控制器配置與指令狀態

3.1. 震盪器

3.1.1. HAO 震盪器

HAO 為內部高速 RC 震盪器，典型輸出頻率為 2.0~8.0MHz。

HY10P 系列產品在 CPU 使用其他的震盪器作為工作時脈源時，可透過 ENHAO[0]設置<0>將 HAO 震盪器關閉。

3.1.2. LPO 震盪器

LPO 為內部低速 RC 震盪器，典型的輸出頻率為 14KHz。由於 LPO 的消耗電流約為 0.7uA，故主要應用於低速省電的 CPU 工作模式與看門狗(Watch Dog Timer)時脈源。

HY10P 系列產品在執行 Sleep 指令後 LPO 震盪器會被關閉，而當晶片被喚醒時 LPO 將自動起振。

3.2. CPU 及週邊電路時脈源

3.2.1. 時脈源分配

兩組震盪器輸出 (OSC_HAO、OSC_LPO) 會先經過前置工作時脈分配器進行啓用/停止、切換與預先除頻後再進入晶片的 CPU 與各週邊電路。如圖 3-1 所示。

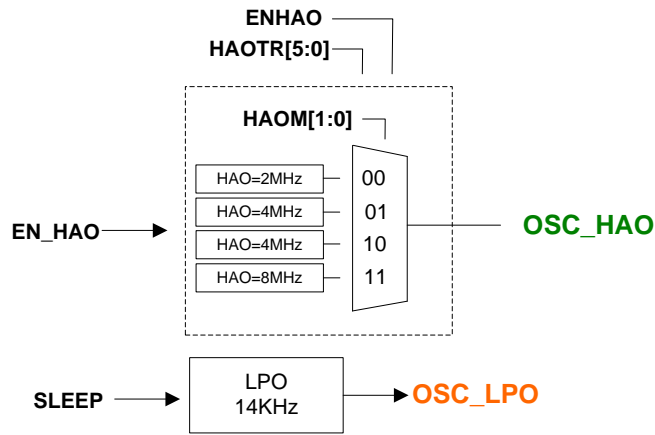


圖 3-1 前置工作時脈分配器

3.2.2. CPU 時脈源

CPU 有多種工作頻率可以選擇，透過 CPUS[0]可選擇工作頻率來自 HS_CK 或 DHS_CK。

指令工作頻率則採 1/4 的 CPU_CK 設計且分頻出 INTR_CK 的頻率源。

- 操作 $\Sigma\Delta$ ADC 時，建議 CPU 使用 HS_CK 後分頻當工作頻率，以得到較佳的性能。
- 當 CPU_CK 的頻率與指令執行週期，如表如圖 3-3。表 3-3 簡略列出 CPU 工作頻率與指令週期的關係。

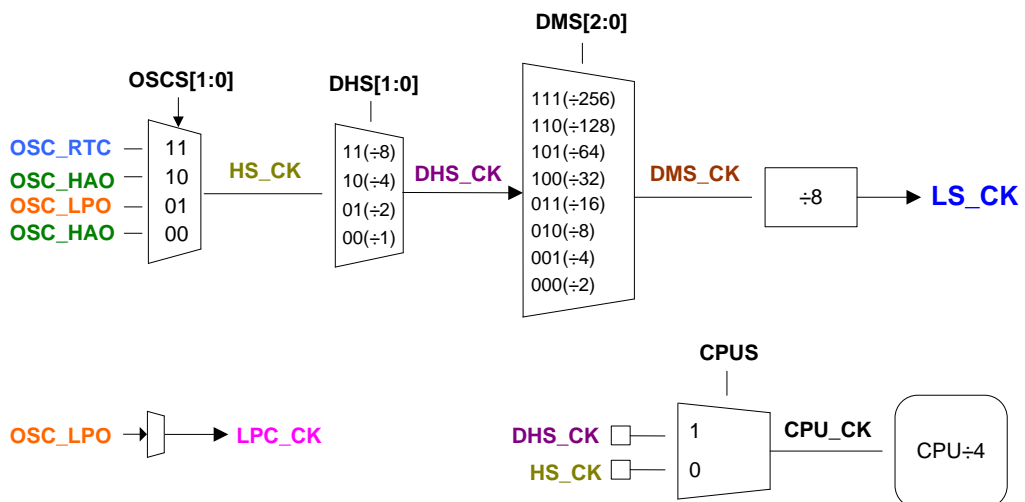


圖 3-2 CPU 與週邊工作時脈

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

CPU_CK \ 工作頻率	CPU	指令	
	頻率	頻率	週期
8MHZ	8MHZ	2MHz	0.5us
4MHz	4MHz	1MHz	1us
2MHz	2MHz	500kHz	2us
14KHz	14KHz	3.5KHz	285.7us

表 3-2 CPU 工作頻率與指令執行週期

3.2.3. CPU 周邊電路時脈源

HY10P 系列週邊電路的工作時脈係由不同的分配控制器與預除頻器進行配置，該配置將於各週邊單元作詳細說明故於此只附上週邊工作時脈配置圖，如圖 3-3。

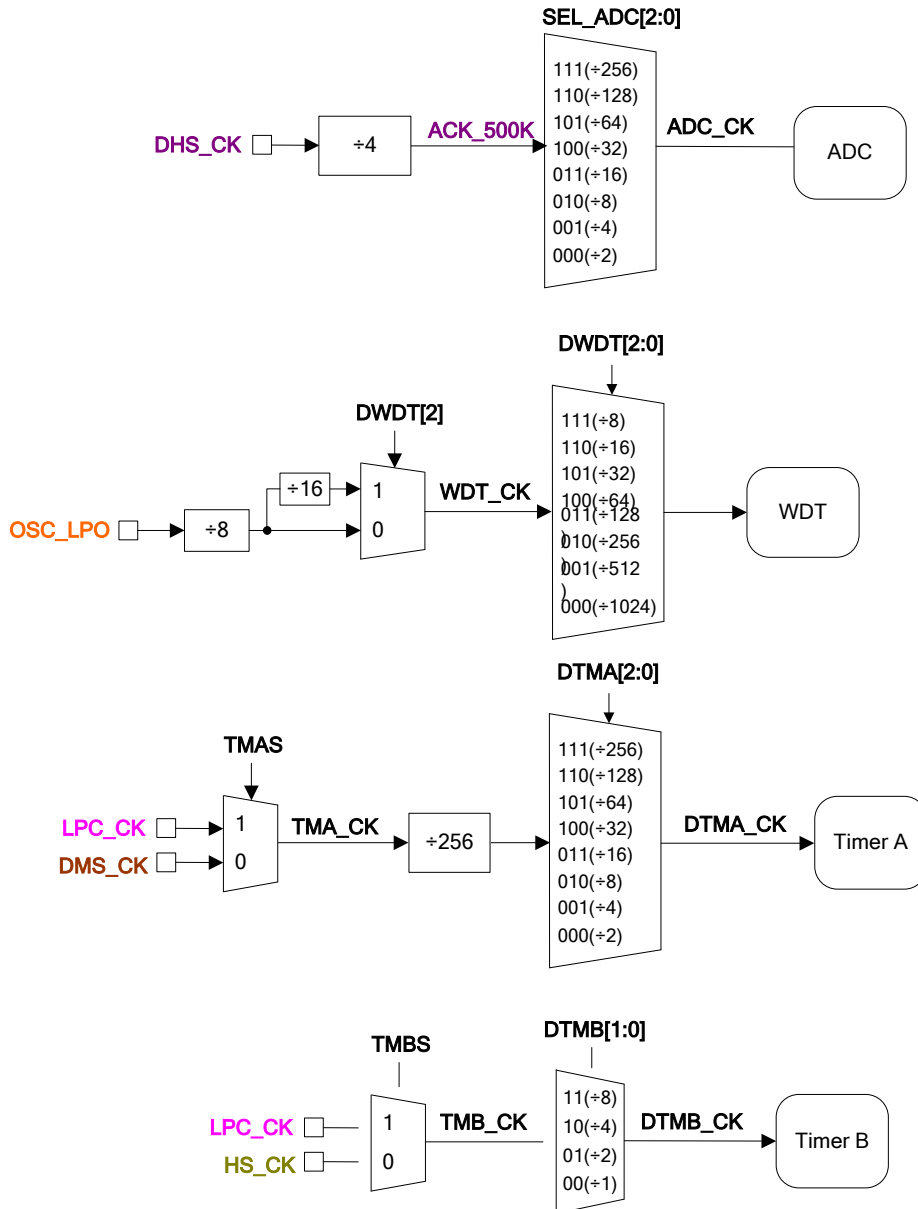


圖 3-3 週邊工作時脈配置圖

3.3. 暫存器說明-工作時脈源控制器

錯誤! 物件無法用編輯功能變數代碼來建立。

表 3-3 工作時脈源控制暫存器

OSCCN0[7:0]晶片工作頻率控制暫存器 0

OSCS[1:0]HS_CK 的頻率擇器

<11>未使用

<10>OSC_HAO

<01>OSC_LPO

<00>OSC_HAO

DHS[1:0]DHS_CK 的頻率分配擇器

<11>HS_CK \div 8

<10>HS_CK \div 4

<01>HS_CK \div 2

<00>HS_CK \div 1

DMS[2:0]DMS_CK 的頻率分配擇器

<111>DHS_CK \div 256

<110>DHS_CK \div 128

<101>DHS_CK \div 64

<100>DHS_CK \div 32

<011>DHS_CK \div 16

<010>DHS_CK \div 8

<001>DHS_CK \div 4

<000>DHS_CK \div 2

CPUS[0]CPU_CK 的頻率選擇器

<1>DHS_CK

<0>HS_CK

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

OSCCN1[7:0]晶片工作頻率控制暫存器 1

ADCS[2:0] : SD18 週邊工作頻率預除頻器

111 : ADC_CK/256

110 : ADC_CK/128

101 : ADC_CK/64

100 : ADC_CK/32

011 : ADC_CK/16

010 : ADC_CK/8

001 : ADC_CK/4

000 : ADC_CK/2

DTMB[1:0]DTMB_CK 的頻率分配擇器

<11>TMB_CK \div 8

<10>TMB_CK \div 4

<01>TMB_CK \div 2

<00>TMB_CK \div 1

TMBS[0]TMB_CK 的頻率選擇器

<1>LPC_CK

<0>HS_CK

OSCCN2[7:0]晶片工作頻率控制暫存器 2

HAOM[1:0]內部震盪器 HAO 震盪頻率選擇器

<11>8MHz

<10>不可設置

<01>4MHz

<00>2MHz

ENHAO : 內部 HAO 啟用控制位

1 : 啟用

0 : 停止

LPO[0]內部震盪器 LPO 狀態旗標

<1>啟用

<0>停止

※此位元為狀態位元，只能讀取不能寫入，在執行 Sleep 指令後 LPO 震盪器自動會被停止，而當晶片被喚醒時 LPO 將自動啟用。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



PWRCN[7:0]線性穩壓器與類比共地控制暫存器

CSFON[0]CSF(Chip Special Function)啓用寫入控制器

<1>啓用 CSF 寫入功能，當使用者需要進行此區控制暫存器設置時，必須將 CSFON[0]設置<1>才能寫入 CSFCN0[7:0]。

<0>不啓用 CSF 功能

CSFCN0[7:0]特殊控制位暫存器

HAOTR[5:0]HAO 頻率中心調整控制器

<111111>調整 -10%，最小值。	<101001>調整 -2.90%	<010011>調整 4.06%
<111110>調整 -9.68%	<101000>調整 -2.58%	<010010>調整 4.38%
<111101>調整 -9.35%	<100111>調整 -2.26%	<010001>調整 4.69%
<111100>調整 -9.03%	<100110>調整 -1.94%	<010000>調整 5.00%
<111011>調整 -8.71%	<100101>調整 -1.61%	<001111>調整 5.31%
<111010>調整 -8.39%	<100100>調整 -1.29%	<001110>調整 5.63%
<111001>調整 -8.06%	<100011>調整 -0.97%	<001101>調整 5.94%
<111000>調整 -7.74%	<100010>調整 -0.65%	<001100>調整 6.25%
<110111>調整 -7.42%	<100001>調整 -0.32%	<001011>調整 6.56%
<110110>調整 -7.10%	<100000>中心點 0.00%	<001010>調整 6.88%
<110101>調整 -6.77%	<011111>調整 0.31%	<001001>調整 7.19%
<110100>調整 -6.45%	<011110>調整 0.63%	<001000>調整 7.50%
<110011>調整 -6.13%	<011101>調整 0.94%	<000111>調整 7.81%
<110010>調整 -5.81%	<011100>調整 1.25%	<000110>調整 8.13%
<110001>調整 -5.48%	<011011>調整 1.56%	<000101>調整 8.44%
<110000>調整 -5.16%	<011010>調整 1.88%	<000100>調整 8.75%
<101111>調整 -4.84%	<011001>調整 2.19%	<000011>調整 9.06%
<101110>調整 -4.52%	<011000>調整 2.50%	<000010>調整 9.38%
<101101>調整 -4.19%	<010111>調整 2.81%	<000001>調整 9.69%
<101100>調整 -3.87%	<010110>調整 3.13%	<000000>調整 10.00%，最大值。
<101011>調整 -3.55%	<010101>調整 3.44%	
<101010>調整 -3.23%	<010100>調整 3.75%	

3.4. 功率消耗管理與操作狀態

HY10P 系列 CPU 提供三種工作模式讓使用者可以在執行效能與省電得到最佳管理，三種模式分別為運行模式、待機模式與休眠模式。

3.4.1. 運行模式

運行模式主要指 CPU 依循時脈源處理所有發生的事件，此時晶片所有週邊皆可正常運作且功率消耗在同時脈下時處於最大的狀態。

3.4.2. 待機模式

待機模式是透過IDLE指令進入待機模式中，主要指CPU進入節能的狀態即停止運作等待喚醒，並將PSTATUS復位暫存器的IDLEB [0]旗標位元置<1>。在此模式下晶片週邊仍正常運作，當週邊產生中斷事件時將會喚醒CPU³。另外，看門狗計數終了產生的信號在此模式下是屬於中斷事件信號而非復位信號。

在待機模式狀下，CPU 為暫停模式，停在 IDLE 指令下，其內部震盪器均不受影響也未關閉，使用者若為達更節能狀態，需視應用情形，適時關閉周邊或震盪器等資源。而晶片則必須透過外部中斷源，或是其他週邊資源中斷訊號達到離開待機模式狀態。

在待機模式下，若遇到中斷源而離開待機模式時，則需要 2 個指令週期時間才能回到中斷向量 04H 位置。若 CPU 頻率源為內部理想 2MHZ，則一個指令週期時間為 2usec，因此喚醒則需要 4usec 程式才能回到中斷向量位置；若 CPU 頻率源為內部理想 14KHZ，則一個指令週期時間為 286usec，因此喚醒則需要 536usec 程式才能回到中斷向量位置。

若在待機模式下，CPU 頻率源為內部 14KHZ，且內部 2MHZ 震盪器已被關閉，而在喚醒之後啟動 2MHZ 震盪器，則到完整啟動 2MHZ 震盪器，則需要 2 個 14KHZ 指令週期喚醒時間加上 128 個 2MHZ 指令週期起振時間，相當於約 792usec 的時間後，內部 2MHZ 震盪器才能正常起振完成。

³ CPU 受到中斷信號喚醒後 PC(程式計數器)會跳至中斷向量位置(0x004h)。詳細的 PSTATUS 復位暫存器與中斷服務向量的說明請參見復位、中斷章節

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC
8-Bit RISC-like Mixed Signal Microcontroller

4. 復位,RESET

HY10P 系列的復位線路包含以下三種事件來觸發復位訊號，復位方塊圖如圖 4-1。

- ◆ **BOR** 電源干擾復位。
- ◆ **WDT** 看門狗復位。
- ◆ **SKERR** 堆疊錯誤復位。(使用者決定)

操作狀態暫存器摘要：

PSTATUS BOR[0],PD[0],TO[0],IDL[0],SKERR[0]

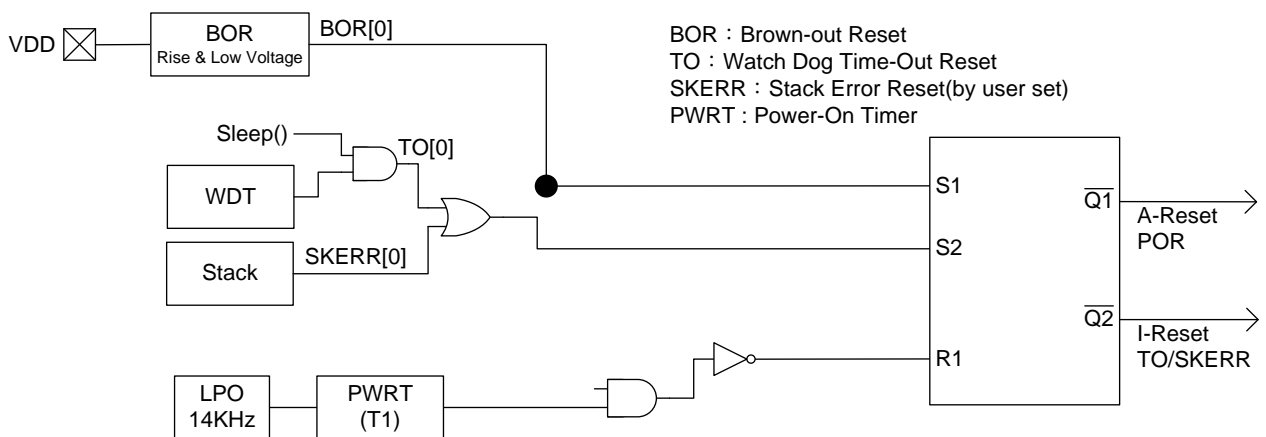


圖 4-1 復位方塊圖

這些復位事件可區分為硬體復位及軟體復位，說明如表 4-1。CPU 經復位後程式由 0x0000h 啟動。

復位種類	事件	符號	說明
硬體復位	BOR	A-RESET	CPU重新啟動，須等待內部震盪器啟動計數完成後方能進入正常工作狀態。
低階復位	WDT SKERR	I-RESET	僅清除部分暫存器，CPU快速回到正常工作狀態。

表 4-1 復位等級表

4.1. 復位事件說明

4.1.1. BOR 電源干擾復位

當 CPU 在上電過程或電源受外界干擾時，CPU 會由不正常工作的過低工作電壓進入正常工作電壓。因此，如 CPU 在過低工作電壓時無法處於復位狀態，將會造成 CPU 當機使週邊電路工作異常。所以必須靠著 BOR 線路功能，在偵測到工作電壓受到干擾且電壓準位低於設計值，會產生復位信號使晶片進入重新啟動狀態，直至回復工作電壓才會解除復位信號使晶片進入正常工作模式。

當發生 BOR 復位時，PSTATUS[7:0]暫存器中的 BOR[0]旗標會被置<1>以記錄發生的事件。

HY10P 系列的 BOR 線路會產生約 0.6uA 的電流消耗，無法透過程式或其他設置方式使其關閉。

4.1.2. WDT 看門狗計數器復位

WDT 看門狗計時器在運行模式計數終了時會產生復位信號使晶片進入快速啟動狀態。當發生 WDT 看門狗復位時 PSTATUS[7:0] 暫存器中的 TO[0]旗標會被置<1>以記錄發生的事件。

注意，WDT 計數終了產生的信號有兩種，當晶片操作在運行模式下會產生復位信號，若晶片操作在待機模式則產生中斷事件信號喚醒 CPU。詳細的操作說明請參見 *看門狗, WDT* 章節。

4.1.3. SKERR 堆疊錯誤復位

程式發生堆疊溢位或欠位時會產生復位信號使晶片進入快速啟動狀態。當發生 SKERR 堆疊錯誤復位時 PSTATUS[7:0]暫存器中的 SKERR[0]旗標會被置<1>以記錄發生的事件。詳細的操作說明請參見 *記憶體, Memory* 章節。

4.2. 狀態暫存器

晶片的操作狀態顯示於 PSTATUS[7:0]復位暫存器，相互間關係如表 4-2。

“0”：未發生，“1”：已發生，“u”：不改變，“-”：未使用

名稱/狀態	位址	7	6	5	4	3	2	1	0
PSTATUS	02CH	BOR	PD	TO	IDL	-	SKERR	-	-
硬體復位 (A-RESET)	BOR	1	0	0	0	-	0	-	-
軟體復位 (I-RESET)	WDT	u	u	1	u	-	u	-	-
	SKERR	u	u	u	u	-	1	-	-

表 4-2 復位狀態旗標關係表

4.2.1. 復位狀態的時序圖

硬體復位信號發生後至晶片進入操作狀態的時序圖，如圖 4-2。不同復位信號信號發生後至晶片進入操作狀態的時間，如 表 3-2(b)

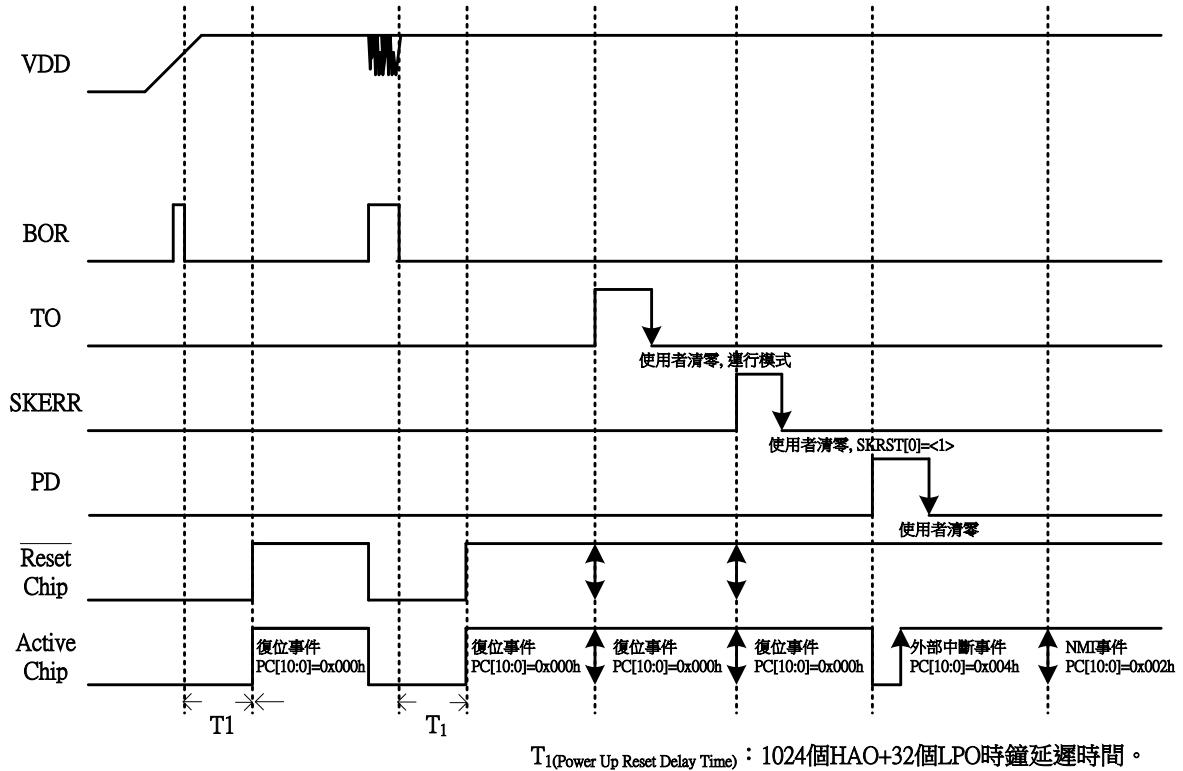


圖 4-2 復位及操作模式與狀態旗標時序圖

4.2.2. 暫存器說明-復位狀態

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
02Ch	PSTATUS	BOR	PD	TO	IDL	-	SKERR	-	-	\$000 \$00.	uu\$u u\$u.
033h	PWRCN	ENLDO[1:0]		VDDAX[1:0]		ENREFO	AD1RST	AD2RST	CSFON	0000 0000	uuuu u00u
041h	CSFCN0	SKRST	-							0.10 0000	u.uu uuuu

表 4-3 復位暫存器

PSTATUS : 狀態暫存器

BOR[0] : 電源干擾 BOR 復位事件旗標

<1>已發生電源干擾復位；清除需透過指令

<0>未發生電源干擾復位

PD[0] : 休眠 SLEEP 事件旗標

<1>已發生休眠事件；清除需透過 BOR 或指令

<0>未發生休眠事件

TO[0] : 看門狗 WDT 運行模式計數溢位旗標

<1>已發生 WDT 復位事件；清除需透過 BOR 或指令

<0>未發生 WDT 計數溢位事件

IDL [0] : 待機 IDLE 事件旗標

<1>已發生 IDLE 事件；清除需透過 BOR 或指令

<0>未發生 IDLE 事件

SKERR[0] : 堆疊錯誤復位旗標

<1>堆疊錯誤；清除需透過 BOR 或指令

<0>堆疊未錯誤

PWRCN[7:0]線性穩壓器與類比共地控制暫存器

CSFON[0]CSF(Chip Special Function)啟用寫入控制器

<1>啟用 CSF 寫入功能，當使用者需要進行此區控制暫存器設置時，必須將 CSFON[0]設置<1>才能讀寫入 CSFCN0[7:0]。

<0>不啟用 CSF 功能，CSFCN0[7:0]暫存器無法讀寫

CSFCN0[7:0]特殊控制位暫存器

SKRST[0]堆疊錯誤復位控制器

<1>啟用錯誤復位晶片

<0>不啟用錯誤復位晶片

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



4.3. 暫存器列表-資料記憶體復位狀態

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	
000h	INDF0	Contents of FSR0 to address data memoryvalue of FSR0 not changed								xxxx xxxx	uuuu uuuu	
001h	POINC0	Contents of FSR0 to address data memoryvalue of FSR0 post-incremented								xxxx xxxx	uuuu uuuu	
002h	PODEC0	Contents of FSR0 to address data memoryvalue of FSR0 post-decremented								xxxx xxxx	uuuu uuuu	
003h	PRINC0	Contents of FSR0 to address data memoryvalue of FSR0 pre-incremented								xxxx xxxx	uuuu uuuu	
004h	PLUSW0	Contents of FSR0 to address data memoryvalue of FSR0 offset by W								xxxx xxxx	uuuu uuuu	
010h	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	uuuu uuuu	
016h	TOSH	-	-	-	-	-	TOS[10]	TOS[9]	TOS[8] xxxx uuuu	
017h	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								xxxx xxxx	uuuu uuuu	
018h	STKPTR	SKFL	SKUN	SKOV	-	-	SKPRT[2:0]			000. .000	u\$. .\$\$\$	
01Ah	PCLATH	-	-	-	-	-	PC[10]	PC[9]	PC[8]0000 0000	
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000	
023h	INTE1	GIE	ADIE	E21IE	WDTIE	TB1IE	TMAIE	E20IE	E10IE	0000 0000	0uuu uuuu	
024h	INTE2	-	-	-	-	I2CERIE	I2CIE	-	-	0000 0000	uuuu uuuu	
026h	INTF1	-	ADIF	E21IF	WDTIF	TB1IF	TMAIF	E20IF	E10IF	.000 0000	.uuu uuuu	
027h	INTF2	-	-	-	-	I2CERIF	I2CIF	-	-	0000 0000	uuuu uuuu	
029h	WREG	Working Register								xxxx xxxx	uuuu uuuu	
02Bh	STATUS	-	-	-	C	-	-	-	Z	...x xxxx	...u uuuu	
02Ch	PSTATUS	BOR	PD	TO	IDL	-	SKERR	-	-	\$000 \$00.	uu\$u u\$u.	
02Eh	BIECN	-	-	-	-	VPPHV	-	BIEWR	BIERD	1... \$.00	1... \$.uu	
02Fh	BIEARH	ENBIE	-	-	-	-	11-bit look-up Table as BIEAH[2:0]			0... xxxx	u... uuuu	
030h	BIEARL	BIE Address Register as BIEAL[5:0] or 11-bit look-up Table as BIEAL[7:0]								xxxx xxxx	uuuu uuuu	
031h	BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu	
032h	BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu	
033h	PWRCN	ENLDO[1:0]		VDDAX[1:0]		-	-	ADRST	CSFON	0000 0000	uuuu u00u	
034h	OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]		CPUS		0000 0000	uuuu uuuu	
035h	OSCCN1	-	-	ADCS[2:0]			DTMB[1:0]	TMBS		0000 0000	uuuu uu.	
036h	OSCCN2	-	-	-	-	HAOM[1:0]	ENHAO	LPO		.000 0011	.uuu uu11	
037h	WDTCN	-	-	-	-	ENWDT	DWDT[2:0]			0000 0000	uuuu \$000	
038h	TMACN	ENTMA	TMACL	TMAS	DTMA[2:0]			-	-	0000 00..	u0uu uu..	
039h	TMAR	TMA counter Register								0000 0000	uuuu uuuu	
041h	CSFCN0	SKRST	-	HAOTR[5:0]							0.10 0000	u.uu uuuu
043h	ADCRH	ADC conversion memory HighByte								xxxx xxxx	uuuu uuuu	
044h	ADCRM	ADC conversion memory Middle Byte								xxxx xxxx	uuuu uuuu	
045h	ADCRL	ADC conversion memory Low Byte								xxxx xxxx	uuuu uuuu	
046h	ADCCN1	ENADC	ENHIGN	ENCHP	-	-	ADGN[2:0]			0000 0000	0000 0000	
047h	ADCCN2	-	-	-	-	VREGN	DCSET[2:0]		 0000 0000	
048h	ADCCN3	OSR[3:0]				-	-	-	-		000. .0.	000. .0.

表 4-4 資料記憶體復位狀態

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
 “\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	
049h	AINET1	INH[2:0]			INL[2:0]			INIS	-	0000 000.	0000 000.	
04Ah	AINET2	-	VRH[1:0]		INX[1:0]		VRL[1:0]		-	.000 000.	.000 000.	
04Eh	TB1Flag	-	-	PWM6A	PWM5A	PWM4A	PWM3A	PWM2A	PWM1A	.00 0000	.uu uuuu	
04Fh	TB1CN0	ENTB1	TB1M[1:0]		TB1RT[1:0]		TB1CL	-	-	0000 0000	uuuu u0uu	
050h	TB1CN1	PA1IV	PWMA1[2:0]			PA0IV	PWMA0[2:0]			0000 0000	uuuu uuuu	
051h	TB1RH	TimerB1 counter Register [15:8]								xxxx xxxx	uuuu uuuu	
052h	TB1RL	TimerB1 counter Register [7:0]								xxxx xxxx	uuuu uuuu	
053h	TB1C0H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	
054h	TB1COL	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	
055h	TB1C1H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	
056h	TB1C1L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	
057h	TB1C2H	TimerB1 counter Condition Register [15:8]								xxxx xxxx	uuuu uuuu	
058h	TB1C2L	TimerB1 counter Condition Register [7:0]								xxxx xxxx	uuuu uuuu	
061h	CFG	Rsv.					I2CRST	ENI2CT	ENI2C	 000 uuu
062h	ACT	SLAVE	-	-	I2CER	START	STOP	I2CINT	ACK	0000 0000	uuuu uuuu	
063h	STA	MACTF	SACTF	RDBF	RWF	DFF	ACKF	GCF	ARBF	0001 0000	uuuu uuuu	
064h	CRG	CRG[7:0]								0000 0000	uuuu uuuu	
065h	TOC	I2CTF	DI2C[2:0]			I2CTL[3:0]				0000 0000	uuuu uuuu	
066h	RDB	RDB[7:1]							RDB[0]	xxxx xxxx	uuuu uuuu	
067h	TDB0	TDB0[7:1]							TDB[0]	xxxx xxxx	uuuu uuuu	
068h	SID0	SID[7:1], The corresponding address of the 7-bit mode							SIDV[0]	0000 0000	uuuu uuuu	
070h	PT1	-	-	-	-	-	-	-	PT10	xx.. ..xx	xx.. ..xx	
071h	TRISC1	-	-	-	-	-	-	-	-	0000 0000	uuuu uuuu	
072h	PT1DA	-	-	-	-	-	-	-	-	0000 0000	uuuu uuuu	
073h	PT1PU	-	-	-	-	-	-	-	-	0000 0000	uuuu uuuu	
074h	PT1EG	-	-	FPWMA1	FPWMA0	-	-	E0EG[1:0]	 0000 uuuu	
075h	PT2	-	-	-	-	-	-	PT21	PT20xxxx	
076h	TRISC2	-	-	-	-	-	-	TC21	TC2000uu	
077h	PT2DA	-	-	-	-	-	-	DA21	DA2000uu	
078h	PT2PU	-	-	-	-	-	-	PU21	PU2000uu	
079h	PT3	-	-	PT35	PT34	PT33	PT32	PT31	PT30	..xx xxxx	..xx xxxx	
07Ah	TRISC3	-	-	TC35	TC34	TC33	TC32	TC31	TC30	.00 0000	.uu uuuu	
07Bh	PT3DA	-	-	DA35	DA34	DA33	DA32	DA31	DA30	.00 0000	.uu uuuu	
07Ch	PT3PU	-	-	PU35	PU34	PU33	PU32	PU31	PU30	.00 0000	.uu uuuu	
080h ~	GPR0	General Purpose Register as 128Byte								uuuu uuuu	uuuu uuuu	

表 4-5 資料記憶體復位狀態(續)

5. 中斷, Interrupt

中斷 Interrupt 由中斷啓用控制器 INTE 與中斷事件旗標 INTF 組成。中斷服務 Interrupt service 成立時若產生中斷事件，將使得程式計數器 PC 跳至程式記憶體的中斷向量位址 0x0004h 執行中斷服務程式。

中斷控制暫存器暫存器摘要：

INTE0 GIE[0], ADCIE[0], E20IE[0], TMBIE[0], TMAIE[0], WDTIE[0], E20IE[0], E10IE[0]

INTE1 I2CERIE[0], I2CIE[0]

INTF0 ADCIF[0], E21IF[0], TMBIF[0], TMAIF[0], WDTIF[0], E21IF[0], E10IF[0]

INTF1 I2CERIF[0], I2CIF[0]

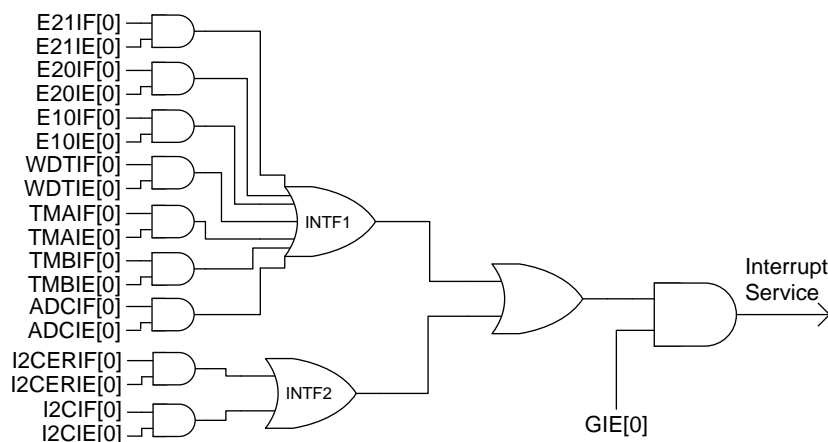


圖 5-1 中斷向量方塊圖

中斷服務事件的節制器共有兩層，最高層為中斷服務控制器 GIE[0]、次一層為中斷事件的啓用控制位元。

- 啓用中斷事件只需將相對於中斷事件啓用控制器 INTE_x[7:0] 的控制器設置 <1> 即可；反之，設置 <0> 則為關閉中斷事件。
- 啓用中斷服務只需將相對於中斷控制暫存器 INTE0[7:0] 的中斷服務控制器 GIE[0] 設置 <1> 即可；反之，設置 <0> 則為關閉中斷服務。

當進入中斷服務向量時 GIE[0] 會自動被置 <0>，在中斷服務程式執行完畢後欲返回中斷發生位址時可直接執行中斷返回指令 RETI，此時 GIE[0] 將自動被置 <1>；或執行返回指令 RET，此時 GIE[0] 狀態維持 0。

※注意：PT1.0 外部中斷可依照 E0EG[1:0] 設定調整觸發中斷的模式，PT2.0 及 PT2.1 外部中斷僅可由 Falling Edge 觸發中斷。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

5.1. 暫存器說明-中斷

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
023h	INTE0	GIE	ADIE	E21IE	WDTIE	TB1IE	TMAIE	E20IE	E10IE	0000 0000	0uuu uuuu
024h	INTE1	-	-	-	-	I2CERIE	I2CIE	-	-	0000 0000	uuuu uuuu
026h	INTF0	-	ADIF	E21IF	WDTIF	TB1IF	TMAIF	E20IF	E10IF	.000 0000	.uuu uuuu
027h	INTF1	-	-	-	-	I2CERIF	I2CIF	-	-	0000 0000	uuuu uuuu

表 5-1 中斷暫存器

INTE0 : 中斷啓用控制暫存器 0

GIE[0] : 中斷服務控制器

- 1 : 啓用。
- 0 : 關閉。

ADCIE[0] : ADC 中斷事件啓用控制器

- 1 : 啓用。(類比數位轉換器,SD18)
- 0 : 關閉。

TMBIE[0] : Timer-B 中斷事件啓用控制器

- 1 : 啓用。(計時/計數器 B,TMB)
- 0 : 關閉。

TMAIE[0] : Timer-A 中斷事件啓用控制器

- 1 : 啓用。(計時/計數器 A,TMA)
- 0 : 關閉。

WDTIE[0] : Watch Dog 中斷事件啓用控制器

- 1 : 啓用。(看門狗,WDT)
- 0 : 關閉。

E21IE[0] : 輸入引腳 PT2.1 中斷事件啓用控制器(Falling Edge Trigger Interrupt)

- 1 : 啓用。(外部輸入引腳,PT2.1)
- 0 : 關閉。

E20IE[0] : 輸入引腳 PT2.0 中斷事件啓用控制器(Falling Edge Trigger Interrupt)

- 1 : 啓用。(外部輸入引腳,PT2.0)
- 0 : 關閉。

E10IE[0] : 輸入引腳 PT1.0 中斷事件啓用控制器

- 1 : 啓用。(外部輸入引腳,PT1.0)
- 0 : 關閉。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller

INTE1 : 中斷啓用控制暫存器 1

I2CERIE[0]週邊 I2C 錯誤中斷向量服務控制器

<1>啓用 I2C 中斷向量服務

<0>關閉 I2C 中斷向量服務

I2CIE[0]週邊 I2C 中斷向量服務控制器

<1>啓用 I2C 中斷向量服務

<0>關閉 I2C 中斷向量服務

INTF0 : 中斷事件旗標暫存器 0

ADCIF[0] : ADC 中斷事件旗標

1 : 已發生。(類比數位轉換器,SD18)

0 : 未發生。

TMBIF[0] : Timer-B 中斷事件旗標

1 : 已發生。(計時/計數器 B,TMB)

0 : 未發生。

TMAIF[0] : Timer-A 中斷事件旗標

1 : 已發生。(計時/計數器 A,TMA)

0 : 未發生。

WDTIF[0] : Watch Dog 中斷事件旗標

1 : 已發生。(看門狗,WDT)

0 : 未發生。

E21IF[0] : 輸入引腳 PT2.1 中斷事件旗標(Falling Edge Trigger Flag)

1 : 已發生。(外部輸入引腳,PT2.1)

0 : 未發生。

E20IF[0] : 輸入引腳 PT2.0 中斷事件旗標(Falling Edge Trigger Flag)

1 : 已發生。(外部輸入引腳,PT2.0)

0 : 未發生。

E10IF[0] : 輸入引腳 PT1.0 中斷事件旗標

1 : 已發生。(外部輸入引腳,PT1.0)

0 : 未發生。

INTF1 : 中斷事件旗標暫存器 1

I2CERIF[0]週邊 I2C 錯誤中斷事件旗標控制器

<1>已發生 I2C 中斷事件

<0>未發生 I2C 中斷事件

I2CIF[0]週邊 I2C 中斷事件旗標控制器

<1>已發生 I2C 中斷事件

<0>未發生 I2C 中斷事件

6. 輸入/輸出埠, I/O

輸入/輸出埠 I/O 每八個引腳為一個埠，可作數位的輸入與輸出以及類比信號量測通道。每個埠由一組暫存器做控制。在不同產品上 I/O 的暫存器組成會有差異。

I/O 相關暫存器摘要：

PT PT1[0], PT2[1:0], PT3[5:0]

TRISC TC2[1:0], TC3[5:0],

PTDA DA2[1:0]

PTPU PU2[1:0], PU3[5:0]

PT1EG FPWMA[1:0], E0EG[1:0]

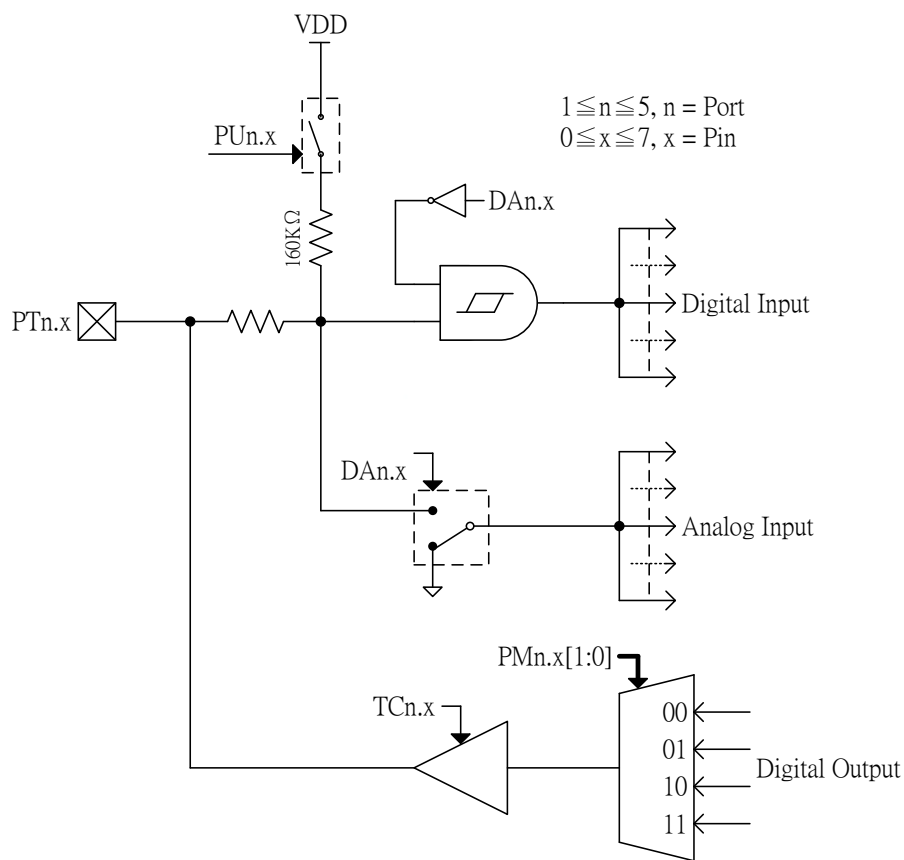


圖 6-1 I/O 架構方塊圖

6.1. PORT 相關暫存器介紹

PORT 主要提供數位或類比的信號輸入與輸出引腳。

6.1.1. PT 狀態控制暫存器

當 I/O 被設置為輸入則在相對的暫存器位置可以讀得目前 I/O 的狀態，讀值 1 則此時的 I/O 輸入高電位、讀值 0 則此時的 I/O 輸入低電位。

當 I/O 被設置為輸出則在相對的暫存器位置可以控制輸出狀態，設置<1>則 I/O 輸出為高電位、設置<0>則 I/O 輸出為低電位。

6.1.2. TRISC 輸入/輸出控制暫存器

選擇 I/O 為輸入或輸出，設置<1>I/O 為輸出狀態、設置<0>為輸入狀態。當 I/O 設定為輸入狀態，則在晶片進入休眠模式時必須給定一明確的輸入電位，不可讓 I/O 呈現浮接狀態，以避免造成晶片產生漏電現象。

6.1.3. PTDA 數位或類比輸入控制暫存器

設定 I/O 為類比輸入或數位輸入狀態，設置<1>為類比、設置<0>為數位輸入，設置時需考慮其他 I/O 相關暫存器的設置狀態以免造成數位/類比信號相互干擾。

6.1.4. PTPU 上拉電阻控制暫存器

設定 I/O 上拉電阻功能是否啟用，設置<1>則 I/O 啟用、設置<0>斷開。在晶片進入休眠模式前，若 I/O 設置為數位輸入狀態且外部電路連接方式會造成 I/O 有浮接現象時即可啟用上拉電阻，以避免 I/O 浮接而導致晶片進入休眠模式後產生漏電流。

6.1.5. PTEG 中斷信號產生條件

I/O 外部輸入電位屬於何種變化時產生中斷信號，電位變化條件可分上升緣 (0→1) 變化、下降緣 (1→0) 變化與電位轉態 (0→1 或 1→0) 變化。

6.2. 輸入/輸出埠 1, I/O Port1

“i”：輸入, “o”：輸出, “a”：類比, “c”：cmos i/o, “x”：未定義, “p”：電源,

引腳名稱	設計		暫存器設置		描述
	型式	緩衝	CSFON[0]	PT1EG[1:0]	
PT1.0	i	c	1	XX	數位輸入引腳
INT1.0	i	s	1	00~11	外部中斷源
VPP	p	p	X	XX	OTP燒錄電壓引腳

表 6-1 PORT1 功能

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



6.2.1. 暫存器說明-PORT1

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
023h	INTE0	GIE	ADIE	E21IE	WDTIE	TB1IE	TMAIE	E20IE	E10IE	0000 0000	0uuu uuuu
026h	INTF0								E10IF	.000 0000	.uuu uuuu
033h	PWRCN	ENLDO[1:0]		VDDAX[1:0]			AD1RST	AD2RST	CSFON	0000 0000	uuuu u00u
041h	CSFCN0		-							0.10 0000	u.uu uuuu
070h	PT1	-	-	-	-	-	-	-	PT10	xx.. ..xx	xx.. ..xx
074h	PT1EG	-				-			E0EG[1:0] 0000 uuuu

表 6-2 PORT1 控制暫存器

INTE0/INTF0：詳見 *中斷, Interrupt* 章節

PT1：PORT1 狀態控制暫存器

PT1.0：外部引腳控制位元

1：高電位。

0：低電位。

PT1EG[1:0]：引腳中斷方式控制暫存器

E0EG[1:0]引腳 PT1.0 中斷方式控制器

<11>電位轉態 (0→1 或 1→0) 即產生中斷事件；中斷事件需在讀取 PT1.0[0]後才會發生

<10>電位轉態 (0→1 或 1→0) 即產生中斷事件；中斷事件只要電位轉態即發生

<01>上降緣 (0→1)

<00>下降緣 (1→0)

PT1.0 default 為 reset mode(當 BOR 發生時)，內建 180K ohm 電阻 pull high。

PT1.0 若要改變設定，必須先設定 ADDR 33h PWRCN bit<0>=1 後，才能再設定 ADDR 41h CSFUN bit<6>=1，將 PT1.0 設定改為 input mode。之後必須再將 ADDR 33h PWRCN bit<0>=0，以免誤寫修改到設定。

PWRCN[7:0]：線性穩壓器與類比共地控制暫存器

CSFON[0]CSF(Chip Special Function)啟用寫入控制器

<1>啟用 CSF 寫入功能，當使用者需要進行此區控制暫存器設置時，必須將 CSFON[0]設置<1>才能寫入 CSFCN0[7:0]。

<0>不啟用 CSF 功能，CSFCN0 暫存器無法讀寫

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

6.3. 輸入/輸出埠 2 ,I/O Port2

“i”：輸入,“o”：輸出,“a”：類比,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	FPWMA[0]	
PT2.0	i/o	c	x	0	0	數位輸入/輸出引腳
AI6	a	a	x	1	0	類比輸入引腳
INT2.0	i	s	0	0	0	外部中斷源(Falling Edge Trigger Interrupt)
PWMA0	o	c	1	0	1	PWM 輸出引腳
PT2.1	i/o	c	X	0	0	數位輸入/輸出引腳
AI7	a	a	x	1	0	類比輸入引腳
INT2.1	i	s	0	0	0	外部中斷源(Falling Edge Trigger Interrupt)
PWMA1	o	c	1	0	1	PWM 輸出引腳

表 6-3 PORT2 功能

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



6.3.1. 暫存器說明-PORT2

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
023h	INTE0	GIE	ADIE	E21IE	WDTE	TB1IE	TMAIE	E20IE	E10IE	0000 0000	0uuu uuuu
026h	INTF0			E21IF				E20IF		.000 0000	.uuu uuuu
074h	PT1EG	-	-	FPWMA1	FPWMA0	-	-	-	- 0000 uuuu
075h	PT2	-	-	-	-	-	-	PT21	PT20xxxx
076h	TRISC2	-	-	-	-	-	-	TC21	TC2000uu

表 6-4 PORT2 控制暫存器

INTE0/INTF0 : 詳見 *中斷, Interrupt* 章節

PT2 : PORT2 狀態控制暫存器

PT2.x : 外部引腳控制位元 (0 ≤ x ≤ 1)

1 : 高電位。

0 : 低電位。

TRISC2 : 輸入/輸出控制暫存器

TC2.x : 外部引腳輸入或輸出控制位元 (0 ≤ x ≤ 1)

1 : 輸出。

0 : 輸入。

PT2DA : 數位或類比輸入控制暫存器

DA2.x : 外部引腳輸入類比或數位信號控制位元 (0 ≤ x ≤ 1)

1 : 類比。

0 : 數位。

PT2PU : 上拉電阻控制暫存器

PU2.x : 外部引腳上拉電阻控制位元 (0 ≤ x ≤ 1)

1 : 啟用。

0 : 關閉。

PT1EG[1:0] 引腳中斷方式控制暫存器

PWMA1[0] : PWMA1 引腳輸出控制器

<1>輸出

<0>不輸出

PWMA0[0] : PWMA0 引腳輸出控制器

<1>輸出

<0>不輸出

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller

6.4. 輸入/輸出埠 3 ,I/O Port3

“i”：輸入,“o”：輸出,“a”：類比,“c”：cmos i/o, “s”：史密斯觸發,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置		描述
	型式	緩衝	TC[0]	DA[0]	
PT3.0	i/o	c	x	0	數位輸入/輸出引腳
AI0	a	a	0	1	類比輸入引腳
PT3.1	i/o	c	x	0	數位輸入/輸出引腳
AI1	a	a	0	1	類比輸入引腳
PSCK	i	s	0	0	OTP讀/寫介面SCK引腳
PT3.2	i/o	c	x	0	數位輸入/輸出引腳
AI2	a	a	0	1	類比輸入引腳
RTCI	a	a	x	0	外接RTC 震盪器引腳
PSDI	i	s	0	0	OTP讀/寫介面SDI引腳
PT3.3	i/o	c	x	0	數位輸入/輸出引腳
AI3	a	a	0	1	類比輸入引腳
RTCO	a	a	x	0	外接RTC 震盪器引腳
PSDO	o	c	1	0	OTP讀/寫介面SDO引腳
PT3.4	i/o	c	x	0	數位輸入/輸出引腳
AI4	a	a	0	1	類比輸入引腳
SCL	i/o	s	x	0	I2C 通訊介面引腳
PT3.5	i/o	c	x	0	數位輸入/輸出引腳
AI5	a	a	0	1	類比輸入引腳
SDA	i/o	s	x	0	I2C 通訊介面引腳

表 6-5 PORT3 功能

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

6.4.1. 暫存器說明-PORT3

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
079h	PT3	-	-	PT35	PT34	PT33	PT32	PT31	PT30	..xx xxxx	..xx xxxx
07Ah	TRISC3	-	-	TC35	TC34	TC33	TC32	TC31	TC30	..00 0000	..uu uuuu
07Bh	PT3DA	-	-	DA35	DA34	DA33	DA32	DA31	DA30	..00 0000	..uu uuuu
07Ch	PT3PU	-	-	PU35	PU34	PU33	PU32	PU31	PU30	..00 0000	..uu uuuu

表 6-6 PORT3 控制暫存器

PT3 : PORT3 狀態控制暫存器

PT3.x : 外部引腳控制位元 ($0 \leq x \leq 5$)

1 : 高電位。

0 : 低電位。

TRISC3 : 輸入/輸出控制暫存器

TC3.x : 外部引腳輸入或輸出控制位元 ($0 \leq x \leq 5$)

1 : 輸出。

0 : 輸入。

PT3DA : 數位或類比輸入控制暫存器

DA3.x : 外部引腳輸入類比或數位信號控制位元 ($0 \leq x \leq 5$)

1 : 類比。

0 : 數位。

PT3PU : 上拉電阻控制暫存器

PU3.x : 外部引腳上拉電阻控制位元 ($0 \leq x \leq 5$)

1 : 啓用。

0 : 關閉。

7. 看門狗, Watch Dog

看門狗 WDT 為顧名思義的為晶片的看守者，主要用於產生喚醒事件。

- ◆ 運行模式
 - 看門狗計數器溢位產生復位信號，重新啟動晶片
 - 可用軟體清歸零時器
- ◆ 休眠模式
 - 看門狗 WDT 關閉，無法使用
- ◆ 待機模式
 - 看門狗計數器溢位產生中斷事件，喚醒晶片

WDT 相關暫存器摘要：

TMACN	ENWDT[0], WDTS[2:0]
PSTATUS	TO[0]
INTF	WDTIF[0]
INTE	WDTIE[0]

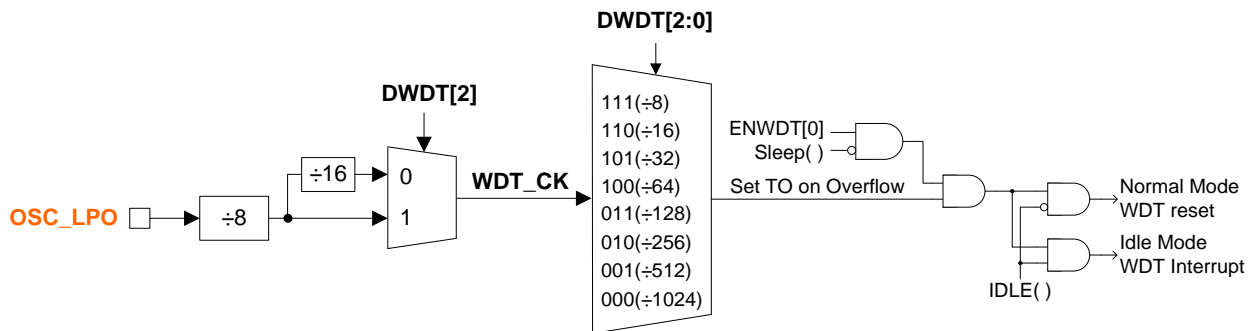


圖 7-1 看門狗方塊圖

7.1. WDT 使用說明

7.1.1. WDT 初始化設置

WDT計時控制器DWDT[2:0]可決定WDT計數器的工作頻率WDT_CK與溢位，計數器溢位後可產生WDT復位信號TO或中斷事件WDTIF⁴。

7.1.2. WDT 中斷事件服務

WDT 中斷事件只能操作在晶片處於待機模式，當 WDTIE[0]與 GIE[0]設置<1>時 WDT 計數器溢位後會產生中斷事件將 WDTIF[0]置<1>且程式計數器 PC 跳至中斷向量位置<0>x0004h。反之，WDTIE[0]與 GIE[0]設置<0>時不會產生任何中斷。

7.1.3. WDT 啓用

WDT 必須在晶片處於運行模式下啓用，即是將 WDT 啓用控制器 ENWDT[0]設置<1>以啓用 WDT。啓用後即無法用軟件再將 ENWDT[0]設置<0>，但當 WDT 使用

⁴ WDT 使用內部時脈源 LPO，故可操作在晶片處於運行 Normal Mode 與待機 Idle Mode 模式。運行模式下可用軟體歸零計數器使之不會因計數終了而復位晶片，但在待機模式下則無法透過任何方式使 WDT 計時器歸零。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



於待機模式時，若發生 WDT 計數結束產生喚醒的中斷事件後硬體會自動將 ENWDT[0]置<0>。

DWDT[2:0]設定後，當發生 WDT 重置或中斷，DWDT 將會被清除為 000b，需要軟體重新再設定。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

7.2. 暫存器說明-WDT

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
023h	INTE0	GIE	ADIE	-	WDTIE	TB1IE	TMAIE	-	E0IE	0000 0000	0uuu uuuu
026h	INTF0	-			WDTIF					.000 0000	.uuu uuuu
02Ch	PSTATUS	POR	PD	TO	IDL	RST	SKERR	-	-	\$000 \$00.	uu\$u u\$u.
037h	WDTCN					ENWDT			DWDT[2:0]	0000 0000	uuuu \$000

表 7-1 WDT 控制暫存器

INTE0/INTF0 : 詳見 *中斷,Interrupt* 章節

PSTATUS : 詳見 *復位,RESET* 章節

TMACN : 計時/計數器 A 控制暫存器

ENWDT : WDT 啟用控制器

1 : 啟用

0 : 關閉 ; (無法軟件設置<0>)

DWDT[2] : 看門狗 WDT_CK 工作頻率選擇器

<1>LPO \div 8

<0>LPO \div 128, (LPO \div 8 \div 16)

DWDT[2:0] : 計數溢位頻率

<111>WDT_CK \div 8, (LPO \div 8 \div 8)

<110>WDT_CK \div 16, (LPO \div 8 \div 16)

<101>WDT_CK \div 32, (LPO \div 8 \div 32)

<100>WDT_CK \div 64, (LPO \div 8 \div 64)

<011>WDT_CK \div 128, (LPO \div 8 \div 16 \div 128)

<010>WDT_CK \div 256, (LPO \div 8 \div 16 \div 256)

<001>WDT_CK \div 512, (LPO \div 8 \div 16 \div 512)

<000>WDT_CK \div 1024, (LPO \div 8 \div 16 \div 1024)

8. 計數器 A, Timer-A

計數器 A 為 8-bit 的設計架構，TMA 可工作於運行模式與待機模式。

- ◆ 遞增型計數器
- ◆ 四段溢位數值選擇
- ◆ 溢位產生中斷事件
- ◆ 可讀取計數器的值

TMA 暫存器摘要：

TMACN ENTMA[0], TMACK[0], TMAS[1:0]

TMAR TMAR[7:0]

INTE0 TMAIE[0]

INTF0 TMAIF[0]

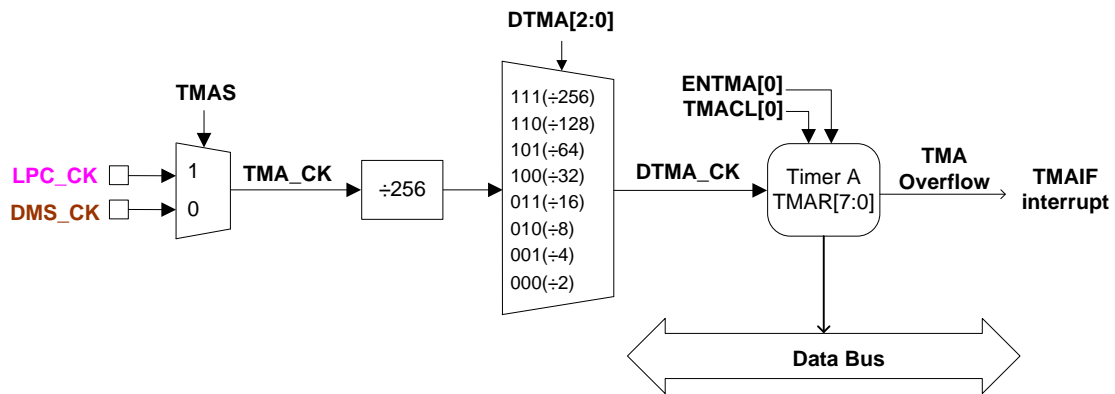


圖 8-1 計數器 A 方塊圖

- ◆ 操作說明：

設置 TMAS[0] 選擇 TMA_CK 的頻率，並經過預除頻器 256 降低頻率再輸入 DTMA 除頻器。

將 ENTMA[0] 設置 <1> 啓用 TMA；反之，設置 <0> 則關閉並清除 TMAR[7:0]。

DTMA[2:0] 計數條件成立產生中斷事件，並使得 TMAR[7:0] 累進加 1。

TMA 中斷事件 TMAIF[0] 必須在 TMAIE[0] 設置 <1> 且 GIE[0] 設置 <1> 才有中斷服務。

讀取 TMAR[7:0] 不會使得 TMA 計數器歸零。

使用者將 TMACL[0] 設置 <1> 清除 TMA 所有計數器後，TMACL[0] 自動置 <0>。

TMAR[7:0] 可讀取 TMA 累進計數器的數值，並可以以寫入動作清除 TMAR[7:0] 計數數值。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller

8.1. 暫存器說明-TMA

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
023h	INTE0	GIE		-			TMAIE	-		0000 0000	0uuu uuuu
026h	INTF0	-		-			TMAIF	-		.000 0000	.uuu uuuu
02Ch	PSTATUS			TO				-	-	\$000 \$00.	uu\$u u\$.
034h	OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]			CUPS	0000 0000	uuuu uuuu
035h	OSCCN1	LCPS[1:0]								0000 0000	uuuu uu.
036h	OSCCN2	ENRTC	-	XTS[1:0]		HAOM[1:0]		ENHAO	LPO	.000 0011	.uuu uu11
038h	TMACN	ENTMA	TMACL	TMAS	DTMA[2:0]			-	-	0000 00..	u0uu uu..
039h	TMAR	TMA counter Register								0000 0000	uuuu uuuu

表 8-1 TMA 控制暫存器

INTE0/INTF0 : 詳見 *中斷, Interrupt* 章節

TMACN : 計數器 A 控制暫存器

ENTMA : Timer-A 啟用控制器

1 : 啟用

0 : 關閉 ; 計數器歸零

TMACL[0] : TMA 計數器歸零

<1>TMA 清除計數器, 然後自動歸零。

<0>TMA 計數。

TMAS[0] : TMA 工作頻率選擇器

<1>LPC_CK

<0>DMS_CK

DTMA[2:0]啟用與關閉控制器

<111>TMA_CK \div 256

<110>TMA_CK \div 128

<101>TMA_CK \div 64

<100>TMA_CK \div 32

<011>TMA_CK \div 16

<010>TMA_CK \div 8

<001>TMA_CK \div 4

<000>TMA_CK \div 2

TMAR : TMA 的遞增型計數器, 可讀取不可寫入。

9. 16-bit 計數器 B, TMB (16-bit TimerB)

計數器 B (以下簡稱 TMB)，TMB 具有兩個 PWM 輸出，分別為 PWMA0/1。而每個 TMB 具有四種操作模式，每個模式的計數器皆具有特殊功能設計，以滿足不同的應用方式。

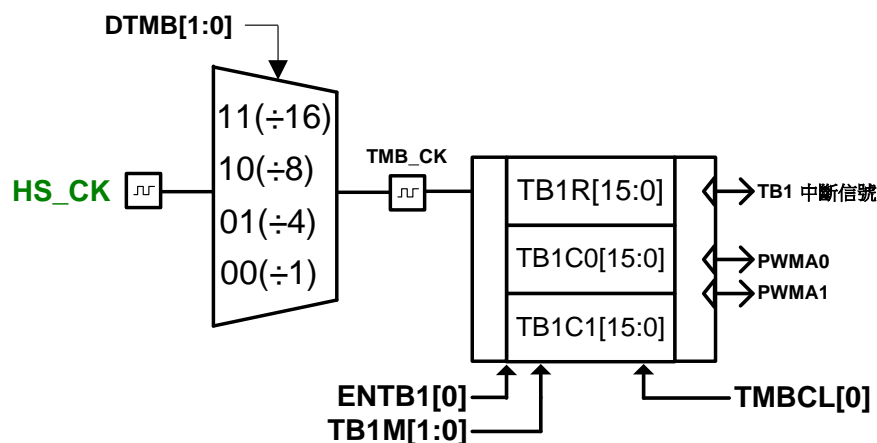


圖 9-1 計數器架構圖

- ◆ TMB 的計數暫存器分別為
 - 遞增/遞減式計數器 TB1R[15:0] (此為硬體計數器，不可讀寫)
 - 溢位事件條件控制器 TB1C0[15:0]
 - PWMA 條件控制器 TB1C1[15:0]
 - 啟用控制器 ENTB1[0]
 - 模式控制器 TB1M[1:0]
 - 歸零控制器 TB1CL[0]
 - 工作頻率預除頻器 DTMB[1:0]
- ◆ TMB 四種計數模式
 - 16-bit 計數、16bitPWM
 - 16bit pulse generator mode
 - 兩組 8-bit PWM mode
 - 8+8-bit PWM mode
- ◆ TMB 的系統功耗操作
 - 運行模式
 - 待機模式
- ◆ TB1R[15:0]歸零重新計數條件
 - 讀取 TMB 相關暫存器，不會使得 TB1R[15:0]歸零重新計數
 - 寫入 TB1C0[15:0]與 TB1C1[15:0] 不會使得 TB1R[15:0]歸零重新計數
 - 寫入 TB1CN0 控制暫存器不會使得 TB1R[15:0]歸零重新計數
 - TB1R[15:0]採累進計數至大於 TB1C0[15:0]將使得 TB1R[15:0]歸零重新計數
 - 使用者將 TB1CL[0]設置<1>清除 TB1R[15:0]計數器後，TB1CL[0]自動置<0>

9.1. TMB 四種計數模式

9.1.1. 16-bit 計數器

將計數模式選擇器 TB1M[1:0]設置<00>使得 TMB 操作在 16-bit 計數模式下，在此模式下具有以下特性：

- ◆ TB1R[15:0]累進計數至等於 TB1C0[15:0]時，產生溢位事件 TMBIF[0]並將 TB1R[15:0]歸零重新計數。
- ◆ TB1R[15:0]累進計數至等於 TB1C1[15:0]時，PWM 輸出轉態。當 TB1R[15:0]累進計數繼續計數至 TB1C0[15:0]時 PWM 輸出再次轉態。

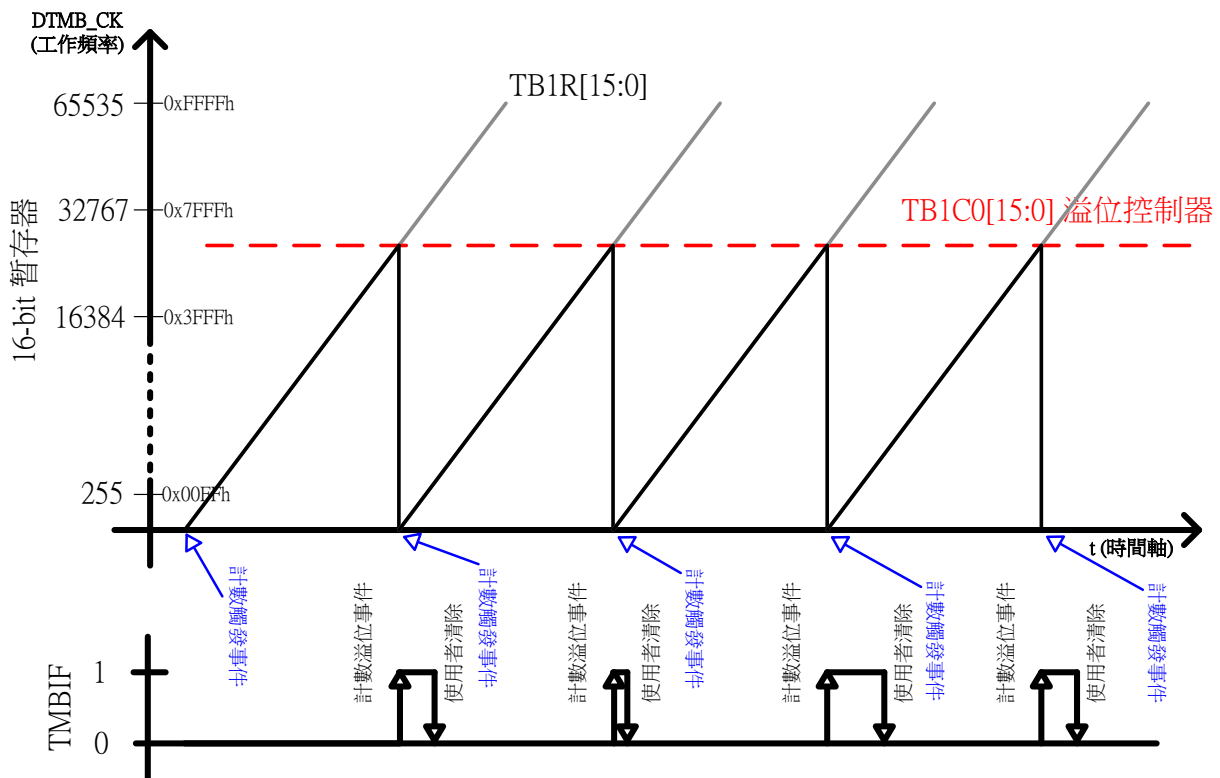


圖 9-2 16-bit 計數器波形與使用示意圖

◆ 16-bit 計數模式操作說明

■ 初始化

- TMB 的工作頻率源固定為 HAO，設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 計數器。
- 寫入計數值至 TB1C0[15:0] (TB1C0H*256+TB1C0L)。

■ 觸發計數信號為總是啓用狀態 (Always Enable)，即循環計數。

■ 將 ENTMB[0]設置<1>以啓用計數器

- 當 TB1R[15:0]計數數值至等於 TB1C0[15:0]時，產生溢位事件使得 TMBIF[0]置<1>並歸零重新遞增計數，此時 GIE[0]、TMBIE[0]均設置<1>則會產生中斷事件服務。
- 計數過程，使用者可利用計數歸零控制器 TMBCL[0]設置<1>以重新計數，且 TMBCL[0]自動置<0>。

■ 將 ENTMB[0]設置<0>以關閉計數器。

◆ 16bit PWM 輸出操作說明

■ 初始化 (PWM 頻率與工作週期設置)

- TMB 的工作頻率源固定為 HAO，可設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<00>，將 TMB 規劃為 16-bit 模式。
- 觸發計數信號為總是啓用狀態 (Always Enable)，即循環計數。
- 寫入數據至 TB1C0[15:0] (TB1C0H*256+TB1C0L)，以決定 PWM 之頻率。
- 寫入數據至 TB1C1[15:0] (TB1C1H*256+TB1C1L)，以決定 PWM 之工作週期(Duty Cycle)。
- 將 ENTMB[0]設置<1>啓用計數器。

■ 產生 PWM0 波形

- 當 TB1R[7:0]計數數值至等於 TB1C1[15:0]時，使得 PWM0 狀態由 0→1。
- 當 TB1R[7:0]再計數數值至等於 TB1C0[15:0]時，使得 PWM0 狀態由 1→0；並產生溢位事件使得 TMBIF[0]置<1>並歸零重新遞增計數，此時 GIE[0]、TMBIE[0]均設置<1>則會產生中斷事件服務。
- 設置將輸出 PWM 波形之引腳為輸出狀態，且 ENPWM0 設置<1>以啓用輸出為 PWM 功能，並確認引腳相關設置是否正確。

■ 將 ENTMB[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM0 頻率與工作週期計算公式：

$$\text{PWM0 Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0}[15:0] + 1}$$

$$\text{PWM0 Duty Cycle} = \frac{(\text{TB1C0}[15:0] + 1) - \text{TB1C1}[15:0]}{\text{TB1C0}[15:0] + 1}$$

9.1.2. 16bit 脈波產生模式

將計數模式選擇器 TB1M[1:0]設置<01>使得 TMB 操作在 16-bit 脈波產生模式下，其產生脈波數量為 (TB1C1H*256+TB1C1L)。

脈波產生結束後，TMB 會自動關閉。如欲脈波產生結束後發出中斷，請將(TB1C0H*256+TB1C0L)設置與(TB1C1H*256+TB1C1L)相同。



圖 9-3 16 bit 脈波產生波形與使用示意圖

9.1.3. 兩組 8-bit PWM 模式

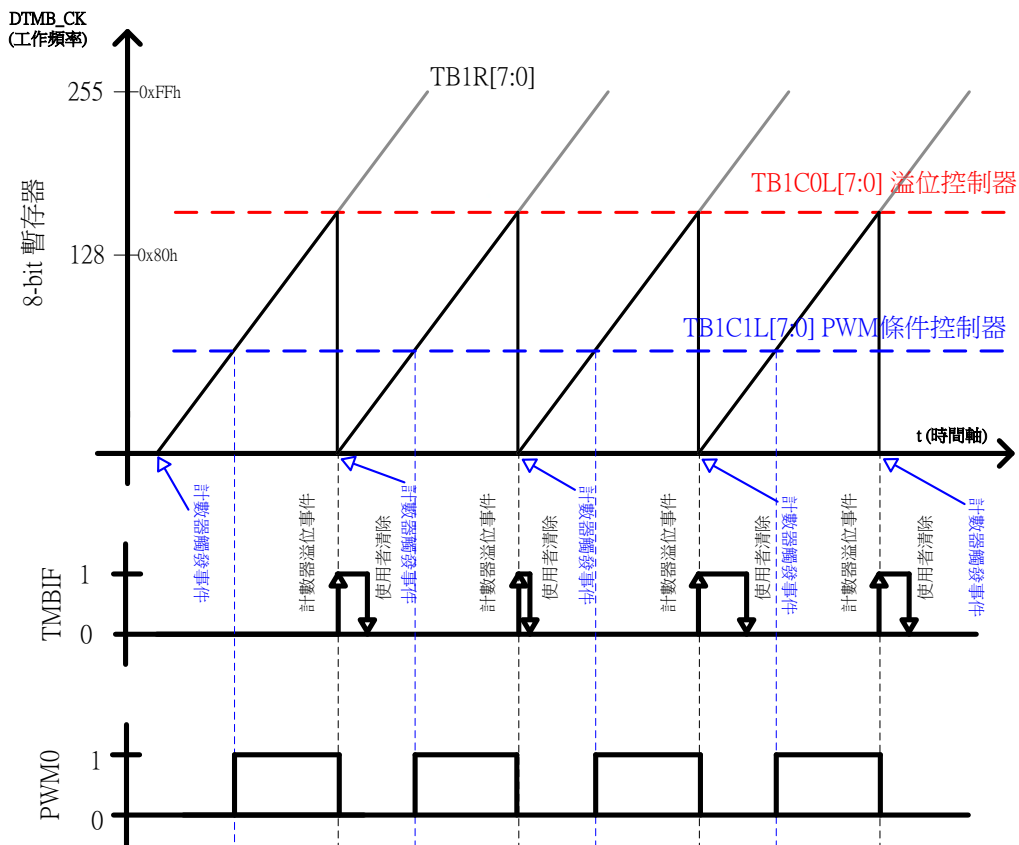
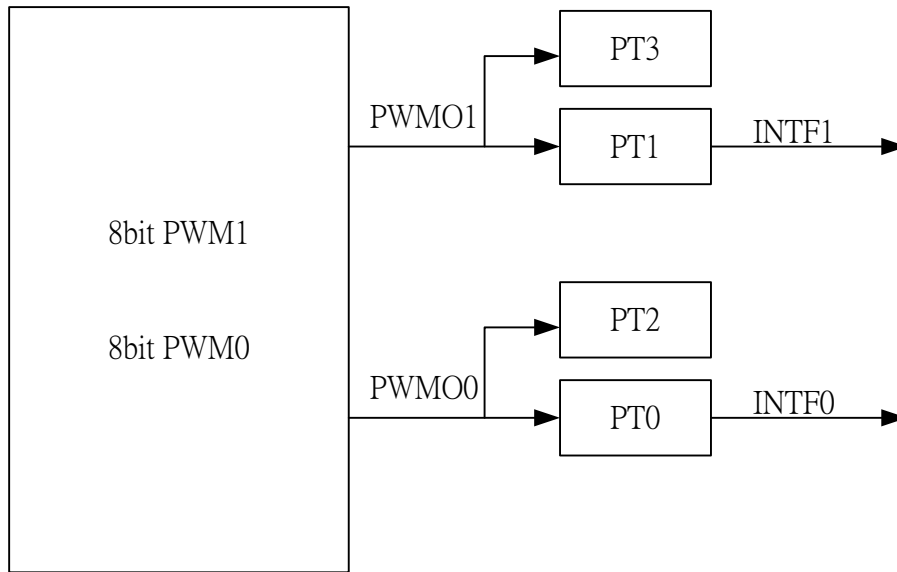


圖 9-4 PWM1 波形與使用示意圖

◆ PWM0 輸出操作說明

■ 初始化 (PWM 頻率與工作週期設置)

- TMB 的工作頻率源固定為 HAO，可設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器。
- 觸發計數信號為總是啓用狀態 (Always Enable)，即循環計數。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

- 寫入數據至 TB1C0L[7:0]，以決定 PWM 之頻率。
- 寫入數據至 TB1C1L[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
- 將 ENTMB[0]設置<1>啓用計數器。

■ 產生 PWM0 波形

- 當 TB1R[7:0]計數數值至等於 TB1C1L[7:0]時，使得 PWM0 狀態由 0→1。
- 當 TB1R[7:0]再計數數值至等於 TB1C0L[7:0]時，使得 PWM0 狀態由 1→0；並產生溢位事件使得 TMBIF[0]置<1>並歸零重新遞增計數，此時 GIE[0]、TMBIE[0]均設置<1>則會產生中斷事件服務。
- 設置將輸出 PWM 波形之引腳為輸出狀態，且 ENPWM0/1[0]設置<1>以啓用輸出為 PWM 功能，並確認引腳相關設置是否正確。

■ 將 ENTMB[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM0 頻率與工作週期計算公式：

$$\text{PWM0 Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0L}[7:0] + 1}$$

$$\text{PWM0 Duty Cycle} = \frac{(\text{TB1C0L}[7:0] + 1) - \text{TB1C1L}[7:0]}{\text{TB1C0L}[7:0] + 1}$$

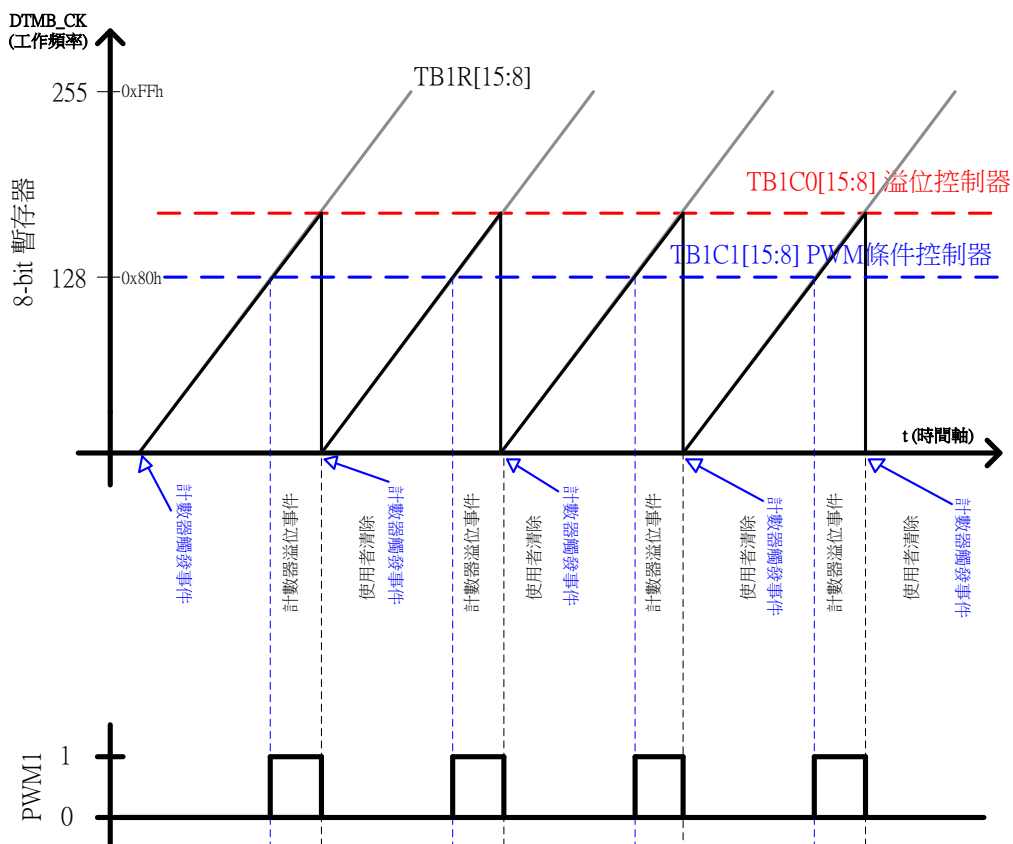


圖 9-5 PWM1 波形與使用示意圖

◆ PWM1 輸出操作說明

- 初始化 (PWM 頻率與工作週期設置)

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



- TMB 的工作頻率源固定為 HAO，可設置 DTMB[1:0]以決定 TMB 工作頻率。
 - TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器。
 - 觸發計數信號為總是啓用狀態 (Always Enable)，即循環計數。
 - 寫入數據至 TB1C0H[7:0]，以決定 PWM 之頻率。
 - 寫入數據至 TB1C1H[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
 - 將 ENTMB[0]設置<1>啓用計數器。
- 產生 PWM1 波形
- 當 TB1R[15:8]計數數值至等於 TB1C1H[15:8]時，使得 PWM0 狀態由 0→1。
 - 當 TB1R[15:8]再計數數值至等於 TB1C0H[15:8]時，使得 PWM0 狀態由 1→0；並產生溢位事件使得 TMBIF[0]置<1>並歸零重新遞增計數。
 - 設置將輸出 PWM 波形之引腳為輸出狀態，且 ENPWM0/1[0]設置<1>以啓用輸出為 PWM 功能，並確認引腳相關設置是否正確。
- 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。
- PWM1 頻率與工作週期計算公式：

$$\text{PWM1 Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0H}[15:8] + 1}$$

$$\text{PWM1 Duty Cycle} = \frac{(\text{TB1C0H}[15:8] + 1) - \text{TB1C1H}[15:8]}{\text{TB1C0H}[15:8] + 1}$$

9.1.4. 8+8-bit PWM

將 TMB 計數器設置在 8+8-bit 模式且 PWM 輸出波形選擇 8+8-BIT PWM，則可得到 8+8bit PWM 輸出。

8+8-bit PWM 由 TB1R[7:0]、TB1C0L[7:0]、TB1C1L[7:0]與 TB1C1H[15:8]等控制暫存器以及內部數位電路組成。其中 TB1R[7:0]為累進計數器、TB1C0L[7:0]為 PWM 頻率控制器、TB1C1L[7:0]為 PWM 工作週期控制器、TB1C1H[15:8]為 8+8-bit PWM 工作週期微調器。

8+8-bit PWM 工作週期微調器 TB1C1H[15:8]設置與說明，如 所示。

加權量	TB1C1H[15:8]							
	80h	40h	20h	10h	08h	04h	02h	01h
PWM 工作週期(duty cycle)微調	1/2	1/4	1/8	1/16	1/32	1/64	1/128	1/256
說明	2 次 TMB 溢位，一次 N+1 1 次 N	4 次 TMB 溢位，一次 N+1 3 次 N	8 次 TMB 溢位，一次 N+1 7 次 N	16 次 TMB 溢位，一次 N+1 15 次 N	32 次 TMB 溢位，一次 N+1 31 次 N	64 次 TMB 溢位，一次 N+1 63 次 N	128 次 TMB 溢位，一次 N+1 127 次 N	256 次 TMB 溢位，一次 N+1 255 次 N

表 9-1 工作週期微調器設置表

◆ 工作週期微調器 TB1C2[7:0]說明，其中 N 為工作週期的寬度（註：N =TB1C1L[7:0]）

■ 基本型

- TB1C1H[15:8]設置 80h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 2 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 40h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 4 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 3 個則為 N。
- TB1C1H[15:8]設置 20h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 8 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 7 個則為 N。
- TB1C1H[15:8]設置 10h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 16 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 15 個則為 N。
- TB1C1H[15:8]設置 08h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 32 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 31 個則為 N。
- TB1C1H[15:8]設置 04h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 64 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 63 個則為 N。
- TB1C1H[15:8]設置 02h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 128 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 127 個則為 N。

- TB1C1H[15:8]設置 01h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 256 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 255 個則為 N。

■ 邏輯運算 OR 疊合型

(僅以 $1/2+1/4, 1/2+1/8, \dots, 1/2+1/4+1/8+1/16+1/32+1/64+1/128, 1/2+1/4+1/8+1/16+1/32+1/64+1/256$ 說明與表示)

- TB1C1H[15:8]設置 C0h($1/2+1/4$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 4 個輸出週期為一組的波形，其中會有 3 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 A0h($1/2+1/8$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 8 個輸出週期為一組的波形，其中會有 5 個輸出 N+1 另 3 個則為 N。
- TB1C1H[15:8]設置 90h($1/2+1/16$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 16 個輸出週期為一組的波形，其中會有 9 個輸出 N+1 另 7 個則為 N。
- TB1C1H[15:8]設置 88h($1/2+1/32$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 32 個輸出週期為一組的波形，其中會有 17 個輸出 N+1 另 15 個則為 N。
- TB1C1H[15:8]設置 84h($1/2+1/64$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 64 個輸出週期為一組的波形，其中會有 33 個輸出 N+1 另 31 個則為 N。
- TB1C1H[15:8]設置 82h($1/2+1/128$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 128 個輸出週期為一組的波形，其中會有 65 個輸出 N+1 另 63 個則為 N。
- TB1C1H[15:8]設置 81h($1/2+1/256$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 256 個輸出週期為一組的波形，其中會有 129 個輸出 N+1 另 127 個則為 N。
- TB1C1H[15:8]設置 E0h($1/2+1/4+1/8$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 8 個輸出週期為一組的波形，其中會有 7 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 F0h($1/2+1/4+1/8+1/16$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 16 個輸出週期為一組的波形，其中會有 15 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 F8h($1/2+1/4+1/8+1/16+1/32$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 32 個輸出週期為一組的波形，其中會有 31 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 FCh($1/2+1/4+1/8+1/16+1/32+1/64$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 64 個輸出週期為一組的波形，其中會有 63 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 FEh($1/2+1/4+1/8+1/16+1/32+1/64+1/128$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 128 個輸出週期為一組的波形，其中會有 127 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 FFh($1/2+1/4+1/8+1/16+1/32+1/64+1/128+1/256$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 256 個輸出週期為一組的波形，其中會有 255 個輸出 N+1 另 1 個則為 N。

- ◆ 下表 9-2、圖 9-6 與部分列出 TB1C1H[15:8]在不同設置下，8+8-bit PWM 波形變化以供使用者參考。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



8+8bit PWM			TBN 溢位次數																			
型態	TBC2 [7:0]	邏輯 運算	0	1	2	3	4	5	6	7	8	9	10	~	1	1	~	2	2	2	2	
																2	2	~	5	5	5	5
基本 波形	80h	1/2	N	N+1	N	N+1	N	N+1	N	N+1	N	N+1	N	~	N+1	N	~	N	N+1	N	N+1	
	40h	1/4	N	N	N+1	N	N	N	N+1	N	N	N	N+1	~	N	N	~	N	N	N+1	N	
	20h	1/8	N	N	N	N	N+1	N	N	N	N	N	N	~	N	N	~	N+1	N	N	N	
	10h	1/16	N	N	N	N	N	N	N	N	N	N+1	N	N	~	N	N	~	N	N	N	N
	08h	1/32	N	N	N	N	N	N	N	N	N	N	N	N	~	N	N	~	N	N	N	N
	04h	1/64	N	N	N	N	N	N	N	N	N	N	N	N	~	N	N	~	N	N	N	N
	02h	1/128	N	N	N	N	N	N	N	N	N	N	N	N	~	N	N	~	N	N	N	N
01h	1/256	N	N	N	N	N	N	N	N	N	N	N	N	~	N	N+1	~	N	N	N	N	
邏輯 運算 疊 何 形	C0h	3/4	N	N+1	N+1	N+1	N	N+1	N+1	N+1	N	N+1	N+1	~	N+1	N	~	N	N+1	N+1	N+1	
	A0h	5/8	N	N+1	N	N+1	N+1	N+1	N	N+1	N	N+1	N	~	N+1	N	~	N+1	N+1	N	N+1	
	E0h	7/8	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N	N+1	N	~	N+1	N	~	N+1	N+1	N+1	N+1	
	F0h	15/16	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N	~	N+1	N	~	N+1	N+1	N+1	N+1	
	A1h	161/256	N	N+1	N	N+1	N+1	N+1	N	N+1	N	N+1	N	~	N+1	N+1	~	N+1	N+1	N	N+1	
	F1h	241/256	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N	~	N+1	N+1	~	N+1	N+1	N+1	N+1	
	FFh	255/256	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	~	N+1	N+1	~	N+1	N+1	N+1	N+1	

表 9-2 8+8-bit PWM 輸出波形示意表

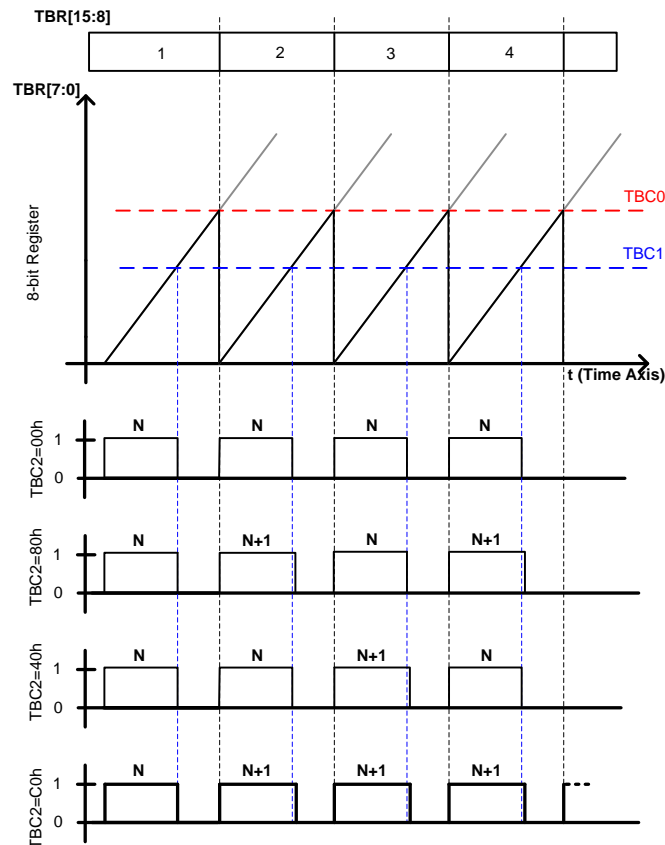


圖 9-6 8+8-bit PWM 輸出波形示意圖

◆ 8+8-bit PWM 輸出操作說明

■ 初始化 (PWM 頻率與工作週期設置)

- TMB 的工作頻率源固定為 HAO，可設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<11>，將 TMB1 規劃為 8+8-bit 計數器。
- 觸發計數信號為總是啟用狀態 (Always Enable)，即循環計數。
- 寫入數據至 TB1C0L[7:0]，以決定 PWM 之頻率。
- 寫入數據至 TB1C1L[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
- 寫入數據至 TB1C1H[15:8]，以決定 PWM 之工作週期(Duty Cycle)微調方式。
- 將 ENTMB[0]設置<1>啟用計數器。

■ 產生 8+8-BIT PWM 波形

- 當 TB1R[7:0]計數數值至等於 TB1C0L[7:0]時，使得 8+8-BIT PWM 狀態由 0→1。
- 當 TB1R[7:0]再計數數值至等於 TB1C1L[7:0]時，使得 8+8-BIT PWM 狀態由 1→0；
 - ✓ 並產生溢位事件使得 TMBIF[0]置<1>並歸零重新遞增計數，此時 GIE[0]、TMBIE[0]均設置<1>則會產生中斷事件服務
 - ✓ 此時，TB1C1H[7:0]所設置的數據，將使調整 8+8-BIT PWM 輸出為 N+1 與 N。如表 9-1 所描述，其中 N=TB1C1L[7:0]
- 設置將輸出 PWM 波形之引腳為輸出狀態，且 ENPWM0/1[0]設置<1>以啟用輸出為 PWM 功能，並確認引腳相關設置是否正確。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

- 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。
- 8+8-BIT PWM 頻率與工作週期計算公式：

$$\text{PWM Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0L}[7:0] + 1}$$

$$\text{PWM Duty Cycle} = \frac{(\text{TB1C1L}[7:0] + 1) + \frac{\text{TB1C1H}[15:8]}{256}}{\text{TB1C0L}[7:0] + 1}$$

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



9.2. TMB1 控制暫存器列表與說明

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
58H	TB1CN0	ENTMB	TB1M[1:0]		DTMB[1:0]		-	-	TMBCL	0000 0000	** ** *
59H	TB1C0L	TimerB1 counter Condition Register0 [7:0]								xxxx xxxx	** ** *
5AH	TB1C0H	TimerB1 counter Condition Register0 [15:8]								xxxx xxxx	** ** *
5BH	TB1C1L	TimerB1 counter Condition Register1 [7:0]								xxxx xxxx	** ** *
5CH	TB1C1H	TimerB1 counter Condition Register1 [15:8]								xxxx xxxx	** ** *

表 9-3 TMB1/2/3 相關暫存器

INTE0/INTF0 : 詳見 中斷, Interrupt 章節

TB1CN0 : Timer-B 控制暫存器

位元	名稱	描述
Bit7	ENTMB	Timer-B 啟用控制器 <1>啟用 <0>關閉；計數器歸零
Bit6~5	TB1M[1:0]	選擇 TMB 的操作模式 <00>16bit counter mode. TMB_CLK/(TBC0H*256+TBC0L)發生週期性的中斷 <01>16bit pulse generator mode. 產生 Pulse 數量為(TB1C1H*256+TB1C1L) <10>dual 8-bit PWM mode. PWMO0 Duty 為 TB1C1L/TB1C0L PWMO1 Duty 為 TB1C1H/TB1C0H <11>8+8bit PWM mode.輸出 Duty 為 TB1C1L/TB1C0L+TB1C1H/256。
Bit4~3	DTMB	DTMB_CK 的頻率分配選擇 <00>TMB clock=HS(default) <01>TMB clock=HS/4 <10>TMB clock=HS/8 <11>TMB clock=HS/16
Bit0	TMBCL	TMB 計數器歸零 <1>計數器歸零，當寫 1 責清除 TMBR 及 Pre-counter，自動恢復為 0 <0>TMB 計數

TB1C0RH : TMB1 計數條件暫存器 TB1C0[15:8]

TB1C0RL : TMB1 計數條件暫存器 TB1C0 [7:0]

TB1C1RH : TMB1 計數條件暫存器 TB1C1[15:8]

TB1C1RL : TMB1 計數條件暫存器 TB1C1 [7:0]

10. 電源系統, Power System

電源系統 PWR 具備一個線性穩壓電源 VDDA 以及類比電路共地電源 ACM，其提供晶片類比週邊電路使用並可適當的用來驅動外部電路。

- ◆ VDDA 線性穩壓電源
 - 4 段電壓調整設計
 - 四種操作模式
 - 外部偏壓電壓設計
 - 低溫飄係數
- ◆ ACM 內部類比電路共地電源
 - 輸出電壓 1.2V
 - 低溫飄係數

PWR 暫存器摘要：

PWRCN ENLDO[1:0], VDDAX[1:0]

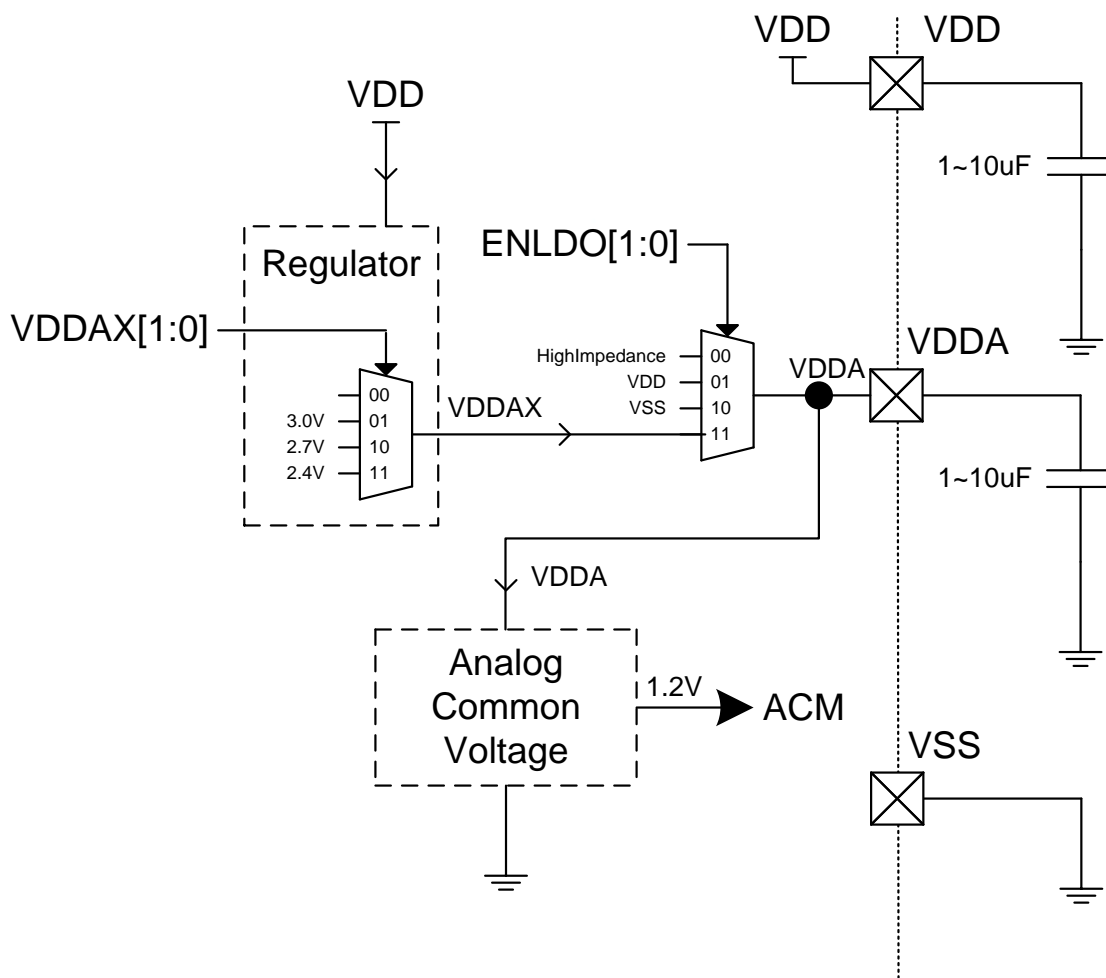


圖 10-1 Power System 方塊圖

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC
8-Bit RISC-like Mixed Signal Microcontroller

10.1. VDDA 使用說明

10.1.1. VDDA 初始化設置：

穩壓選擇器 VDDAX[1:0]可設置 VDDA 引腳輸出的電壓計有 3.0V、2.7V 與 2.4V。由於 VDDA 為一線性穩壓電源，使用時必須注意 VDD 工作電壓的電壓值是否低於 VDDA 輸出電壓的設定值以免造成不可預期的電路誤動作。

10.1.2. VDDA 使用外部偏壓：

VDDA 可採用外部輸入電壓設計，當使用者欲自行提供電壓源則必須由 VDDA 引腳外灌電壓方式輸入。採用此方式時必須關閉 VDDA，即 ENLDO[1:0]設置 00。必須注意，此使用方式可能會影響類比電路的效能故需謹慎。

10.1.3. VDDA 啓用

ENLDO[1:0]設置<11>則會啓用 VDDA 穩壓器。啓動 VDDA 穩壓器須避免 SD18 處於啓用狀態，而且需要等到 VDDA 電壓穩定後才可以啓用 SD18。當外接 1uF(10uF) 穩壓電容時約需要 500uS(5mS)的穩定時間。

10.2. ACM 使用說明

10.2.1. ACM 初始化設置：

使用內部類比電路共地電源 ACM 時，必須先啓用 VDDA。ACM 內部產生的輸出電壓固定為 1.2V。

10.3. 暫存器說明-PWR

“.”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
033h	PWRCN	ENLDO[1:0]		VDDAX[1:0]			AD1RST	AD2RST	CSFON	0000 0000	uuuu u00u

表 10-1 PWR 暫存器

PWRCN：電源系統控制暫存器

ENLDO [1:0]：內部線性穩壓器啓用與關閉控制器

<11>輸出 VDDA 電壓

<10>關閉 LDO，且輸出拉至 VSS

<01>輸出 VDD 電壓

<00>關閉 LDO，且 VDDA 接腳具高輸入阻抗模式

VDDAX[1:0]：VDDA 穩壓選擇器

11：2.4V

10：2.7V

01：3.0V

11. 類比數位轉換器 SD18, $\Sigma\Delta$ ADC

SD18 為高解析度超取樣和差型類比數位轉換器(Over Sampling Sigma Delta Analog-to-Digital Converter)，具有 24 位元的輸出。其包含多功能的輸入多工器、輸入緩衝器(Input Buffer)與前置低雜訊放大器(PGA, Programmable Gain Amplifier)、 $\Sigma\Delta$ 調變器 ($\Sigma\Delta$ AD, Sigma Delta Modulator)、梳狀濾波器(Comb Filter)等 4 部分。

- ◆ 多功能的輸入多工器
 - 可切換選擇多組不同的輸入通道,單一晶片可做多種量測
 - 輸入通道可做反轉及短路, 消除 ADC 的零點偏移
 - 內置溫度感測電路輸出電壓
- ◆ $\Sigma\Delta$ 調變器
 - 可調整輸入電壓放大倍率, 可選擇倍率為 1/4、1/2、1、2、4、8、16 倍
 - 可選擇參考電壓的倍率為 1 或 1/2
 - 3 位元的直流輸入偏壓設定
 - 可調整調變器的取樣頻率 31.5kHz~250kHz
- ◆ 梳狀濾波器
 - 可調整 OSR(Over Sampling Ratio)= 32~32768, ADC 輸出速率約為 7.81kHz~8Hz(取樣頻率=250kHz)
 - 產生中斷事件

SD18 暫存器摘要：

ADCR[23:0]	ADCRH[7:0], ADCRM[7:0], ADCRL[7:0],
ADCCN1	ENADC[0], ENHIGN[0], ENCHP[0], ADGN[2:0]
ADCCN2	VREGN[0], DCSET[2:0]
ADCCN3	OSR[3:0]
AINET1	INH[2:0], INL[2:0], INIS[0]
AINET2	VRH[1:0], INX[1:0], VRL[1:0]

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

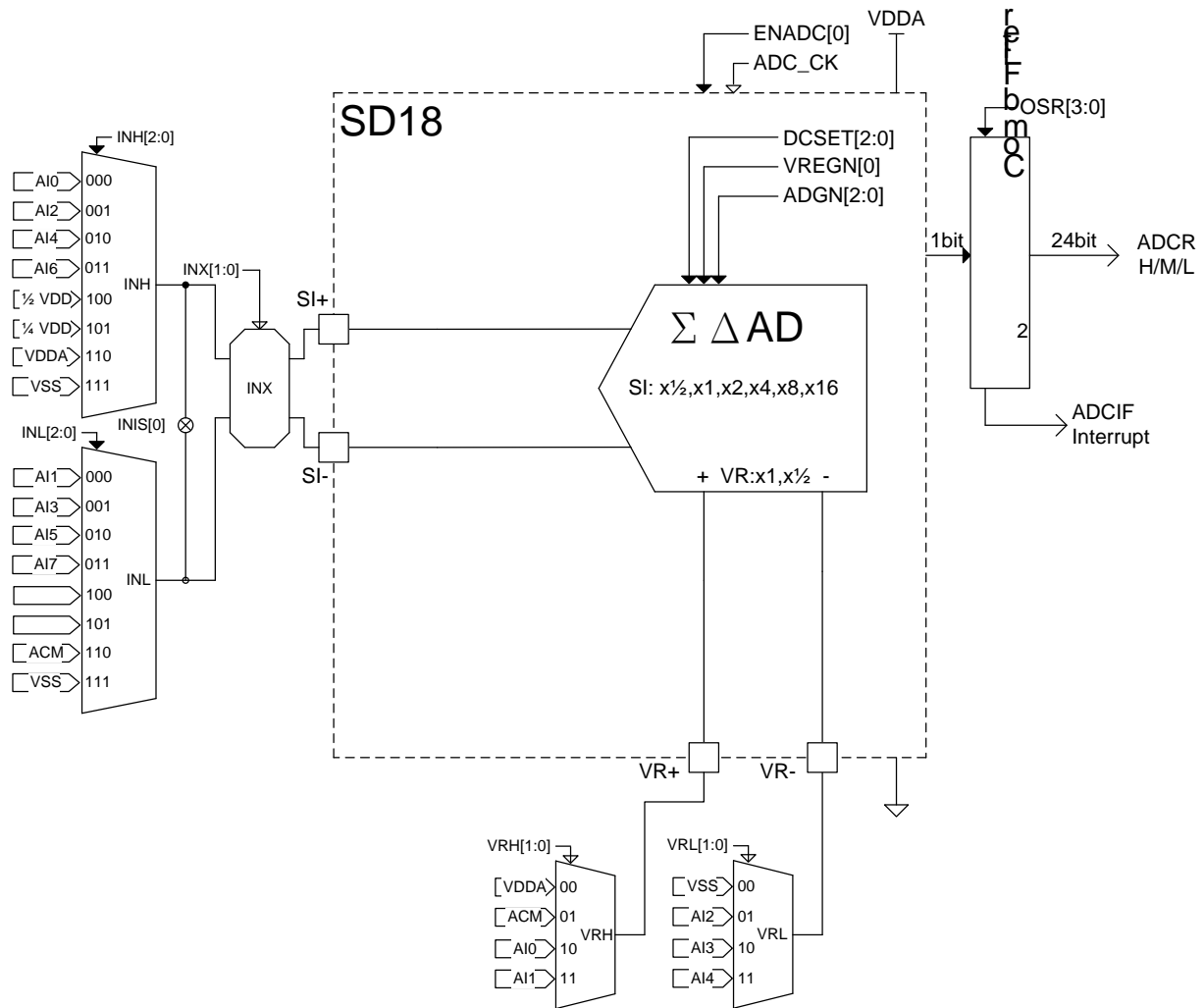


圖 11-1 SD18 方塊圖

11.1. SD18 使用說明

11.1.1. SD18 初始化設置

11.1.1.1. 工作頻率配置方式

SD18 的取樣頻率可經由取樣頻率選擇器 ADCCK[0]設置 SD18 的工作頻率由 DHS_CK 提供，其最高取樣頻率不可大於 300KHz 而最低取樣頻率不可小於為 25KHz。較快的取樣頻率可在相同的輸出速度下得到較好的解析度，但其輸入阻抗也會降低(參考: 11.2 類比通道輸入特性)。當 DHS_CK 頻率超過最大允許值時則必須透過取樣頻率預除頻器 ADCS[2:0]進行頻率調整，如 表 11-1。

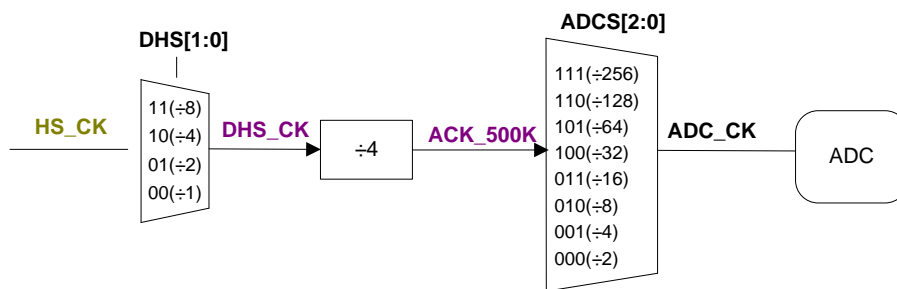


圖 11-2 SD18 工作頻率方塊圖

“-” : SD18 無法操作的工作頻率(單位 : KHz)

設置		ADCS[2:0]							
HS_CK	DHS_CK	000	001	010	011	100	101	110	111
8000	HS_CK/1	-	-	250	125	62.5	31.2	-	-
8000	HS_CK/2	-	250	125	62.5	31.2	-	-	-
4000	HS_CK/1	-	250	125	62.5	31.2	-	-	-
4000	HS_CK/2	250	125	62.5	31.2	-	-	-	-
2000	HS_CK/1	250	125	62.5	31.2	-	-	-	-

表 11-1 SD18 工作頻率設置表

11.1.1.2. 多功能的輸入多工器配置方式

多工能的輸入多工器會產生兩組差動輸出訊號，分別為待測信號 **SI+**、**SI-**與參考電壓 **VR+**、**VR-**兩組。

- ◆ **SI±**輸入信號選擇器 INH[2:0]、INL[2:0]與 **SI±**輸入信號轉置器 INX[1:0]，可將外部輸入信號透過以下路徑分別傳送至 **SI+**或者 **SI-**端，如 圖 11-3 及 表 11-2(a)：
 - A10~A17 引腳經 INH 與 INL 通道
 - LNOP 的輸出信號 OPO
 - 參考電壓源 ACM
- ◆ **VR±**電壓信號選擇器 VRH[1:0]、VRL[1:0]則可決定 SD18 的參考電壓由以下路徑分別傳送至 **VR+**或者 **VR-**端，如 表 11-2(b)。
- A10~A14 引腳經 VRH 與 VRL 通道
- 參考電壓源 ACM
- 工作電壓源 VSS
- ◆ **SI±**輸入信號短路器 INIS[0]設置<1>，可將 INH 與 INL 通道短路。反之，設置<0>則 INH 與 INL 通道不短路。

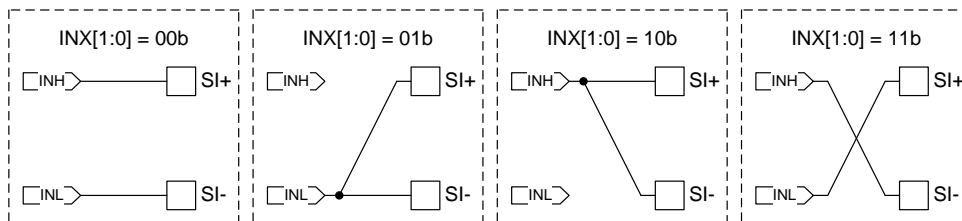


圖 11-3 INX 輸入信號轉置器四種組合方式

待測信號 \ 設置	INH[2:0], INL[2:0]							
	000	001	010	011	100	101	110	111
SI+	A10	A12	A14	A16	VDD/2	VDD/4	VDDA	VSS
SI-	A11	A13	A15	A17			ACM	VSS

表 11-2 (a) SI±輸入選擇器

輸入 \ 設置	VRH[1:0], VRL[1:0]			
	00	01	10	11
VR+	VDDA	ACM	A10	A11
VR-	VSS	A12	A13	A14

表 11-2 (b) VR±輸入選擇器

11.1.1.3. $\Sigma\Delta$ 調變器配置方式

SD18 採用二階的 $\Sigma\Delta$ 調變器，其待測訊號及參考電壓都可經由已下設置進行倍率及偏壓調整。

- ◆ ΔVR_{\pm} 倍率調整器 VREGN[0]設置<1>時，會將參考電壓的信號進行 1/2 倍率的調整也因會改變輸入信號的 $\Delta SI_{\pm} = (SI_{+} - SI_{-})$ 與 $\Delta VR_{\pm} = (VR_{+} - VR_{-})$ 的比值；設置<0>則進行 1 倍調整。
- ◆ 輸入信號經倍率調整器 ADGN[2:0]的設置，最大可達 16 倍的信號放大倍率，如表 11-3(a)。
- ◆ ENCHP[0]設置<0>可讓輸入信號經過截波器 chopper 以降低頻率造成的雜訊 frequency noise，反之 ENCHP[0]設置<1>則輸入信號會繞過 chopper。
- ◆ 輸入信號 SI_{\pm} 透過直流輸入偏壓調整器 DCSET[2:0]，可調整輸入信號零點位置以增加量測範圍。偏壓方式採加權參考信號 VR_{\pm} 的倍率值，如表 11-3(b)。
- ◆ 信號測量時，需注意外部輸入信號阻抗與 ADC 匹配問題。詳細說明請參見 11.2 類比通道輸入特性。

設置 輸入	ADGN[2:0]							
	000	001	010	011	100	101	110	111
AD Gain	-	x1/2	x1	x2	x4	x8	x16	-

表 11-3 (a)ADGN[2:0]放大倍率配置表

設置 輸入	DCSET[2:0]							
	000	001	010	011	100	101	110	111
SI_{\pm}	+0	+1/4	+1/2	+3/4	+0	-1/4	-1/2	-3/4

單位： VR_{\pm}

表 11-3 (b) SI_{\pm} 輸入信號加權參考電壓倍率一覽表

$\Sigma\Delta$ 調變器經前置 PGA 及調變器本身的倍率偏壓調整後，其等效的待測訊號 ΔSI_{-I} 與等效的參考電壓 ΔVR_{-I} 的計算公式分別如下：

式 11-1

$$\Delta SI_{-I} = PGAGN \times ADGN \times \Delta SI_{\pm} + (DCSET \times \Delta VR_{\pm})$$

式 11-2

$$\Delta VR_{-I} = VRGN \times \Delta VR_{\pm}$$

必須注意，為了使 $\Sigma\Delta$ 調變器輸出得到較高的解析度及線性度，故等效的參考電壓 ΔVR_{-I} 建議落在 $\Delta VR_{-I} = 0.8V \sim 1.2V$ ，而等效的待測訊號 ΔSI_{-I} 則操作在 $\Delta SI_{-I} = \pm 0.9 \times \Delta VR_{-I}$ 之間。

11.1.1.4. 梳狀濾波器 Comb Filter 設置方式

$\Sigma\Delta$ 調變器輸出 1-bit 資料至二階梳狀濾波器 Comb Filter，再由 Comb Filter 轉成 24-bit 的數值存放於 ADCR[23:0]暫存器。ADCR[23:0]資料的更新速率即為 SD18 的輸出速率，計算方式為 SD18 取樣頻率與 SD18 輸出速率頻率比值，SD18 輸出速率頻率又稱為 OSR (Over Sampling Ratio)。

所以 SD18 輸出速率為 $ADC_CK \div OSR$ ，而 OSR 數值可透過 OSR[2:0]設置以產生不同的 SD18 輸出轉換頻率，如表 11-3(c)。

設置 ADC_CK	OSR[2:0]										
	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010
250K	7812	3906	1953	976	488	244	122	61	30	15	7
125K	3906	1953	976	488	244	122	61	30	15	7	3

表 11-3 (c) SD18 超取樣頻率配置簡表

ADCR[23:0]分別由 ADCRH[7:0]、ADCRM[7:0]及 ADCRL[7:0]組成，其用於存放 Comb Filter 輸出的 24-bit 資料。Comb Filter 的數據格式組成分如圖 11-4 所示。

+FSR/-FSR：正相與負相最大量測範圍

	等效待測訊號	ADCR[23:0]	
		十六進制	二進制
兩極性輸出 二補數格式	ΔVR_I	7FFFFFF*1	0111-1111-1111-1111-1111-1111
	$\Delta VR_I \times \frac{1}{2^{22}}$	000001	0000-0000-0000-0000-0000-0001
	0	000000	0000-0000 0000-0000 0000-0000
	$-\Delta VR_I \times \frac{1}{2^{22}}$	FFFFFFF	1111-1111-1111-1111-1111-1111
	$-\Delta VR_I$	C00000	1100-0000 0000-0000 0000-0000

表 11-4 ADCR[23:0]與輸入信號關係表

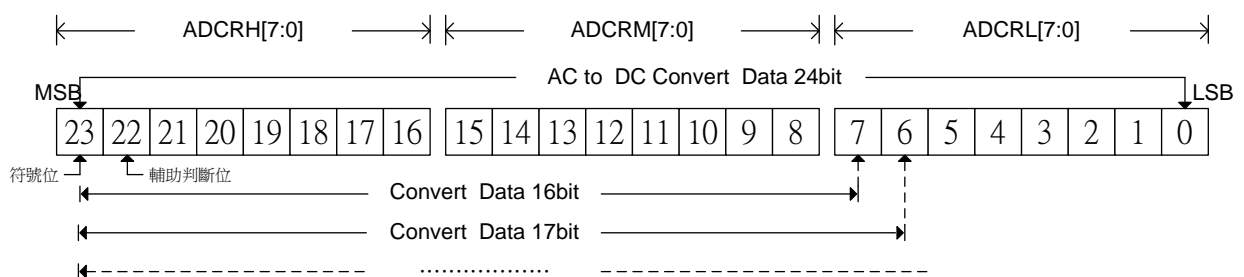


圖 11-4 ADCR[23:0]解析度示意圖

Note: *1. ADCR ΔVR_I 滿刻度為 3FFFFFFh.當 overflow 時為 7FFFFFFh,而非 400000h
即 3FFFFFF +1 -> 7FFFFFF

11.1.2. 中斷服務設置

每當 comb filter 數值轉換完畢存入 ADCR[23:0]暫存器後，會產生中斷事件信號 ADCIF[0]置<1>，此時若需要中斷事件服務需將 ADCIE[0]與 GIE[0]設置<1>。

11.1.3. SD18 的啓用

ENADC[0]設置<1>即可啓用 SD18 進行類比數位轉換。反之當 ENADC[0]設置<0>時 SD18 會關閉。SD18 的電源是使用 VDDA，並使用 ACM 為其內部共模電壓參考點，故在啓動 SD18 前必須先啓用 VDDA 及 ACM。

SD18 的工作電壓源來自於 VDDA 所提供，而 A1x 輸入引腳電壓則不能超過 VDDA 電壓。當 VDDA 電源關閉時(未由內部啓動或外部輸入)，若 SD18 的輸入信號網路 SI_{\pm} 、參考電壓網路 VR_{\pm} 存在電壓，則會造成該網路漏電，間接造成晶片損耗及消耗電流偏大。因此當 VDDA 電源關閉前，SD18 輸入信號網路或參考電壓網路須適當選擇，將其網路開關調整至內部 ACM 或 VSS，即可避免外部電壓造成網路漏電。

11.2. 類比通道輸入特性

SD18 是使用切換式電容線路來進行類比訊號處理，當輸入緩衝器不使用時為了保證取樣電容的電壓可以得到正確的值，輸入信號的最大輸出阻抗必須受到限制，而且會與 SD18 的取樣頻率及信號倍率選擇有相互牽制的關係。

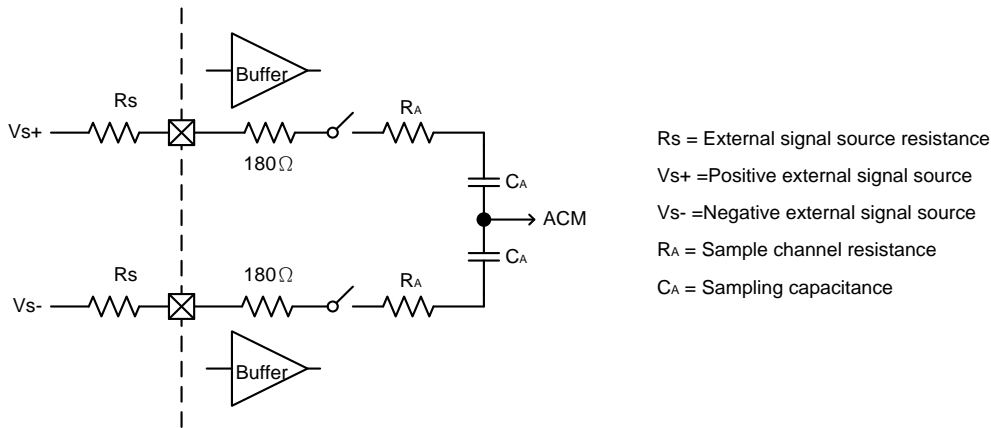


圖 11-5 AIx 輸入電容與阻抗模組

由圖 11-5 可知，當輸入信號不經緩衝器直接輸入時必須進一步考慮輸入信號內阻 R_s 與 SD18 的取樣頻率 ADC_CK 及寄生電阻 R_A 、電容 C_A 的效應。相關的計算公式如下：

式 11-3

$$t_s > (R_s + R_A + 180\Omega) \times C_A \times [\ln(2^{ENOB} \times Gain) + 2]$$

t_s : SD18 最短取樣時間

ENOB : 期望得到 SD18 的有效位數

Gain : (PGA Gain) × ($\Sigma\Delta$ AD Gain)

式 11-4

$$F_s = \frac{1}{2 \times t_s}$$

F_s : SD18 最短取樣頻率

由於 SD18 組成包含 PGA 與 $\Sigma\Delta$ AD，此兩部分在設計上存在各自的 R_A 與 C_A 值，而最短取樣時間 t_s 的計算是依直接與輸入信號匹配的部分來考量。

- ◆ 不使用 PGA 直接由 $\Sigma\Delta$ AD 設置放大倍率為 4，則 t_s 在計算時，其 $R_A=10K\Omega$ 與 $C_A=2pF$
- ◆ 若使用 PGA 做前置放大且放大倍率為 2 而 $\Sigma\Delta$ AD 設置放大倍率仍為 4，使整體的放大倍率達到 8 倍，但其 t_s 在計算時只視輸入信號與直接匹配的放大器，故其 $R_A=1.25K\Omega$ 與 $C_A=16pF$ 公式中 R_A 與 C_A 對應至 SD18 各部分 Gain 關係，如表 11-5(a)/(b)/(c) 所示。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

$\Sigma \Delta$ AD Gain	C_A	R_A
x1/4	0.125pF	10K Ω
x1/2	0.25pF	10K Ω
x1	0.5pF	10K Ω
x2	1pF	10K Ω
x4	2pF	10K Ω
x8	4pF	5K Ω
x16	8pF	2.5K Ω

表 11-5(a) SD18 Gain與 R_A 及 C_A 關係表

PGA Gain	C_A	R_A
x2	16pF	1.25K Ω
x4	32pF	0.625K Ω
x8	64pF	0.3K Ω

表 11-5(b) PGA Gain與 R_A 及 C_A 關係表

VR Gain	C_A	R_A
x1/2	0.25pF	10K Ω
x1	0.5pF	10K Ω

表 11-5(C) VR Gain與 R_A 及 C_A 關係表

SD18 主要應用是要量測低頻的訊號，但在真實世界裡待測訊號會含有許多高頻的雜訊，根據訊號取樣原理超過取樣頻率的高頻雜訊經過取樣後會產生零點飄移及低頻雜訊，進而造成量測的誤差。因此我們建議在晶片差動待測訊號及參考電壓端加上 10nF~100nF 的濾波電容以加強量測的準確性。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



11.3. 暫存器說明-SD18

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	
023h	INTE0	GIE	ADIE	-	WDTIE	TB1IE	TMAIE	-	EOIE	0000 0000	0uuu uuuu	
026h	INTF0	-	ADIF							.000 0000	.uuu uuuu	
033h	PWRCN	ENLDO[1:0]		VDDAX[1:0]			-	ADRST	CSFON	0000 0000	uuuu u00u	
034h	OSCCN0	OSCS[1:0]		DHS[1:0]		DMS[2:0]			CUPS	0000 0000	uuuu uuuu	
035h	OSCCN1	LCPS[1:0]		ADCS[2:0]		DTMB[1:0]			TMBS	0000 0000	uuuu uu.	
036h	OSCCN2	ENRTC	-	XTS[1:0]		HAOM[1:0]		ENHAO	LPO	.000 0011	.uuu uu11	
043h	ADCRH	ADC conversion memory HighByte								xxxx xxxx	uuuu uuuu	
044h	ADCRM	ADC conversion memory Middle Byte								xxxx xxxx	uuuu uuuu	
045h	ADCRL	ADC conversion memory Low Byte								xxxx xxxx	uuuu uuuu	
046h	ADCCN1	ENADC	ENHIGN	ENCHP	-	-	ADGN[2:0]			0000 0000	0000 0000	
047h	ADCCN2	-	-	-	-	VREGN	DCSET[2:0]			... 0000	... 0000	
048h	ADCCN3	OSR[3:0]				-	-	-	-		000. ..0.	000. ..0.
049h	AINET1	INH[2:0]			INL[2:0]			INIS	-		0000 000.	0000 000.
04Ah	AINET2	-	VRH[1:0]	INX[1:0]		VRL[1:0]		-		.000 000.	.000 000.	
075h	PT2	-	-	-	-	-	-	PT21	PT20xxxx	
076h	TRISC2	-	-	-	-	-	-	TC21	TC2000uu	
077h	PT2DA	-	-	-	-	-	-	DA21	DA2000uu	
078h	PT2PU	-	-	-	-	-	-	PU21	PU2000uu	
079h	PT3	-	-	PT35	PT34	PT33	PT32	PT31	PT30	..xx xxxx	..xx xxxx	
07Ah	TRISC3	-	-	TC35	TC34	TC33	TC32	TC31	TC30	..00 0000	..uu uuuu	
07Bh	PT3DA	-	-	DA35	DA34	DA33	DA32	DA31	DA30	..00 0000	..uu uuuu	

表 11-6 SD18 暫存器

INTE0/INTF0 : 詳見 *中斷,Interrupt* 章節

PWRCN : 詳見 *電源系統,Power System* 章節

ADRST[0] : $\Sigma \Delta$ ADC 與梳狀濾波器復位控制器

<1>復位 ; 寫入動作即發生

<0>不復位

OSCCN0/ OSCCN1/ OSCCN2 : 詳見 *震盪器、時脈源與功耗管理* 章節

ADC0RH/ML : SD18 的輸出暫存器

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

ADCCN1 : SD18 控制暫存器 1

ENADC : SD18 啓用控制器

1 : 啓用

0 : 關閉

ENHIGN : 保留原廠測試使用。

1 : 禁止設置。設置為 1 時，會造成 SD18 分辨率降低。

0 : 定義設置。

ENCHP : SD18 內部 chopper

1 : 禁止設置。設置為 1 時，會造成 SD18 分辨率降低。

0 : 定義設置

ADGN[2:0] : AD 倍率調整器

111 : 未使用

110 : x16

101 : x8

100 : x4

011 : x2

010 : x1

001 : x1/2

000 : 未使用

ADCCN2 : SD18 控制暫存器 2

VREGN : VR_{\pm} 倍率調整器

1 : x1/2

0 : x1

DCSET[2:0] : SI_{\pm} 偏壓調整器

111 : $-3/4 VR_{\pm}$

110 : $-1/2 VR_{\pm}$

101 : $-1/4 VR_{\pm}$

100 : 不偏壓

011 : $+3/4 VR_{\pm}$

010 : $+1/2 VR_{\pm}$

001 : $+1/4 VR_{\pm}$

000 : 不偏壓

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

ADCCN3 : SD18 控制暫存器 3

OSR[3:0] : SD18 超取樣率除頻器

1010 : 32768

1001 : 16384

1000 : 8192

0111 : 4096

0110 : 2048

0101 : 1024

0100 : 512

0011 : 256

0010 : 128

0001 : 64

0000 : 32

AINET1 : AI Network 控制暫存器 1

INH[2:0] : SI_{\pm} “+”輸入信號選擇器

111 : VSS

110 : VDDA

101 : VDD/4

100 : VDD/2

011 : AI6

010 : AI4

001 : AI2

000 : AI0

INL[2:0] : SI_{\pm} “-”輸入信號選擇器

111 : VSS

110 : ACM

101 : 未使用

100 : 未使用

011 : AI7

010 : AI5

001 : AI3

000 : AI1

INIS : SI_{\pm} 輸入信號短路控制器

1 : 短路

0 : 未短路

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



AINET2 : AI Network 控制暫存器 2

VRH[1:0] : VR±“+”電壓信號選擇器

11 : AI1

10 : AI0

01 : ACM

00 : VDDA

INX[1:0] : SI±輸入信號轉置器

11 : INH→ADL,INL→ADH

10 : INH 浮接,INH→ADH & ADH

01 : INL→ADH & ADL,INH 浮接

00 : INH→ADH,INL→ADL

VRL[1:0] : VR±“-”電壓信號選擇器

11 : AI4

10 : AI3

01 : AI2

00 : VSS

12. BIE 與 16-bit 硬體查表器

Build-In EPROM(簡稱 BIE)由 BIEAR[11:0]指標暫存器、BIEDR[15:0]數值暫存器及 BIECN[7:0]控制暫存器組成，其中相關控制器與旗標有 BIEARL[7:0]/BIEARH[3:0]位址控制器與、ENBIE[0]啟用控制器、BIEWR[0]寫入控制器、BIERD[0]讀取控制器、VPPHV[0]電壓條件旗標。

- BIE 特色如下：

- 利用 BIE 功能儲存產品序號、安全密碼、程式運算後產生的數據資料...等。
- 提供程序記憶體額外的 64words(同等於 128 bytes)，儲存位址範圍 00H~3FH，進行數據處理。
- 具讀取、寫入與 16-bit 查表功能。
- 外部硬體僅需外接 VPP 為 6V 燒錄電壓於 VPP 引腳。
- VPPHV[0]為即時反應 VPP 引腳電壓狀態的旗標暫存器。
- BIE 的讀取無須考慮引腳外接電壓高低，唯其有效電壓等同 VDD。
- 每一字節數據燒錄時間約 150ms。

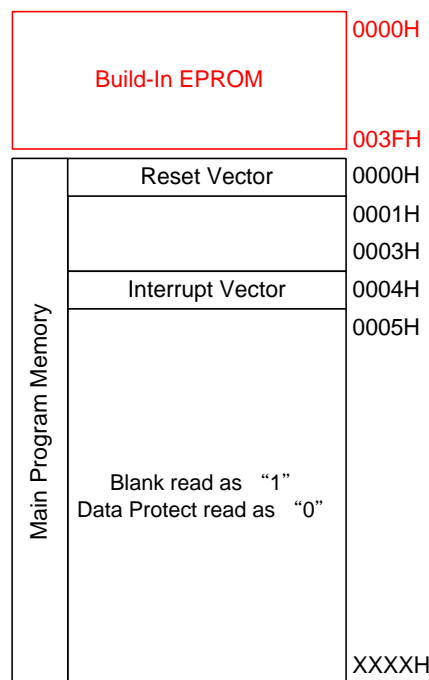


圖 12-1 Build-In EPROM 架構

BIE 暫存器摘要：

BIECN VPPHV [0], BIEWR[0], BIERD[0]

BIEARH ENBIE[0], BIE_BIEAH[2:0]

BIEARL BIEAL[7:0]

BIEDRH BIEDH[15:8]

BIEDRL BIEDL[7:0]

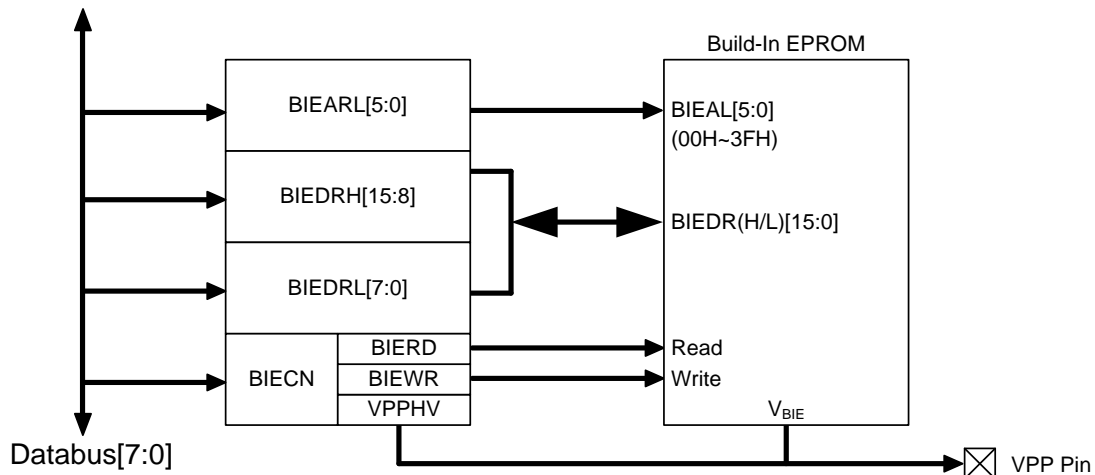


圖 12-1 BIE 方塊圖

12.1. BIE 使用說明

12.1.1. 讀取 BIE

- 使用者讀取 EPROM 時：
 - 設定 **BIEARL** 為讀取之 **BIE Address** (最多到 3FH, **BIEARL**[7]=0、**BIEARL**[6]=0)
 - BSF **BIECN**, **BIERD**,F
 - ◆ **BIE Address** 若超過 3FH 則此指令無效
 - ◆ **BIE READ** 動作與 VPP 電位無關，但不得為 0V
 - 判斷 **BIE** 讀取完成後，**BIECN**[**BIERD**]是否自動清除為 0
 - 讀取 **BIEDRH**, **BIEDRL** 為 **BIE Data**

注意事項:讀取 **BIE** 前，先關閉 ADC 功能(**ADCCN1**[**ENADC**]=0b)，則可增強 ADC 抗干擾能力。等待讀取 **BIE** 完成後，再開啟 ADC 功能進行訊號測量。

12.1.2. 寫入 BIE

- 使用者寫入 **BIE** 前，先讀取 VPPHV 以確定 VPP 電壓是否正確。
- 使用者寫入 **BIE** 時：
 - 設定 **BIEARL** 為寫入之 **BIE Address** (最多到 3FH，**BIEARL**[7]=0、**BIEARL**[6]=0)
 - 設定 **BIEDRH**, **BIEDRL** 為寫入之 **BIE Data**
 - **BSF BIECN, BIEWR,F**
 - ◆ **BIE Address** 若超過 3FH 則此指令無效
 - ◆ **VPP** 若非 6V，則此指令無效
 - 等待判斷 **BIE** 寫入完成後，**BIECN**[**BIEWR**]是否自動清除為 0
 - 耗電流會明顯增加許多，建議勿在 ADC 測試模式之間去做寫入 **BIE** 的動作。

注意事項:寫入 **BIE** 前，先關閉 ADC 功能(**ADCCN1**[**ENADC**]=0b)，則可增強 ADC 抗干擾能力。等待寫入 **BIE** 完成後，再開啟 ADC 功能進行訊號測量。

12.1.3. BIE 注意事項

- 讀取或寫入 **BIE** 之前，請先設定 CPU 頻率來源為 HAO，否則有可能會動作不正常。
- **BIE READ/WRITE** 動作完成後，**BIERD**/**BIEWR** 自動清為 0，**BIEARL** 自動遞增(最多到 3FH)。
- 建議使用 **BSF** 指令設定 **BIERD** 或 **BIEWR**，若指令將兩者同時設為 1 則此指令無效。
- 當 **VPP** 為高電位時，CPU 重置後，PT1.5 維持 65ms 輸出未知電位(高或低)狀態。
- 上電順序：1.VDD 先上電，2.VPP 再上電。
- 讀取 **BIE** 之前或寫入 **BIE** 之前，先關閉 ADC 功能(**ADCCN1**[**ENADC**]=0b)，則可增強 ADC 抗干擾能力。等待讀取 **BIE** 完成後或寫入 **BIE** 完成後，再開啟 ADC 功能進行訊號測量。

12.2. 硬體查表器

在不啓用 BIE 燒錄功能時，可當成 16-bit 硬體查表器使用，但只可讀取程式記憶體而無法進行數據寫入。

硬體查表器的讀取無須考慮外接引腳電壓高低，以下為操作說明：

- ◆ 設定 BIEARH, BIEARL 為讀取之查表的 Address(最多到 7FFH)。
- ◆ 將 BIECN[BIERD]置 1 後，利用檢查 BIECN[BIERD]是否自動清除為 0，判斷查表是否完成。
- ◆ 接著讀取 BIEDRH, BIEDRL 為查表的 Data。

```
16BITS_READ:
    MVL  HIGH Table      ;設定查表位址
    MVF  BIEARH,F,ACCE
    MVL  LOW Table
    MVF  BIEARL,F,ACCE
    BSF  BIECN, BIERD,F

WAITRDBIE:
    BTSZ BIECN, BIERD, 1 ;檢查 BIECN[BIERD]是否清除為 0，判斷查表是否完成。
    JMP  WAITRDBIE
    MVF  BIEDRL, W, 1
    MVF  BUF0, F, 1      ;將 BIEDRL 資料搬移至 BUF0
    MVF  BIEDRH, W, 1
    MVF  BUF1, F, 1      ;將 BIEDRH 資料搬移至 BUF1

Table:
    DB  05AH, 0A5H
```

範例 12-1 16Bits 查表軟體設定範例程式

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

12.3. 暫存器說明-BIE

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
02Eh	BIECN	-	-	-	-	VPPHV	-	BIEWR	BIERD	1... \$.00	1... \$.uu
02Fh	BIEARH	ENBIE	-	-	-	-	11-bit look-up Table as BIEAH[2:0]		0... xxxx	u... uuuu	
030h	BIEARL	BIE Address Register as BIEAL[5:0] or 11-bit look-up Table as BIEAH[7:0]								xxxx xxxx	uuuu uuuu
031h	BIEDRH	BIE High Byte Data Register								xxxx xxxx	uuuu uuuu
032h	BIEDRL	BIE Low Byte Data Register								xxxx xxxx	uuuu uuuu

表 12-1 BIE 暫存器

BIECN : BIE 控制暫存器

VPPHV : Check VPP

0 : VPP 未外接燒錄電源 6V

1 : VPP 已外接燒錄電源 6V

BIEWR : 寫入 BIE 控制位元

0 : 不可寫入

1 : 可寫入

BIERD : 讀取 BIE 控制位元

0 : 不可讀取

1 : 可讀取

BIEARH : BIE 位址定義

ENBIE : Mode Selection

0 : OTP READ MODE

1 : BIE MODE

BIEAH[2:0] : OTP address

BIEARL : BIE Low Byte 位址定義

BIEAL[5:0] : OTP address

BIEDH : BIE High Byte 資料定義

BIEDL : BIE Low Byte 資料定義

13. 通訊介面,CI (Communication interface)

通訊介面（簡稱 CI）主要型式為 I2C 串列通訊。

13.1. I2C 串列介面,(Inter-Integrated Circuit Serial interface)

I2C 通訊介面包含主機(Master)與從機(Slave)兩種運作模式，主機模式可以根據系統的需求，結合傳送控制器(Transmission Controller, Tx Controller)傳送 I2C 封包格式的信號至 I2C Bus，並以 Clock Generator 決定所需的傳送速率。而 Slave Controller 可以接收 I2C Bus 上的信號，以從機模式接受 Bus 上的主機之通訊需求，並結合傳送控制器回傳主機所需要的資料，除此之外，Slave 控制器內含之資料接收電路也是 Master Controller 接收回傳資料的通道。

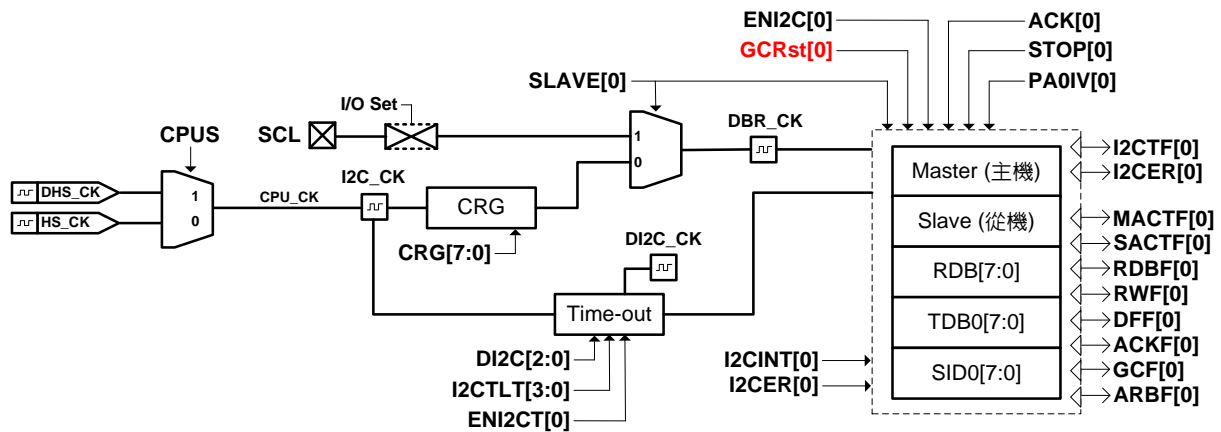


圖 13-1 I2C 系統架構圖

- I2C 串列介面功能特性：

- 標準 I2C 串列介面包含 2 個接腳，為串列資料(SDA)、串列時脈(SCL)。
- 接腳為 Open Drain 輸出結構，需要外部提升電阻，確保高電位輸出。
- 標準 I2C 串列介面可配置為主機(Master)、從機(Slave)或主/從機模式。
- 可程式時脈，允許調整 I2C 傳輸速率。
- 主機和從機之間的數據傳輸為雙向的。
- I2C 允許相當大的工作電壓範圍。
- I2C 的參考設計使用一個 7 位元長度的位址空間但保留了 16 個位址，所以在同一組匯流排最多可和 112 個節點通訊。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

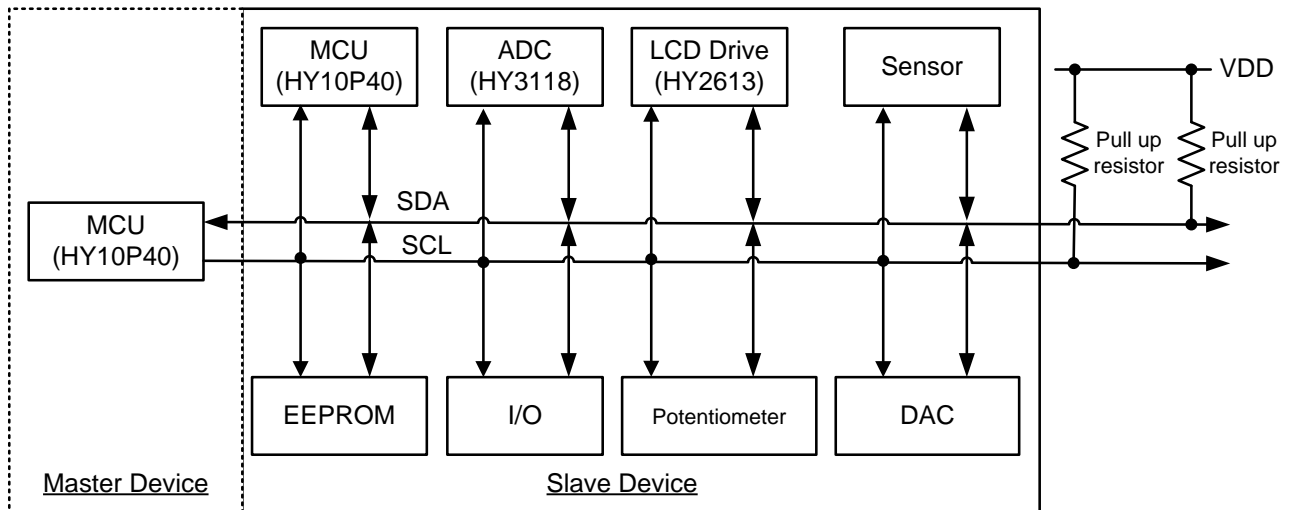


圖 13-2 I2C 通訊接線示意圖

● I2C 串列介面信號：

- 起始信號(START)：主機 SCL 為高電位時，發出 SDA 由高電位轉為低電位，開始資料傳送。
- 資料(DATA)或位址(ADDRESS)信號：I2C 串列介面協議要求只有在 SCL 為低電位時，SDA 上資料才可以改變。
- 回應信號(Acknowledge)：接收資料的裝置(從機)在接收到第 8 位元後，向發送資料的裝置(主機)發送低電位，表示已收到資料。
- 停止信號(STOP)：主機 SCL 為高電位時，發出 SDA 由低電位轉為高電位，結束資料傳送。

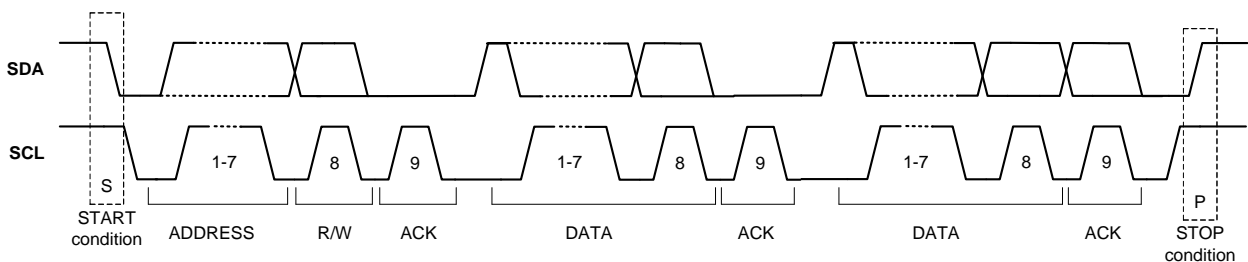


圖 13-3 I2C 匯流排時序圖

13.2. 數據傳輸速率計算

I2C 內部暫存器 CRG[7:0]可以控制主機模式傳送數據的速度，CRG[7:0]的數值經由內部計數器產生主機的 SCL 的引腳信號，所以數據傳送率可以根據 I2C 的時脈源 I2C_CK 的頻率，利用下列公式計算：

$$\text{Data Baud Rate(Hz)} = \frac{\text{I2C_CK}}{[4 \times (\text{CRG}[7:0] + 1)]}$$

13.3. 計時功能(Time-Out)

Time-out 控制是為了避免 I2C 控制器將 I2C 通訊匯流排鎖死，I2C 在操作的過程中為了提供 MCU 足夠的時間處理 I2C 控制器的需求，因此 I2C 控制器在每一個回應位元之後都會將 SCL 拉為 Low，使 Master 無法傳出下一個時脈信號，即是發生通訊延時 (Clock Stretching)。但是當 MCU 過於忙碌或任何原因無法回應 I2C 控制器的需求時，I2C 通訊匯流排的 SCL 將有可能被鎖死於 Low。

為了避免上述情況發生，Time-out 控制器可以根據使用者透過工作頻率除頻器 DI2C[2:0]及時間條件控制器 I2CTLT[3:0]，決定 SCL 處於 Low 狀態的 Time-out 條件。條件處理有以下狀態：

- ◆ 當偵測 SCL 被本機拉為 Low 的時間，滿足條件後 I2C 控制器會強制將 SCL 放掉並且發出中斷事件至 CPU。
- ◆ 當 SCL 在未達到 Time-out 時間被釋放為 High，則 Time-out 控制器內部的計數器將被重置，並於下次 SCL 再被拉為 Low 時重新計數。

13.4. I2C 串列介面通訊流程圖

● I2C 串列介面術語

- (SPIA)：代表對 Action 控制暫存器(ACT)所下達指令，S 為 Start 指令，P 為 Stop 指令，I 為中斷旗標，A 為 Acknowledge 指令。
- SPIA：代表讀取 Action 控制暫存器之值，可以用於判讀中斷旗標或其它指令是否運作完成。
- STA：讀取 Status 暫存器(STA)之值，用以表示目前 I2C 電路運作狀態。
- 下列流程圖會以圖 13-4 所示之“灰底圓框”、“白底圓框”、“方框”分別表示 I2C 介面之狀態：

灰底圓框：表示中斷旗標已被設立之 I2C 狀態。

白底圓框：表示中斷旗標未被設立，需由 MCU 主動讀取之 I2C 狀態。

方框：表示需由 MCU 對 I2C 下達指令。

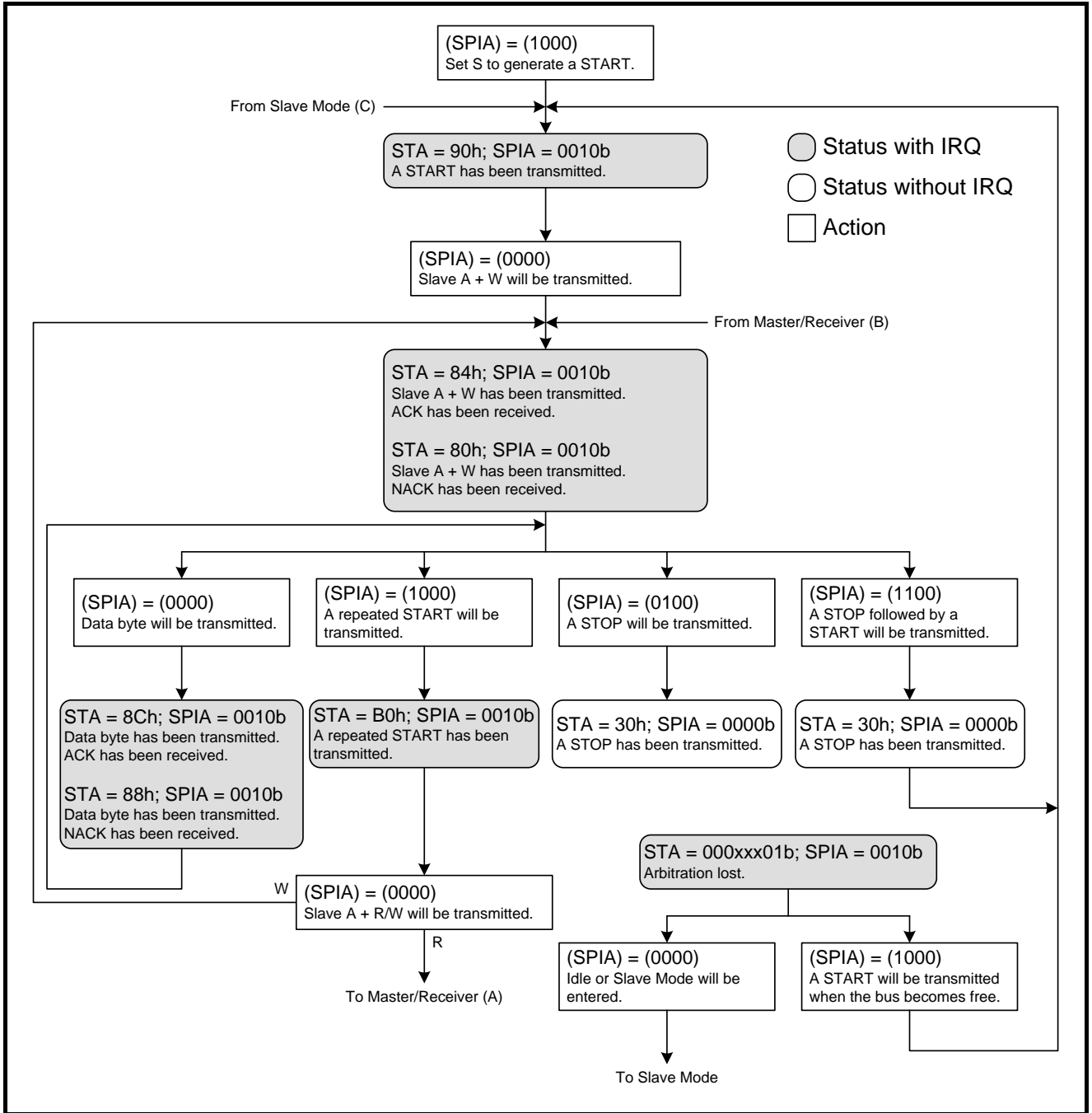
錯誤！物件無法用編輯功能變數代碼來建立。

圖 13-4 流程圖符號

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit ΣΔADC

8-Bit RISC-like Mixed Signal Microcontroller

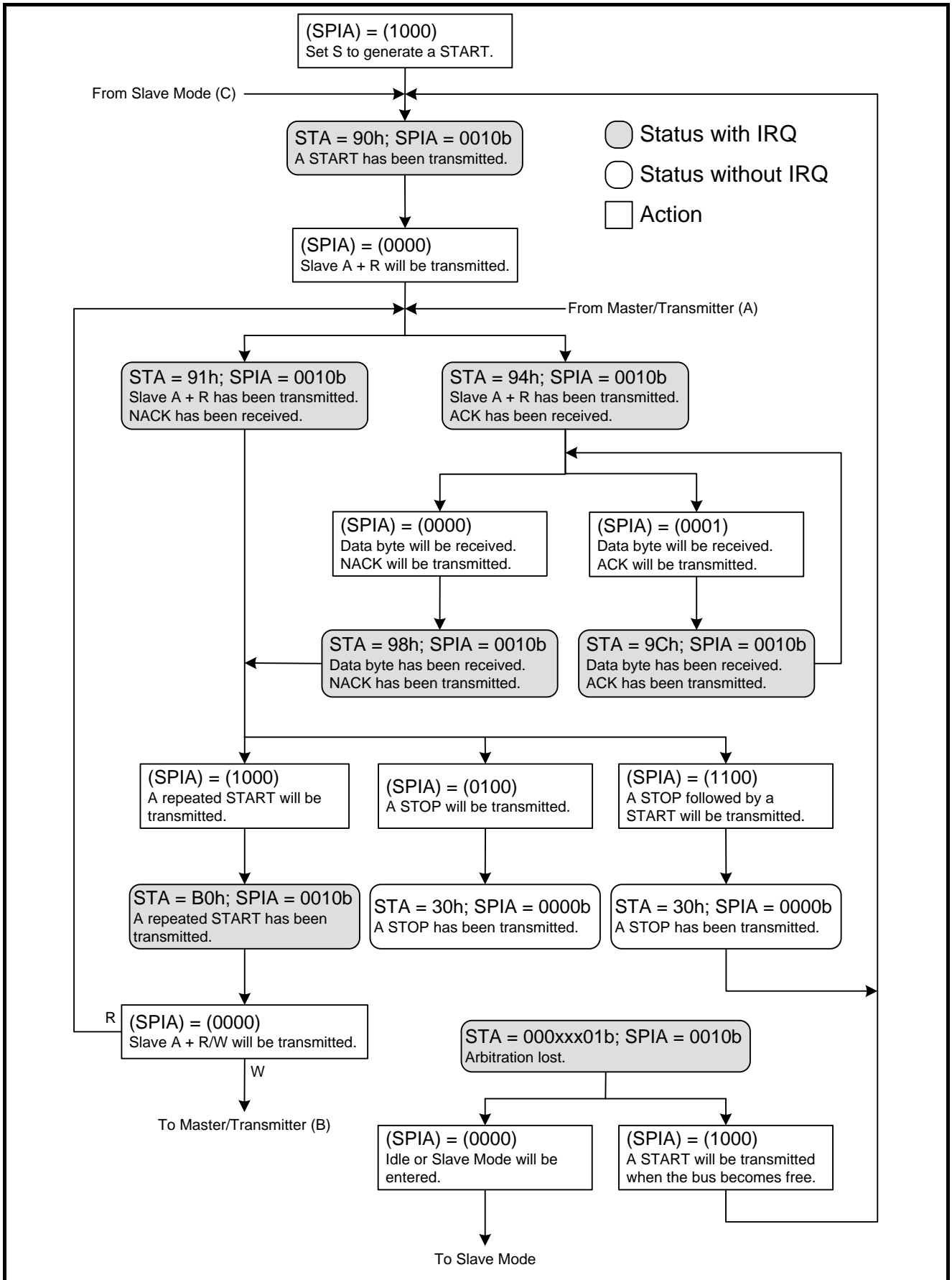


13-5 Master Transmitter Mode

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



13-6 Master Receiver Mode

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller

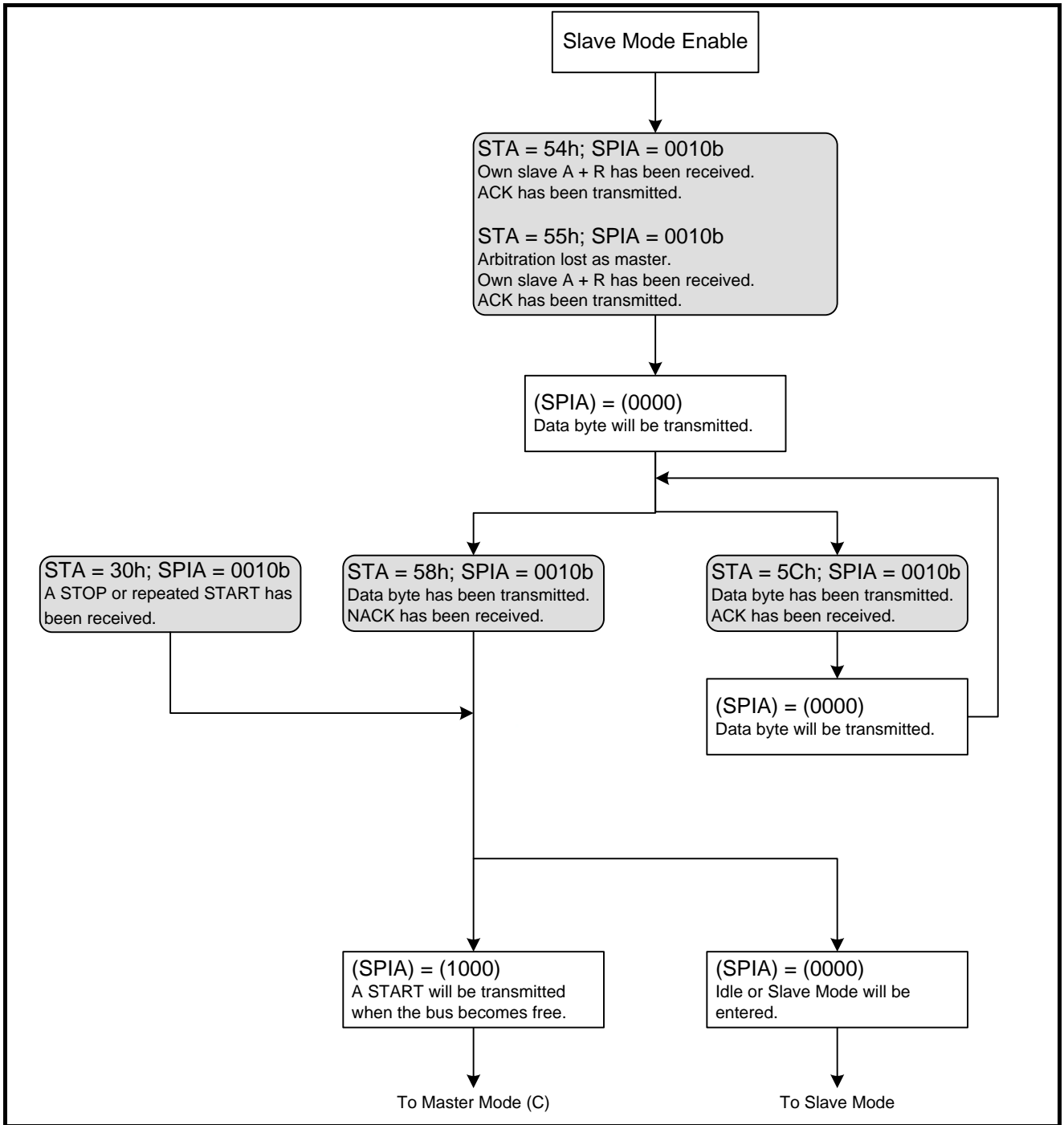
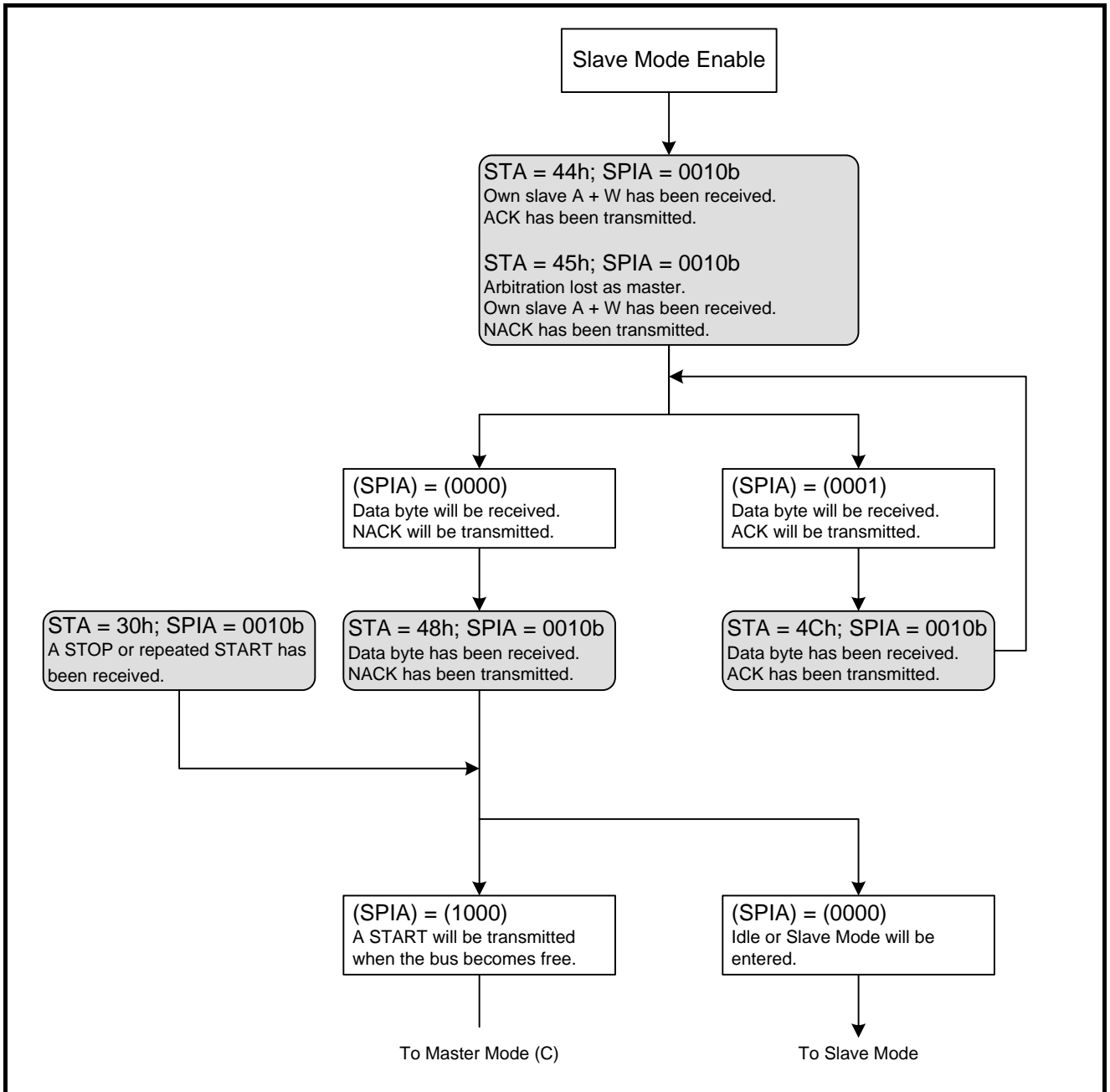


圖 13 -7 Slave Transmitter Mode

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller

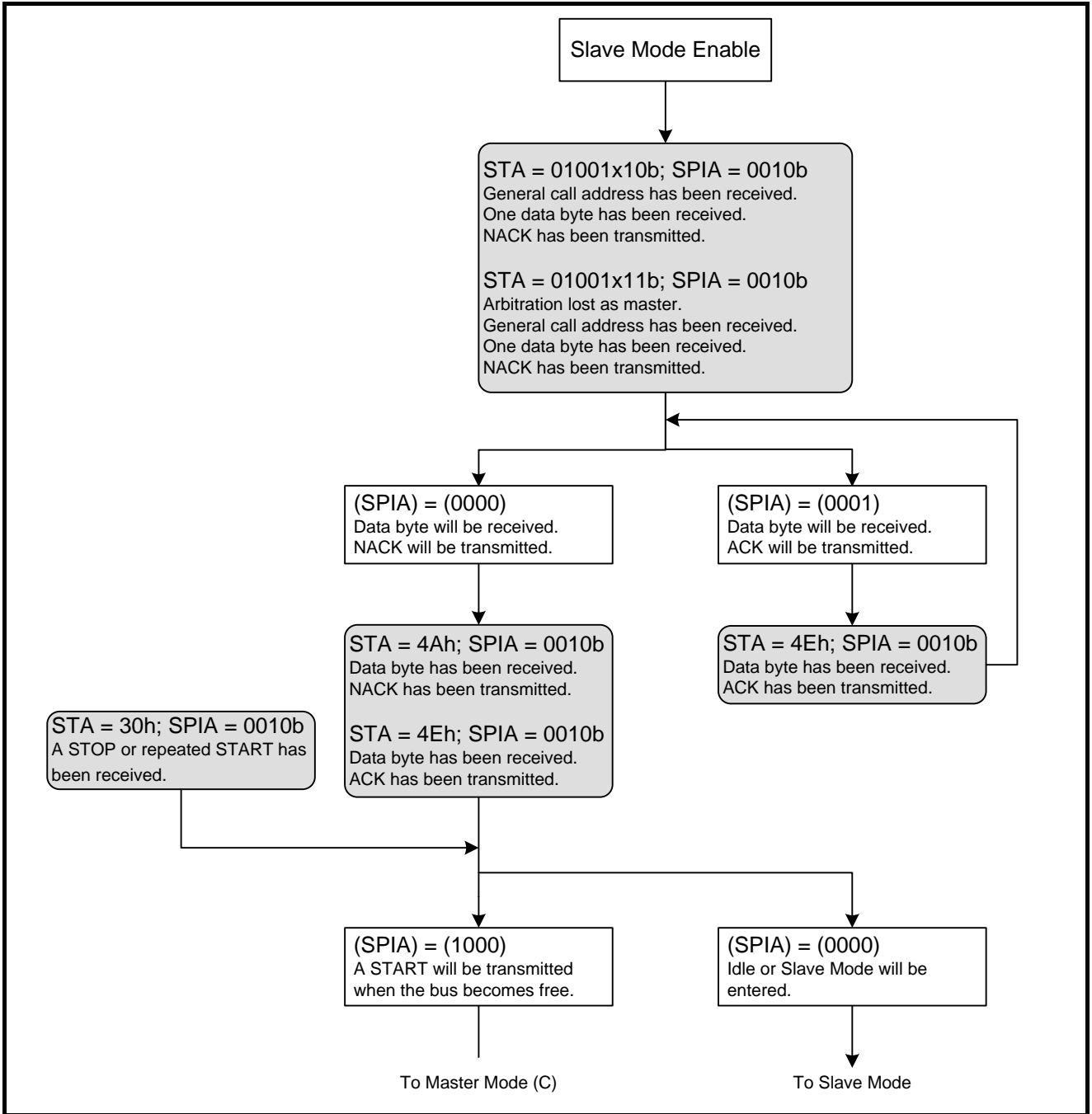


13-8 Slave Receiver Mode

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



13-9 General Call Mode

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

13.5. I2C 暫存器說明

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST	
024h	INTE2	-	-	-	-	I2CERIE	I2CIE	-	-	0000 0000	uuuu uuuu	
027h	INTF2	-	-	-	-	I2CERIF	I2CIF	-	-	0000 0000	uuuu uuuu	
061h	CFG	Rsv.					GCRst	ENI2CT	ENI2C	 000uuu
062h	ACT	SLAVE	-	-	I2CER	START	STOP	I2CINT	ACK	0000 0000	uuuu uuuu	
063h	STA	MACTF	SACTF	RDBF	RWF	DFF	ACKF	GCF	ARBF	0001 0000	uuuu uuuu	
064h	CRG	CRG[7:0]								0000 0000	uuuu uuuu	
065h	TOC	I2CTF	DI2C[2:0]			I2CTLT[3:0]				0000 0000	uuuu uuuu	
066h	RDB	RDB[7:1]						RDB[0]		xxxx xxxx	uuuu uuuu	
067h	TDB0	TDB0[7:1]						TDB[0]		xxxx xxxx	uuuu uuuu	
068h	SID0	SID[7:1], The corresponding address of the 7-bit mode							SIDV[0]		0000 0000	uuuu uuuu

表 13-1 I2C 暫存器

INTE1/INTF1：詳見 *中斷, Interrupt* 章節

CFG：I2C 設置暫存器

GCRst：I2C 全呼復位使能控制

1：開啓

0：關閉

注意事項：當 I2C Slave 模式與 GCRst 功能同時被開啓時，如果 I2C Controller 接收 General call ID 00h 並且第一筆資料為“06h”即為 General Call Reset 條件成立，此時原本會發送至本機處理器的中斷信號 (Interrupt) 將被重置信號 (Reset) 取代，提供外部主機可以經由 I2C Bus 重置本機晶片之功能。

ENI2CT：開啓 I2C 超時監控功能位元

1：開啓 I2C Time-out 監控功能

0：關閉

ENI2C：開啓 I2C 功能控制位元

1：開啓 I2C 通訊介面

0：關閉

※ 注意事項：當 ENI2C 關閉時，將關閉 I2C 內部的 Clock，除了 Configuration Register 可以進行寫入動作，其餘暫存器將無法寫入資料。

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

ACT : Action Register

SLAVE : 從機開啓控制

1 : 開啓

0 : 關閉

I2CER : 錯誤中斷旗標

1 : 發生錯誤中斷

0 : 正常，寫 0 將會清除錯誤中斷旗標，使 I2C 往下一個狀態執行。

START : 開始命令位元

1 : 於 I2C Bus 產生 Start 信號

0 : 正常

STOP : 停止命令位元

1 : 於 I2C Bus 產生 Stop 信號

0 : 正常

I2CINT : 中斷旗標

1 : 發生 I2C 中斷

0 : 正常，寫 0 將會清除中斷旗標，使 I2C 往下一個狀態執行。

ACK : ACK(Acknowledge)回覆位元

1 : ACK 已回覆

0 : 未回覆 ACK 或回覆 NACK

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller

STA : I2C 狀態暫存器

MACTF : 主機模式啟用旗標(Master Mode Active Flag)

1 : 啟用

0 : 未啟用

SACTF : 主機模式啟用旗標(Slave Mode Active Flag)

1 : 啟用

0 : 未啟用

RDBF : 接收停止或重新開始旗標(Received Stop/Repeat-Start Flag)

1 : 接收停止或重新開始旗標已被發送或接收。

0 : 正常

RWF : 讀寫狀態旗標(Read/Write State Flag)

1 : 讀命令已被發送或接收。

0 : 寫命令已被發送或接收。

DFF : 資料旗標(Data Field Flag)

1 : I2C 資料被發送或接收。

0 : 正常

ACKF : ACK 旗標(Acknowledge Flag)

1 : ACK 已發送或接收。

0 : ACK 未發送或接收。

GCF : General Call Flag

1 : Currently General Call Operation

0 : 正常

ARBF : 仲裁漏失旗標(Arbitration Lost Flag)

1 : 仲裁漏失

0 : 正常

CRG : I2C 時脈控制暫存器

CRG[7:0] : I2C Bus Data Baud Rate Control

I2C Bus 上的資料傳送是以 SCL 引腳上的時脈信號所決定，而 SCL 引腳上的時脈率可以由 I2C 電路之時脈源的頻率 CPU_CK 與 CRG 經由下列公式計算：

$$\text{Data Baud Rate(Hz)} = \frac{\text{I2C_CK}}{[4 \times (\text{CRG}[7:0] + 1)]}$$

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



TOC : I2C 超時控制暫存器

I2CTF : 超時旗標

1 : I2C Bus Clock Stretching Time-out

0 : Normal

DI2C[2:0] : Time-out Clock Pre-scale

0 : CLKPS = CPU_CK / 1

1 : CLKPS = CPU_CK / 2

2 : CLKPS = CPU_CK / 4

3 : CLKPS = CPU_CK / 8

4 : CLKPS = CPU_CK / 16

5 : CLKPS = CPU_CK / 32

6 : CLKPS = CPU_CK / 64

7 : CLKPS = CPU_CK / 128

I2CTLT[3:0] : Time-out Limit ; Time-out 的發生是以 CLKPS 計數 I2CTLT + 1 次後觸發

0 : 1x CLKPS Cycle

1 : 2x CLKPS Cycle

2 : 3x CLKPS Cycle

3 : 4x CLKPS Cycle

...

15 : 16x CLKPS Cycle

RDB : 接收資料暫存器

RDB[7:1] : 內容為接收位址(A7~A1)或資料(D7~D1)

RDB[0] : 內容為接收讀寫命令或資料(D0)

TDB0 : 傳送資料暫存器

TDB0[7:1] : 內容為傳送位址(A7~A1)或資料(D7~D1)

TDB[0] : 內容為傳送讀寫命令或資料(D0)

※ 注意事項 : 在通訊過程中當本機屬於非傳送 Address 或 Data 的狀態時必須將此暫存器設為 FFh , 因為 TDB0 的 Bit 7 為 0 有可能將 SDA Bus 鎖死於 Low 。

SID0 : 從機模式 ID 碼設置暫存器

SID[7:1] : 從機 ID 碼(A7~A1)

SIDV[0] : 從機 ID 碼有效控制

0 : 從機 ID 碼無效

1 : 從機 ID 碼有效

HY10S40 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



14. 修訂記錄

以下描述本文件差異較大的地方，而標點符號與字形的改變不在此描述範圍。

日期	文件版次	頁次	摘要
2013/05/30	V01	All	1.初版發行
2013/06/26	V02	27	修改 HAO 頻率調整說明
2013/06/26	V02	79、80	移除 VDDA 輸出 3.3V 說明
2013/12/19	V03	65~70	移除 PWM5 功能說明
2014/05/20	V04	All	修改錯誤 PT1.0 移除外部 RST 新增 PT2.0、PT2.1 Falling Edge Trigger Interrupt
2016/3/4	V05	P20, P93,P101	原 CFG 暫存器 Bit2 控制位為 I2CRST, 修正為 GCRst. 並針對 GCRst 控制位加強描述
		P69	暫存器位置 04Fh 的控制位 TC1ED/TC2ED 這兩個控制位元不存在, 於暫存器列表中做移除
2017/08/30	V06	P69	1. 補充說明 ADCR Δ VR_I 滿刻度注意事項
		P50~P61	2. 修正第 9 章 TMB 描述
2017/11/16	V07	P77~P81	修正 BIE 與 16bit 硬體查表法描述