



HY3118/HY3116

Datasheet

24-Bit Analog-to-Digital Convert

High Resolution $\Sigma\Delta$ ADC

With Rail-to-Rail OPAMP

Table of Contents

1. 特點	6
2. 簡介	7
3. 引腳定義	8
3.1. 產品引腳圖	8
3.2. I/O 引腳定義	8
3.2.1. SSOP package marker information	9
3.2.2. MSOP package marker information	9
4. 應用電路	10
4.1. 橋式感測器	10
5. 暫存器列表	11
5.1. 暫存器列表	11
5.2. 暫存器說明	12
5.2.1. SYS Register System configuration control register (8bit)	12
5.2.2. ADC1 Register ADC configuration control register 1(8bit) (ADC input select)	12
5.2.3. ADC2 Register ADC configuration control register 2(8bit)	13
5.2.4. ADC3 Register ADC configuration control register 3(8bit)	14
5.2.5. ADC4 Register ADC configuration control register 3(8bit)	14
5.2.6. ADO Register ADC Output Code(24bit)	15
6. 電氣特性	16
6.1. ABSOLUTE MAXIMUM RATINGS	16
6.2. ELECTRICAL CHARACTERISTICS	17
6.3. OPAMP, Electrical Specification	21
7. ENOB AND NOISE-FREE	22
8. I2C 通訊協議	24

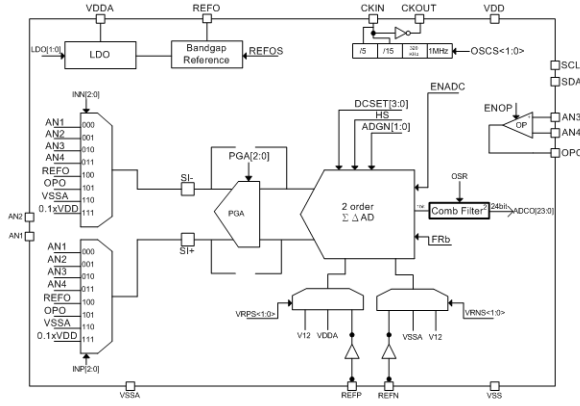
8.1. I2C 通訊時序圖.....	25
9. OVERVIEW	30
9.1. 系統工作頻率與低功耗 (Frequency vs. Low Power mode).....	30
9.2. VDDA 電源 (Low Dropout Regulator)	31
9.3. REFO 參考電壓 (Reference Voltage).....	31
9.4. 輸入通道多工器與中斷 IRQ (Input Channel Multiplex with IRQ).....	32
9.5. 參考電壓輸入與參考電壓 (Reference Voltage input Channel with VREF)	33
9.6. 測量信號輸入通道與可編程信號放大器 (Signal Input Channel with PGA).....	35
9.7. 梳狀濾波器 (COMB Filter).....	38
9.8. 數據轉換格式 (Data Conversion Format).....	40
9.9. 軌對軌運算放大器 (Rail-to-Rail OPAMP)	41
10. 訂貨資訊.....	42
11. 封裝型式資訊.....	43
11.1. SSOP16	43
11.1.1. Package Dimensions	43
11.1.2. Tube Dimensions	44
11.1.3. Tape & Reel Information	45
11.1.3.1. Reel Dimensions-Type 1.....	45
11.1.3.2. Carrier Tape Dimensions	45
11.1.3.3. Pin1 direction	45
11.1.3.4. Reel Dimensions-Type 2.....	46
11.1.3.5. Carrier Tape Dimensions	46
11.1.3.6. Pin1 direction	46
11.2. MSOP10	47
11.2.1. Package Dimensions	47
11.2.2. Tape & Reel Information	48
11.2.2.1. Reel Dimensions-Type 1.....	48
11.2.2.2. Carrier Tape Dimensions	48
11.2.2.3. Pin1 direction	48

11.2.2.4. Reel Dimensions-Type 2.....	49
11.2.2.5. Carrier Tape Dimensions	49
11.2.2.6. Pin1 direction	49
12. 修訂記錄.....	50

注意：

- 1、本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新 <http://www.hycontek.com>。
- 2、本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
- 3、本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
- 4、請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
- 5、本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
- 6、本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
- 7、本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計並採用安全指標，這樣可以避免事故的發生。
- 8、本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

1. 特點

- 傳感器的前置訊號處理設計
 - ◆ 具有 24-bit $\Sigma\Delta$ ADC 類比數位轉換器
 - ◆ 內置訊軌對軌(Rail-to-rail) OPAMP.
 - ◆ 內置 VDDA 輸出可達 10mA 的傳感器驅動電源
 - ◆ 外部晶體震盪器輸入或內部高精度 RC 震盪器工作時脈切換選擇
 - ◆ I2C 數據傳輸介面
- 操作環境範圍
 - ◆ 數位電壓：2.2V to 3.6V
 - ◆ 模擬電壓：2.4V to 3.6V
 - ◆ 操作電流：
 1. 全速操作 1050uA(不含 OPAMP)
 2. 超低 Sleep 電流 1uA
 - ◆ 操作溫度範圍 -40°C to +85°C
- 晶片內部方塊圖
 
- 24-bits $\Sigma\Delta$ ADC
 - ◆ 內建前置放大器(PGA)·可選擇增益 $\times 1, \times 2, \times 4, \times 8, \times 16, \times 32, \times 64, \times 128$ 。
 - ◆ 可選擇不同的數據轉換輸出速率·最高可達 7680Sps。同時具備 10SPS 數據轉換輸出速率時·可抑制 50/60Hz 的訊號干擾
- ◆ 內建直流偏壓設計·可選擇 0, $\pm 1/8, \pm 1/4, \pm 3/8, \pm 1/2, \pm 5/8, \pm 3/4, \pm 7/8$ 倍 VREF 的偏置電壓
- ◆ RMS Noise :
 1. 10 SPS 輸出速率時為 100nV (Gain = 128)
 2. 7680 SPS 輸出速率時為 37uV (Gain = 1)
 3. 16 bit Noise-Free 的解析度 (Gain = 128 · VREF= 3.3V)
- ◆ 參考電壓輸入可選擇使用輸入緩衝器
- ◆ IRQ 功能
- Rail-to-Rail OPAMP (HY3118 only)
 - ◆ 軌對軌信號輸入設計
 - ◆ 具 1mA 輸出與輸入電流能力
- 內置線性穩壓器 VDDA 與參考電壓 REFO
 - ◆ VDDA 可輸出電壓 2.4V、2.7V、3.0V 或 3.3V
 - ◆ REFO 可輸出電壓 1.2V 或 1.5V
- I2C 傳輸介面
 - ◆ 具標準或非標準通訊格式
 - ◆ F_{SCL} = 400KHz
 - ◆ 非標準模式具 ADC IRQ 功能
 - ◆ Sleep/Wake 功能(暫存器控制)
- 應用
 - ◆ Weight Scale
 - ◆ Strain Gauge
 - ◆ Pressure Scale
 - ◆ Industrial Process Control
- 封裝型式
 - ◆ SSOP16
 - ◆ MSOP10

Model No.	Architecture	Input Channels	ENOB (Bits)	RMS Noise	System Clock	Sample Rate(Max)	Rail-to-Rail OPAMP	DC Offset Set	Interface	Package
HY3116	Sigma-Delta	2	20	100nV (10SPS)	Int. 327kHz/1Mhz	7680SPS	NO	4 bits	IIC	MSOP10
HY3118	Sigma-Delta	4	20	100nV (10SPS)	Int. 327kHz/1Mhz Ext.4.9152MHz	7680SPS	YES	4 bits	IIC	SSOP 16

2. 簡介

HY3118/HY3116 是一個高精度、低雜訊、低功率的 24-bit Analog-to-Digital 轉換器(ADC) · 其內置的超低雜訊的可程編程前置放大器(PGA) · 在 1 倍的放大倍率下 ADC 具有 21bit 的有效位數 · 而在增益 128 倍時最小分變訊號為 100nV 且增益的溫度系數小於 5 ppm/°C。另外 · 還具有有兩組全差動訊號輸入通道、一組全差動參考電壓輸入通道、低雜訊放大器、參考電壓輸入緩衝器、訊號輸入通道多工選擇器、可抑制 50/60 Hz 訊號干擾設計、輸入訊號零點直流偏壓調整器等等功能。

在這顆晶片內還具有高性能可規劃輸出電壓的 VDDA 電壓源、低溫飄系數參考電壓源 (low drift internal band gap reference)、可選擇外部時脈輸入或使用內建 RC 震盪時脈做為工作頻率之功能、軌對軌 (Rail-to-rail) 低雜訊 OPAMP 及 I2C 等通訊介面。

此晶片可以使用內部 RC 震盪器或者外接震盪器進行操作 · ADC 的數據轉換速度具有 10SPS (可抑制 50/60 Hz 訊號干擾) 到最快 7680 SPS。晶片功耗部分依數據轉換速率不同存在不同的電流消耗 · 標準的操作電流為 1050uA 而休眠電流小於 1uA · 而晶片的休眠與喚醒方式採用 I2C 通訊介面控制特殊暫存器來達成。

此系列產品依功能別則可分為 SSOP16 與 MSOP10 兩種封裝型式。

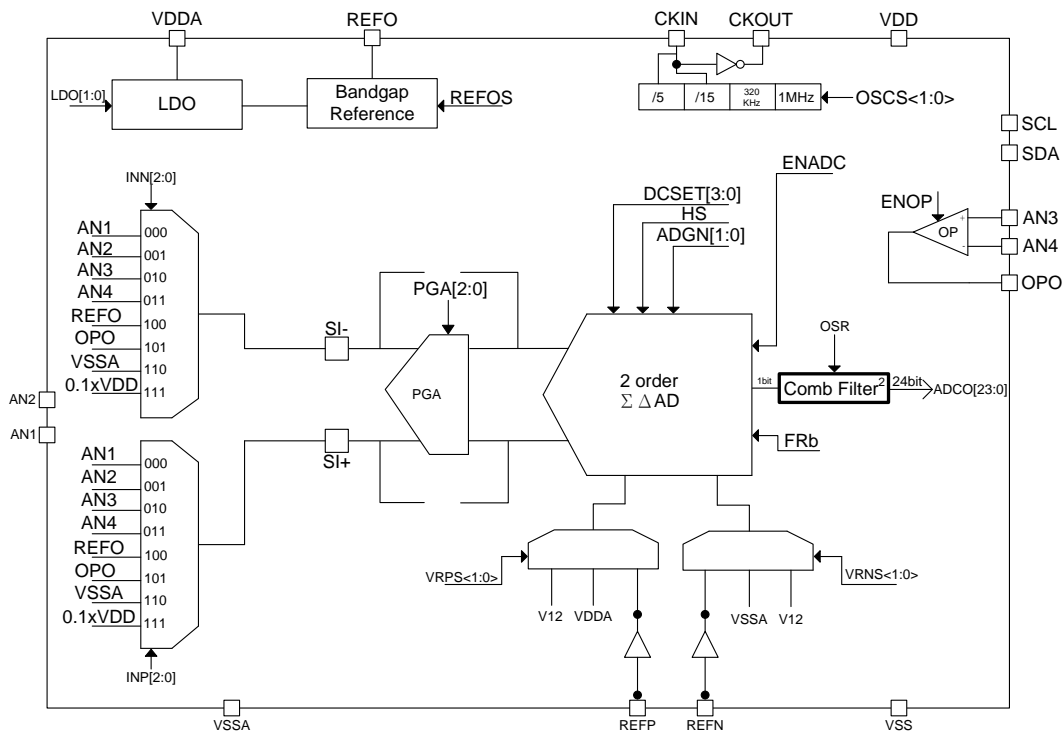


圖 1 晶片內部方塊圖

3. 引腳定義

3.1. 產品引腳圖

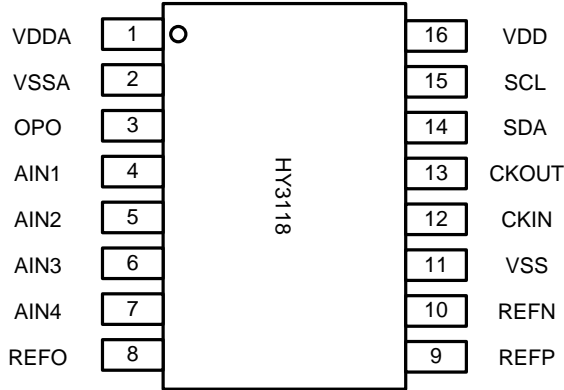


圖 2 SSOP16 引腳圖

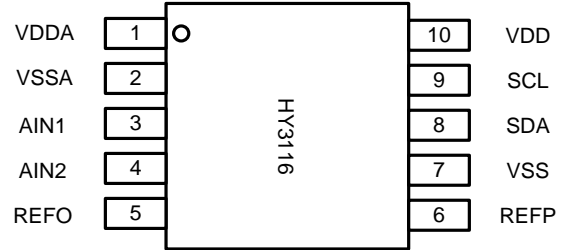


圖 3 MSOP10 引腳圖

3.2. I/O 引腳定義

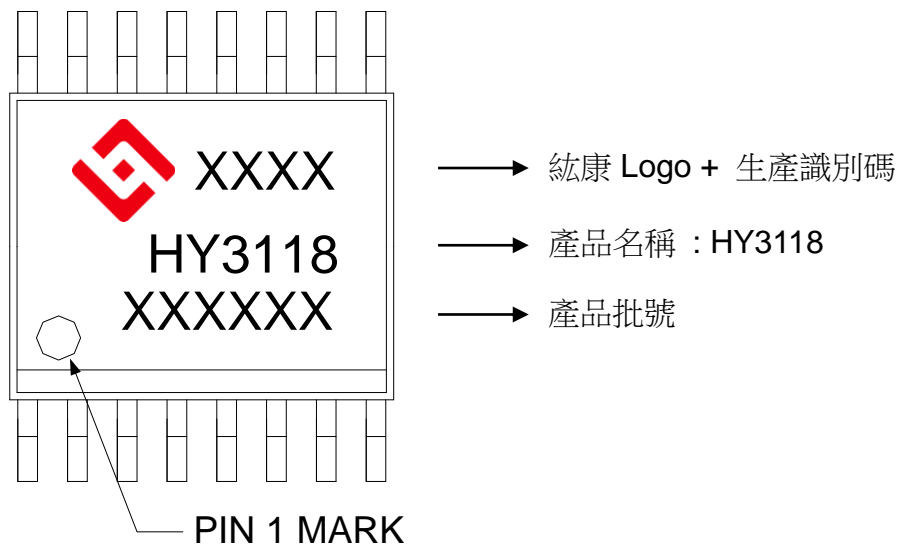
"I"輸入, "O"輸出, "S"史密斯觸發, "P"電壓源, "A"類比通道

引腳		名稱	引腳特性		功能說明
SSOP16	MSOP10		格式	緩衝	
1	1	VDDA	P	P	Analog Power Supply: 2.4~3.6V
2	2	VSSA	P	P	Analog Ground
3	-	OPO	O	A	Operational Amplifier
4	3	AIN1	I	A	Analog Input1
5	4	AIN2	I	A	Analog Input2
6	-	AIN3	I	A	Analog Input3
7	-	AIN4	I	A	Analog Input4
8	5	REFO	O	A	Voltage Reference Output
9	6	REFP	I	A	Reference Input (Positive)
10	_*1	REFN	I	A	Reference Input (Negative)
11	7	VSS	P	P	Digital Ground
12	-	CKIN	I	A	ADC Clock Input
13	-	CKOUT	O	A	ADC Clock Output
14	8	SDA	I/O	S	I2C Data(Open-drain)
15	9	SCL	I/O	S	I2C CLK(Open-drain)
16	10	VDD	P	P	Digital Power Supply: 2.2~3.6V

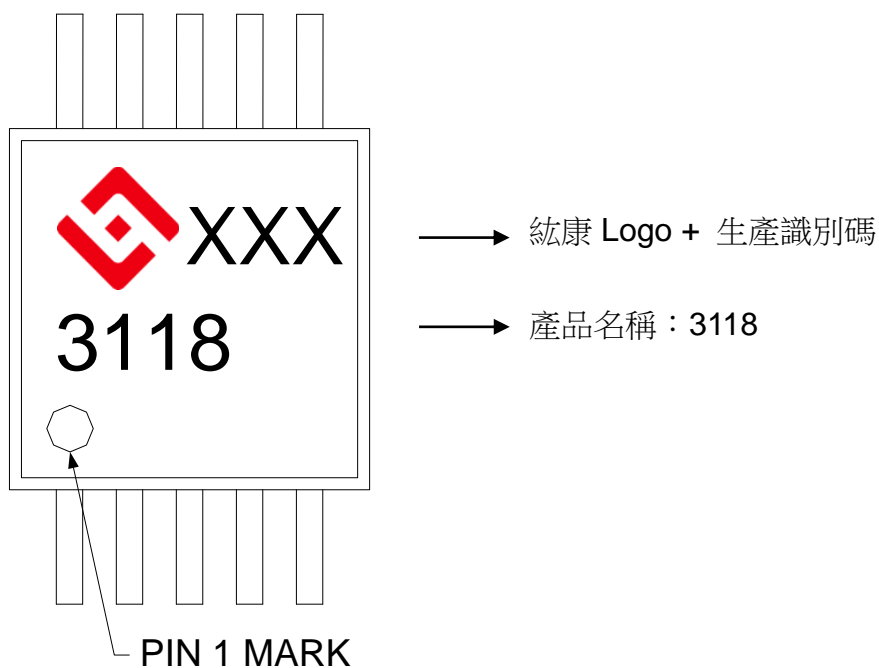
*1 REFN 與 VSS 在 MSOP10 封裝時，連接在一起。

表 1 引腳定義與功能說明

3.2.1. SSOP 封裝片標記信息



3.2.2. MSOP 封裝片標記信息



4. 應用電路

4.1. 橋式感測器

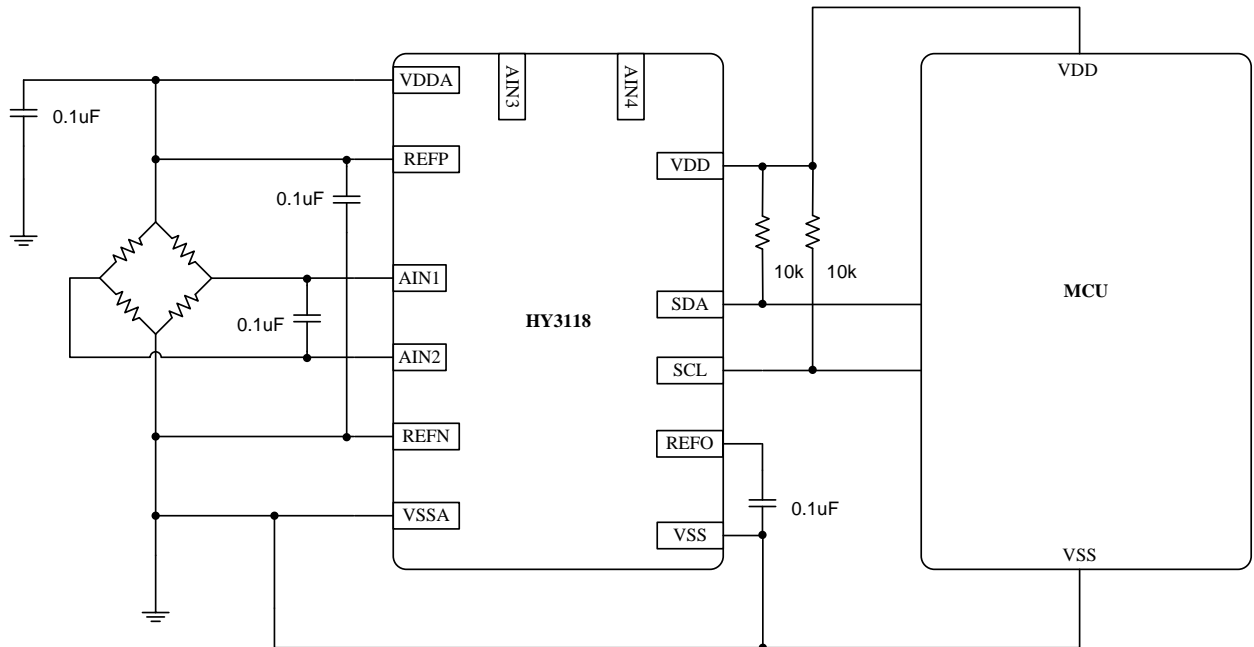


圖 4 橋式感測器應用電路

5. 暫存器列表

5.1. 暫存器列表

暫存器		位元組							
位址	名稱	7	6	5	4	3	2	1	0
00h	SYS	-	APO	IRQEN	ENADC	ENLDO	ENREFO	ENOP	-
	讀/寫	-	R/W	R/W	R/W	R/W	R/W	R/W	-
	上電復位	-	0	0	0	0	0	0	-
01h	ADC1	-	-	INN[2]	INN[1]	INN[0]	INP[2]	INP[1]	INP[0]
	讀/寫	-	-	R/W	R/W	R/W	R/W	R/W	R/W
	上電復位	-	-	0	0	0	0	0	0
02h	ADC2	VRPS[1]	VRPS[0]	VRNS[1]	VRNS[0]	DCSET[3]	DCSET[2]	DCSET[1]	DCSET[0]
	讀/寫	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	上電復位	0	0	0	0	0	0	0	0
03h	ADC3	OSCS[1]	OSCS[0]	FRb	PGA[2]	PGA[1]	PGA[0]	ADGN[1]	ADGN[0]
	讀/寫	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	上電復位	0	0	0	0	0	0	0	0
04h	ADC4	LDO[1]	LDO[0]	REFO	HS	OSR[2]	OSR[1]	OSR[0]	-
	讀/寫	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-
	上電復位	0	0	0	0	0	0	0	-
05h	ADOH	ADOH<23:16>							
	讀/寫	R	R	R	R	R	R	R	R
	上電復位	0	0	0	0	0	0	0	0
	ADOM	ADOM<15:8>							
	讀/寫	R	R	R	R	R	R	R	R
	上電復位	0	0	0	0	0	0	0	0
	ADOL	ADOL<7:1>							ADST
	讀/寫	R	R	R	R	R	R	R	R
	上電復位	0	0	0	0	0	0	0	0

“-”：未使用，“RW”：可讀寫，“R”：唯讀，“!”：保持 0

表 2 控制暫存器列表

5.2. 暫存器說明

5.2.1. SYS Register System configuration control register (8bit)

暫存器		位元組							
位址	名稱	7	6	5	4	3	2	1	0
00h	SYS	-	APO	IRQEN	ENADC	ENLDO	ENREFO	ENOP	-
	讀/寫	-	R/W	R/W	R/W	R/W	R/W	R/W	-
	上電復位	-	0	0	0	0	0	0	-

表 3 SYS 控制暫存器

APO[0] Auto Power off

<0> Disable
 <1> Enable

ENLDO[0] Enable LDO control

<0> Disable
 <1> Enable

IRQEN[0] SDA interrupt function

<0> Disable SDA interrupt function
 <1> Enable SDA interrupt function

ENREFO[0] Enable REFO control

<0> Disable
 <1> Enable

ENADC[0] ADC control

<0> Disable
 <1> Enable

ENOP[0] Enable rail-to-rail OPAMP

<0> Disable
 <1> Enable

5.2.2. ADC1 Register ADC configuration control register 1(8bit) (ADC input select)

暫存器		位元組							
位址	名稱	7	6	5	4	3	2	1	0
01h	ADC1	-	-	INN[2]	INN[1]	INN[0]	INP[2]	INP[1]	INP[0]
	讀/寫	-	-	R/W	R/W	R/W	R/W	R/W	R/W
	上電復位	-	-	0	0	0	0	0	0

表 4 ADC1 控制暫存器

INN[2:0] Negative input voltage selection

<000> AIN1
 <001> AIN2
 <010> AIN3
 <011> AIN4
 <100> REFO
 <101> OPO
 <110> VSSA
 <111> 0.1xVDD

INP[2:0] Positive input voltage selection

<000> AIN1
 <001> AIN2
 <010> AIN3
 <011> AIN4
 <100> REFO
 <101> OPO
 <110> VSSA
 <111> 0.1xVDD

5.2.3. ADC2 Register ADC configuration control register 2(8bit)

暫存器		位元組							
位址	名稱	7	6	5	4	3	2	1	0
02h	ADC2	VRPS[1]	VRPS[0]	VRNS[1]	VRNS[0]	DCSET[3]	DCSET[2]	DCSET[1]	DCSET[0]
	讀/寫	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	上電復位	0	0	0	0	0	0	0	0

表 5 ADC2 控制暫存器

VRPS[1:0] Positive reference voltage selection

- <00> Vrefp (Unbuffered)
- <01> VDDA
- <10> Vrefp (buffered)
- <11> Internal reference voltage V12

VRNS[1:0] Negative reference voltage selection

- <00> Vrefn (Unbuffered)
- <01> VSSA
- <10> Vrefn (buffered)
- <11> Internal reference voltage V12

DCSET[3:0] DC offset input voltage selection

- (VREF = REFP-REFN)
- <0000> 0 VREF
 - <0001> +1/8 VREF
 - <0010> +1/4 VREF
 - <0011> +3/8 VREF
 - <0100> +1/2 VREF
 - <0101> +5/8 VREF
 - <0110> +3/4 VREF
 - <0111> +7/8 VREF
 - <1000> 0 VREF
 - <1001> -1/8 VREF
 - <1010> -1/4 VREF
 - <1011> -3/8 VREF
 - <1100> -1/2 VREF
 - <1101> -5/8 VREF
 - <1110> -3/4 VREF
 - <1111> -7/8 VREF

HY3118/HY3116

24-Bit Analog-to-Digital Convert

High Resolution $\Sigma\Delta$ ADC

5.2.4. ADC3 Register ADC configuration control register 3(8bit)

暫存器		位元組							
位址	名稱	7	6	5	4	3	2	1	0
03h	ADC3	OSCS[1]	OSCS[0]	FRb	PGA[2]	PGA[1]	PGA[0]	ADGN[1]	ADGN[0]
	讀/寫	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	上電復位	0	0	0	0	0	0	0	0

表 6 ADC3 控制暫存器

OSCS[1:0] Oscillator source select

- <00> Internal oscillator 327KHz
- <01> Internal oscillator 1000KHz
- <10> External oscillator divider by 15
- <11> External oscillator divider by 5

FRb [0] Full reference range select

- <0> Full reference range input
- <1> 1/2 reference range input

PGA[2:0] Input signal gain for modulator

- <000> PGA Disable
- <001> Gain = 8
- <010> Reservations
- <011> Gain = 16
- <100> Reservations
- <101> Reservations
- <110> Reservations
- <111> Gain = 32

ADGN[1:0] Input signal gain for modulator

- <00> Gain = 1
- <01> Gain = 2
- <10> Reservations
- <11> Gain = 4

5.2.5. ADC4 Register ADC configuration control register 3(8bit)

暫存器		位元組							
位址	名稱	7	6	5	4	3	2	1	0
04h	ADC4	LDO[1]	LDO[0]	REFO	HS	OSR[2]	OSR[1]	OSR[0]	-
	讀/寫	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-
	上電復位	0	0	0	0	0	0	0	-

表 7 ADC4 控制暫存器

LDO[1:0] LDO output voltage selection

- <00> 3.3V
- <01> 3.0V
- <10> 2.7V
- <11> 2.4V

REFO[0] Reference voltage selection

- <0> REFO= 1.2V
- <1> REFO = 1.5V

HS[0] High conversion rate

- <0> Slow sampling rate (327KHz)

<1> High sampling rate (1000K Hz)

OSR[2:0] ADC output rate select

- <000> 2560sps / 7680sps (128)
- <001> 1280sps / 3840sps (256)
- <010> 640sps / 1920sps (512)
- <011> 320sps / 960sps (1024)
- <100> 160sps / 480sps (2048)
- <101> 80sps / 240sps (4096)
- <110> 40sps / 120sps (8192)
- <111> 10sps / 30sps (32768)

5.2.6. ADO Register ADC Output Code(24bit)

暫存器		位元組							
位址	名稱	7	6	5	4	3	2	1	0
05h	ADOH	ADOH<23:16>							
	讀/寫	R	R	R	R	R	R	R	R
	上電復位	0	0	0	0	0	0	0	0
	ADOM	ADOM<15:8>							
	讀/寫	R	R	R	R	R	R	R	R
	上電復位	0	0	0	0	0	0	0	0
	ADOL	ADOL<7:1>							
	讀/寫	R	R	R	R	R	R	R	ADST
	上電復位	0	0	0	0	0	0	0	0

表 8 ADO 控制暫存器

ADO[23:1] ADC output Code

ADST[0] ADC output Code Status

ADOH[7:0] ADC output Code of ADO[23:16]

<0> Information has been read

ADOM[7:0] ADC output Code of ADO[15:8]

<1> Information is not read

ADOL[7:1] ADC output Code of ADO[7:1]

6. 電氣特性

6.1. ABSOLUTE MAXIMUM RATINGS

Description	HY3118/HY3116	UNIT
VDD to VSS	-0.3 to +3.6	V
VDD to VSSA	-0.3 to +3.6	V
VSSA to VSS	-0.3 to +0.3	V
Input Current	100, Momentary	mA
	10, Continuous	mA
Analog Input Voltage to VSSA	-0.3 to VDDA + 0.3	V
Digital Input Voltage to VSS	-0.3 to VDD + 0.3	V
Maximum Junction Temperature	+150	°C
Operating Temperature Range	-40 to +85	°C
Storage Temperature Range	-60 to +150	°C

表 9a 電氣特性表

HY3118/HY3116

24-Bit Analog-to-Digital Convert

High Resolution $\Sigma\Delta$ ADC



6.2. ELECTRICAL CHARACTERISTICS

All specifications at $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, $V_{DDA} = V_{DD} = \text{REFF} = +3\text{V}$, $\text{REFN} = \text{VSSA}$, and $\text{PGA} \cdot \text{Gain} = 128$, unless otherwise noted.					
PARAMETER	CONDITIONS	HY3118/HY3116			UNIT
		MIN	TYP	MAX	
Analog Inputs					
Full-Scale Input Voltage ($V_{\text{INP}} - V_{\text{INN}}$)	$V_{\text{REF}} = V_{\text{DDA}}$,	$\pm 0.5 \cdot V_{\text{REF}} / (\text{PGA} \cdot \text{Gain})$			V
Full-Scale Input Voltage ($V_{\text{INP}} - V_{\text{INN}}$)	$V_{\text{DDA}} = 3.3\text{V}$, $V_{\text{REF}} = 1\text{V}$,	$\pm 0.9 \cdot V_{\text{REF}} / (\text{PGA} \cdot \text{Gain})$			V
Negative Signal Input (V_{INN})		$V_{\text{SSA}} - 0.1$		V_{DDA}	V
Positive Signal Input (V_{INP})		$V_{\text{SSA}} - 0.1$		V_{DDA}	V
Common-Mode Input Range		$V_{\text{SSA}} - 0.1$		V_{DDA}	V
System Performance					
Resolution	No Missing Codes	23			Bits
Data Rate	Internal oscillator 1000KHz, OSR=32768, HS[0]=1b	30			SPS
	Internal oscillator 327KHz, OSR=32768, , HS[0]=0b	10			SPS
	External Oscillator ⁽¹⁾ , HS[0]=1b, Speed=High	$f_{\text{CLK}} / 61440$			SPS
	External Oscillator ⁽¹⁾ , HS[0]=0b, Speed=Low	$f_{\text{CLK}} / 491520$			SPS
Digital Filter Settling Time	Full Settling	4			Conversions
Integral Nonlinearity (INL)	Differential Input, End-Point Fit, $G = 1$, $V_{\text{IN}} = 0.9 \cdot V_{\text{R}}$, $\Delta V_{\text{R}} \sim 1.2\text{V}$		± 30	± 100	ppm
Input Offset Error	Gain=1,		± 50		ppm of FS
	Gain=128,		± 3		ppm of FS
Input Offset Drift	Gain=1		2		$\mu\text{V}/^{\circ}\text{C}$
	Gain=128,		20		$\text{nV}/^{\circ}\text{C}$
Gain Drift	Reference Buffer off, Input common voltage= $V_{\text{DDA}}/2$		5		ppm/ $^{\circ}\text{C}$
	Reference Buffer on, Input common voltage= $V_{\text{DDA}}/2$		50		
Normal-Mode Rejection	$f_{\text{IN}} = 50\text{Hz}$ or 60Hz	Internal Oscillator	90		dB
	$\pm 1\text{Hz}$, $f_{\text{DATA}} = 10\text{SPS}$	External Oscillator ⁽¹⁾	90		dB
Common-Mode Rejection	at DC, Input Voltage= $V_{\text{DDA}}/2 \pm 0.1\text{V}$		75		dB

HY3118/HY3116

24-Bit Analog-to-Digital Convert

High Resolution $\Sigma\Delta$ ADC

Input-Referred Noise	fDATA = 10SPS , Gain=128,	100	nV, rms
	fDATA = 7680SPS , Gain=1,	3700	nV, rms
Power-Supply Rejection	at DC, VDDA=3V±0.1V, Gain=1	60	dB
	at DC, VDDA=3V±0.1V, Gain=128	95	dB
Voltage Reference Input			
Voltage Reference Input (VREF)	VREF = REFP – REFN	VDDA	V
Negative Reference Input (REFN)		VSS-0.1	VDDA/2
Positive Reference Input (REFP)		VDDA/2	VDDA+0.1
Voltage Reference Input Current	Input buffer on	10	nA
Power System			
VDDA operation current	I _L = 0mA, ENLDO[0]=1b, LDO[1:0]=00b	45	uA
VDDA output voltage	I _L = 0.1mA, ENLDO[0]=1b, VDD ≥ VDDA+0.2V	LDO[1:0]=00b	3.3
		LDO[1:0]=01b	3.0
		LDO[1:0]=10b	2.7
		LDO[1:0]=11b	2.4
VDDA Dropout voltage	I _L = 10mA, ENLDO[0]=1b,	LDO[1:0]=00b	130
		LDO[1:0]=01b	140
		LDO[1:0]=10b	155
		LDO[1:0]=11b	175
VDDA temperature drift	I _L = 0.1mA, ENLDO[0]=1b, LDO[1:0]=11b	T _A =-40[1:0°C	50
VDDA voltage drift	I _L = 0.1mA, ENLDO[0]=1b, LDO[1:0]=11b	VDD=2.5V~3.6V	±0.2
REFO operation current	I _L = 0mA, ENREFO[0]=1b, REFO[0]=1b	45	uA
REFO output voltage, V _{REFO}	I _L = 10uA, ENREFO[0]=1b	REFO[0]=0b	1.2
		REFO[0]=1b	1.5
REFO output voltage with load	I _L = ±200uA, ENREFO[0]=1b	0.98	1.02
REFO temperature drift	I _L = 10uA, ENREFO[0]=1b	T _A =-40EFO[0	50

HY3118/HY3116

24-Bit Analog-to-Digital Convert

High Resolution $\Sigma\Delta$ ADC

REFO voltage drift	$I_L = 10\mu A$, ENREF0[0]=1b	VDDA=2.4V~3.6V	100		uV/V	
Internal RC Oscillator						
Low speed oscillator frequency	Internal oscillator, 327KHz, TA=25°C		290	327	360	KHz
Low speed oscillator Voltage drift	VDD=2.2V~3.6V		0.5			%
Low speed oscillator temperature drift	TA=-40ature		2			%
High speed oscillator frequency	Internal oscillator, 1000KHz, TA=25°C		900	1000	1100	KHz
High speed oscillator Voltage drift	VDD=2.2V~3.6V		1			%
High speed oscillator temperature drift	TA=-40ature		2			%
Digital						
Logic Levels	VIH	Digital inputs_SCL	0.7 VDD	VDD + 0.1		V
		Digital inputs_S	0.7 VDD	3.7		V
	VIL		VSS	0.2 VSS		V
	VOH	IOH = 1mA	VDD - 0.4			V
	VOL	IOL = 1mA			0.2 VDD	V
Input Leakage	0 < VIN < VDD		0.1			nA
External Clock Input Frequency (f _{CLKIN})			4.9152			MHz
Serial Clock Input Frequency (f _{SCLK})					5	MHz
(1). HY3116 不支援外部震盪器功能.						

表 9b 電氣特性表

HY3118/HY3116

24-Bit Analog-to-Digital Convert

High Resolution $\Sigma\Delta$ ADC



All specifications at VDD=3.6V, internal VDDA, Internal Oscillator enable, unless otherwise noted.

PARAMETER	CONDITIONS	HY3118/HY3116			UNIT
		MIN	TYP	MAX	
Power Supply					
Power-Supply Voltage (VDDA, VDD)		2.4		3.6	V
Analog Supply Current I, Internal oscillator 327KHz, OSR=32768, HS[0]=0b, fDATA = 10SPS	VDDA=2.4V, Gain=1		180		μ A
	VDDA=2.4V, Gain=128		530		μ A
	VDDA=3.0V, Gain=1		180		μ A
	VDDA=3.0V, Gain=128		550		μ A
	VDDA=3.3V, Gain=1		180		μ A
	VDDA=3.3V, Gain=128		570		μ A
	Reference input buffer (VRPS[1:0]=VRNS[1:0]=10b)		30		μ A
Analog Supply Current II, Internal oscillator 1000KHz, OSR=32768, HS[0]=1b, fDATA = 30SPS	VDDA=2.4V, Gain=1		440		μ A
	VDDA=2.4V, Gain=128		1110		μ A
	VDDA=3.0V, Gain=1		450		μ A
	VDDA=3.0V, Gain=128		1150		μ A
	VDDA=3.3V, Gain=1		460		μ A
	VDDA=3.3V, Gain=128		1180		μ A
Analog Supply Current III, External Oscillator 4.9152MHz, OSR=32768, HS[0]=0b, fDATA = 10SPS	VDDA=2.4V, Gain=1		270		μ A
	VDDA=2.4V, Gain=128		630		μ A
	VDDA=3.0V, Gain=1		276		μ A
	VDDA=3.0V, Gain=128		650		μ A
	VDDA=3.3V, Gain=1		280		μ A
	VDDA=3.3V, Gain=128		670		μ A
Analog Supply Current IV, External Oscillator 4.9152MHz, OSR=32768, HS[0]=1b, fDATA = 30SPS	VDDA=2.4V, Gain=1		520		μ A
	VDDA=2.4V, Gain=128		1150		μ A
	VDDA=3.0V, Gain=1		560		μ A
	VDDA=3.0V, Gain=128		1215		μ A
	VDDA=3.3V, Gain=1		570		μ A
	VDDA=3.3V, Gain=128		1240		μ A
Power down current	ENLDO[0]=ENADC[0]= ENOP[0]=0b,	VDD = 2.4V	0.6		μ A
		VDD = 3.6V	0.75		μ A

表 9c 電氣特性表

HY3118/HY3116

24-Bit Analog-to-Digital Convert

High Resolution $\Sigma\Delta$ ADC

6.3. OPAMP, Electrical Specification

All specifications at VDD=3V, internal VDDA, Internal Oscillator enable, unless otherwise noted.

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	unit
VDDA	Power supply		2.4		3.6	v
V _{OUT}	Output range		0		VDDA	v
VINC	Input common range		0		VDDA	v
I _{OA}	OA current	Each OA		70		μ A
I _{OA_LOAD}	Output current loading (push or pull)	VDDA = 3.0V, 0.3V < Output voltage < VDDA-0.3V			1	mA
		VDDA = 2.4V, 0.3V < Output voltage < VDDA-0.3V			0.5	mA
C _{LOAD}	Max output capacitor load				1000	μ F
R _{FB}	Reference input resistance			5K		Ω
R _{SW}	Switch turn on resistance				300	Ω
SR	ADC input clock	Loading R=10K, C=100pF		0.6		V/ms
G _{OPEN}	Open loop gain	Loading C=100pF		100		dB
UGB	Unit gain bandwidth	Loading C=100pF		1000		KHz
PM	Phase margin	Loading C=100pF		68		Deg
GM	Gain margin			18		dB
NVIN	AINx Input refer noise	Vin= 1.2V, 1KHz		220		nV/V ₀ =
		Vin= 1.2V, 10KHz		75		nV/V _n =
V _{OS}	Offset error				\pm 25	mV
PSRR	Power supply rejection ratio	V _{out} =1.2V, Δ VDD = 100mV, at DC		70		dB
CMRR	Common mode rejection ratio	V _{out} =1.2V, Δ VIN= 100mV, at DC		70		dB

7. ENOB and Noise-Free

下表列出典型的雜訊規格表與 Gain 及 DATA RATE 等關係。測試條件設定在 DD=3.3V，VDDA=3.0V，ADC 參考電壓差為 VDDA/2，ADC 等效輸入阻抗以 1K Loadcell 短路下，取樣 1024 筆資料所得測試結果。

$\Sigma\Delta$ ADC Noise Performance with Output rate/GAIN at VDDA=3.0V, VREF=1.5V										
Output rate (sps)	Max. Vin(mV) =0.9*VREF ⁽¹⁾	Gain	=	PGA	x	ADGN	ENOB (RMS Bit)	RMS Noise (nV)	Noise Free (Bit)	PEAK-TO-PEAK Noise (nV)
10	±1350	1	=	1	x	1	20.26	2389	17.54	15699
	±675	2	=	1	x	2	20.20	1246	17.56	7810
	±338	4	=	1	x	4	20.05	690	17.33	4594
	±169	8	=	8	x	1	20.04	347	17.29	2345
	±42	32	=	32	x	1	19.59	120	16.80	829
	±21	64	=	32	x	2	18.79	105	16.00	729
80	±1350	1	=	1	x	1	18.70	7045	15.96	47382
	±675	2	=	1	x	2	18.73	3439	16.02	22550
	±338	4	=	1	x	4	18.54	1960	15.92	12163
	±169	8	=	8	x	1	18.50	1009	15.81	6518
	±42	32	=	32	x	1	18.19	312	15.47	2069
	±21	64	=	32	x	2	17.42	267	14.78	1665
2560	±1350	1	=	1	x	1	16.22	39153	13.48	262213
	±675	2	=	1	x	2	16.11	21075	13.38	140432
	±338	4	=	1	x	4	15.99	11539	13.30	74202
	±169	8	=	8	x	1	16.01	5664	13.25	38456
	±42	32	=	32	x	1	15.66	1810	12.93	12057
	±21	64	=	32	x	2	14.95	1474	12.23	9772
7680	±1350	1	=	1	x	1	16.31	36854	13.57	247636
	±675	2	=	1	x	2	16.18	20172	13.51	128579
	±338	4	=	1	x	4	16.07	10915	13.31	73940
	±169	8	=	8	x	1	16.10	5332	13.36	35838
	±42	32	=	32	x	1	15.76	1685	12.95	11822
	±21	64	=	32	x	2	15.01	1416	12.27	9466
	±11	128	=	32	x	4	14.07	1363	11.35	8969

(1) Max.Vin (mV) is the max. input voltage of single end to analog ground (AVSS).

表 10 轉換頻率與倍數特性表

RMS Noise 與 Peak-to-Peak Noise 是指輸入端晶片本身所產生的 Noise。RMS Noise 是指晶片 ADC 的輸入 Noise，而本規格所使用的 Peak-to-Peak Noise 是在 1000 筆內(± 3.3 個標準差)的最大與最小 Noise 的差值。

$$ENOB = \frac{In \frac{FSR}{RMS\ Noise}}{In 2}$$

$$Noise - Free\ Bits = \frac{In \frac{FSR}{Peak-to-Peak\ Noise}}{In 2}$$

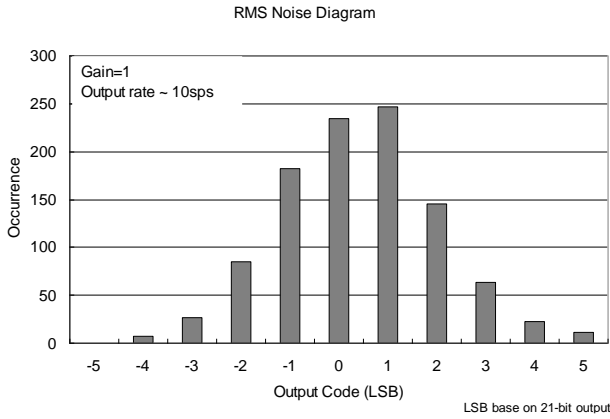


圖 5 RMS Noise Diagram

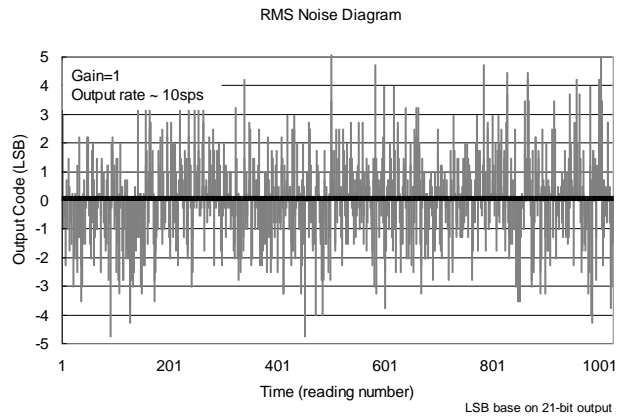


圖 6 Output Code Diagram

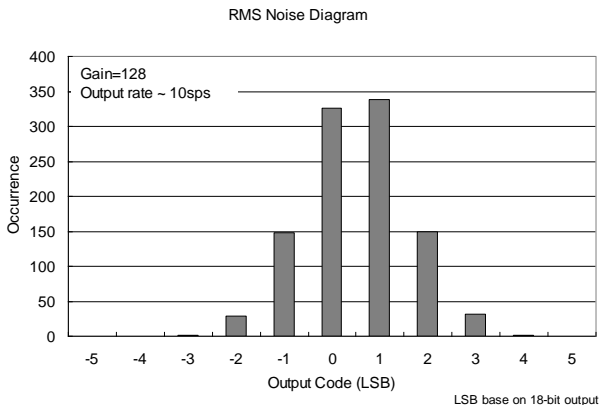


圖 7 RMS Noise Diagram

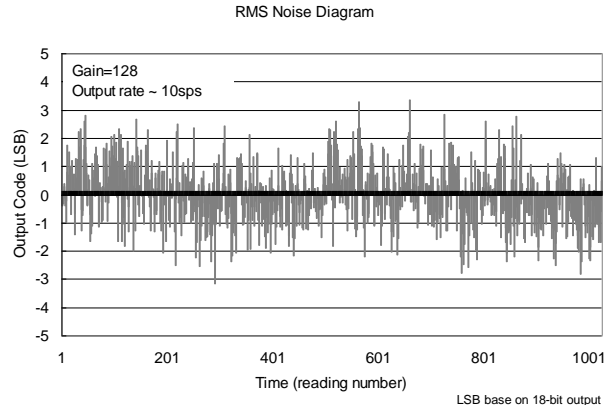


圖 8 Output Code Diagram

8. I2C 通訊協議

- 支援 ADC IRQ 向量
- 兩線式通訊介面
- $f_{SCL}=400\text{KHz}$
- 地址定義 0xA0h
- 低功耗通訊介面

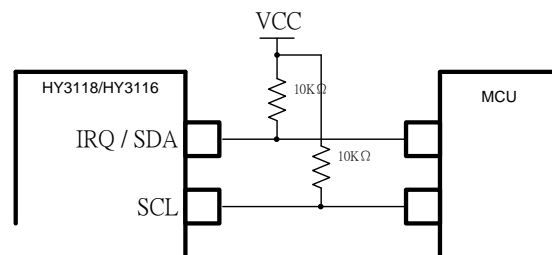


圖 9 通訊介面連接示意圖

通訊方式採用彈性的 I2C 的架構，使用時可規劃成 ADC 轉換完畢後具有 IRQ 通知或無 IRQ 通知以達到不同的應用方式。當通訊協議設置在無 IRQ 模式，對於 ADC 轉換完成的讀取時間必須由使用者自行計算；當通訊協議設置在具 IRQ 模式，則 ADC 轉換完成會有 IRQ 的脈衝信號。

IRQ 的脈衝信號會由 I2C 通訊引腳的 SDA 來產生，設置在此模式時 SDA 在資料傳送結束後引腳會因外部上拉電阻而處於高電位，待 ADC 轉換完成後會在 SDA 產生一個低電位的脈衝信號以達到通知用戶的目的。當 SDA 為低電位時，其消耗電流則依上拉電阻值與 VCC 電壓所計算。

在未啟動 IRQ 模式時，使用者可以讀取暫存器 ADO[ADST]的狀態來判斷 ADC 輸出資料是否已經讀取過，而 ADC 輸出資料與 ADO[ADST]的狀態更新時間只發生在未對 ADO 暫存器讀取時；因此在未啟動 IRQ 模式下，當 ADC 中斷發生時，若正好在讀取 ADO 暫存器，則 ADC 的輸出資料與 ADO[ADST]的狀態將保留上一次狀態而不會被更新。

晶片地址固定在 0xA0 即是 device address[6:0] = 1010000b。

8.1. I2C 通訊時序圖

HY3118/HY3116 的 I2C 從機端通訊格式說明如下圖所示，其細分為：

- a. 有效資料定義 (Data Validity)
- b. 開始與停止定義 (Start and Stop Definition)
- c. ACK 回應信號定義 (ACK Definition)
- d. IRQ 中斷信號定義 (IRQ Definition)
- e. 波形描述定義 (Wave Definition)
- f. 暫存器的寫入 (Write Register)
- g. 暫存器的讀取 (Read Register)
- h. 重新讀取暫存器 (Reread Register)
- i. 暫存器的寫入確認 (Write Register then Read Register)
- j. 中斷 IRQ 的 ADO 暫存器讀取 (IRQ Read Register)
- k. 復位晶片 (Call Chip Reset)

有效資料定義 (Data Validity Definition)

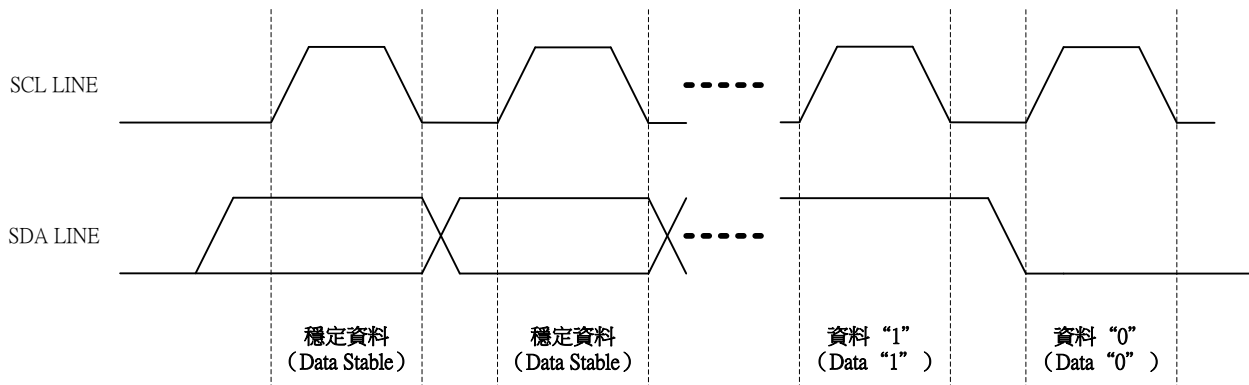


圖 10 通訊 I2C 有效資料波形

開始與停止定義 (Start and Stop Definition)

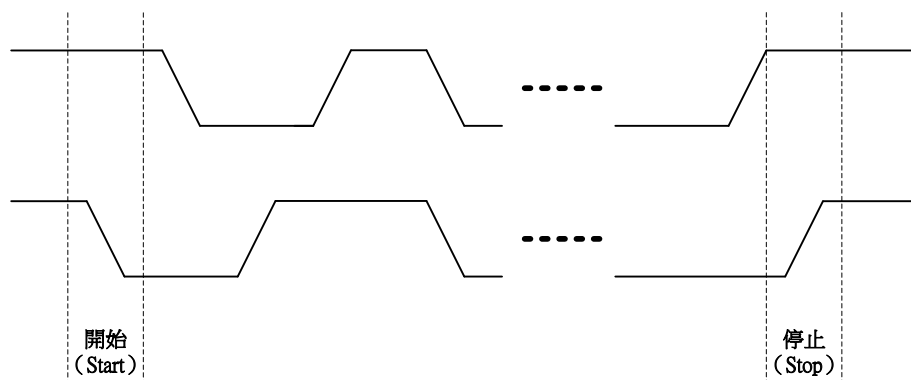
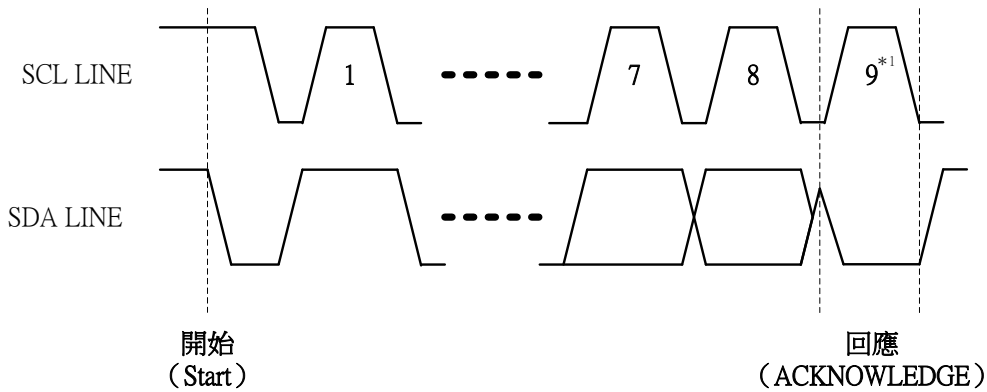


圖 11 通訊 I2C 開始與停止波形

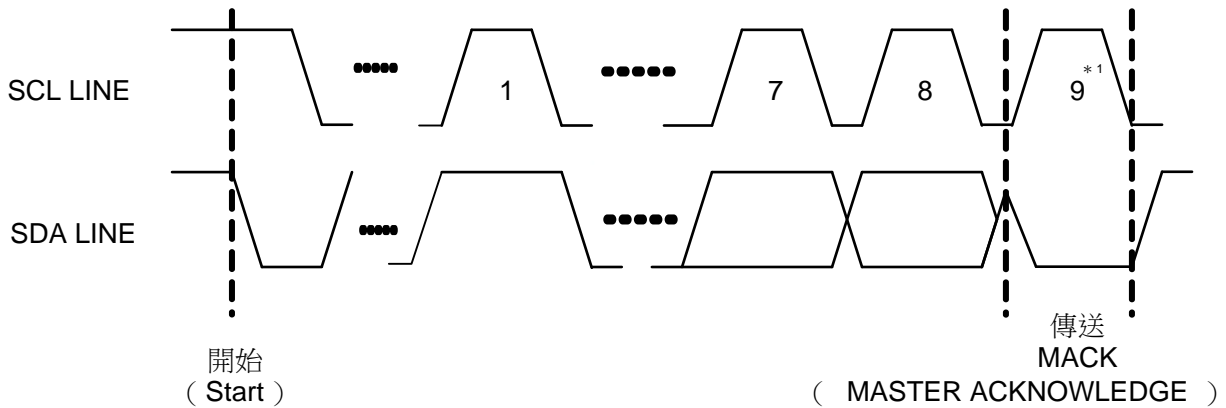
ACK 回應信號定義 (ACK Definition)



*1 主控端 (Master) 向從機端 (Slave) 發送 SCL 信號的至第8個時鐘時，主控端的 SDA 引腳必須由輸出狀態轉為輸入狀態，以接收從機端產生的回應 (ACK) 信號。
 從機端 (Slave) 設置具ADC IRQ中斷信號功能時，主控端的 SDA 引腳必須設置為輸入狀態，以待接收從機端產生的 IRQ 低電位脈衝信號。

圖 12 通訊 I2C 回應信號波形 (ACK)

MACK 傳送信號定義 (MACK Definition)



*1 MACK發生在讀取Word Address=05h (ADO), 須連續讀取3bytes資料輸出時, 當DATA2/DATA3要輸出資料前, 須在第9個CLOCK上升緣之前, 由主控端(Master)控制SDA為輸出引腳, 設定輸出為Low, 通知從機端(Slave)得以繼續輸出DATA2/DATA3資料。

圖 13 通訊 I2C 傳送信號波形 (MACK)

IRQ 中斷信號定義 (IRQ Definition)

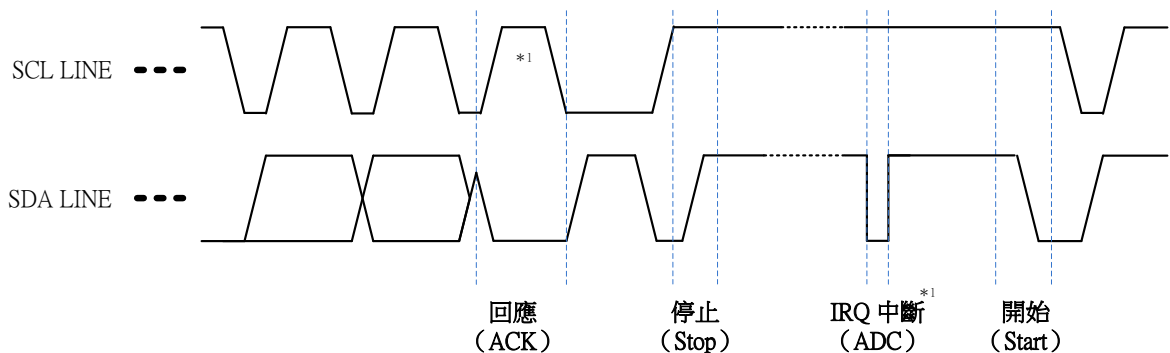


圖 14 通訊 I2C 中斷信號波形 (IRQ)

波形描述定義 (Wave Definition)

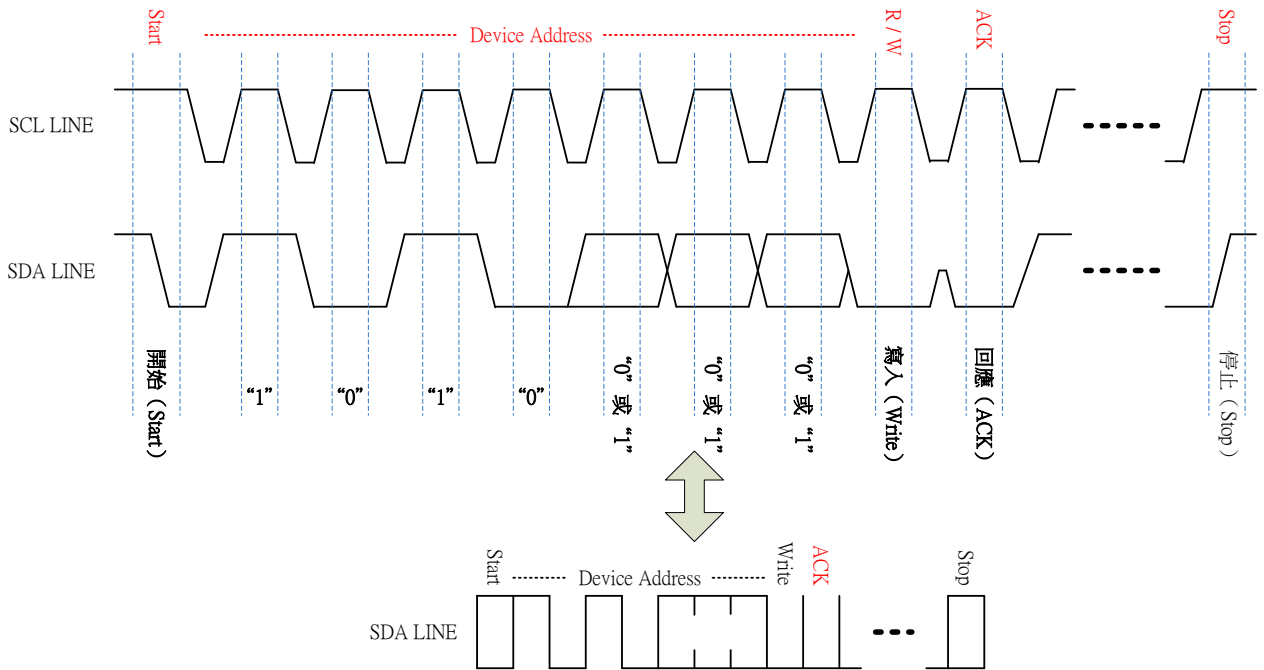
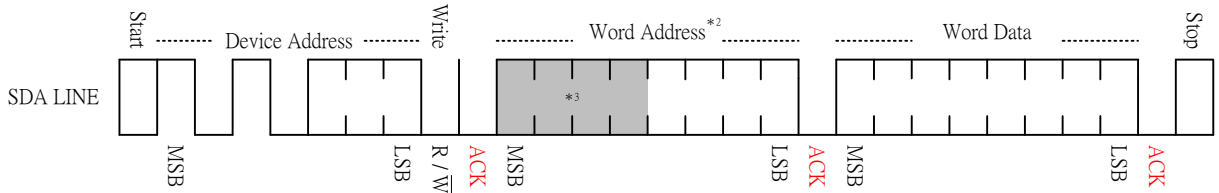


圖 15 波形描述定義

暫存器的寫入 (Write Register)

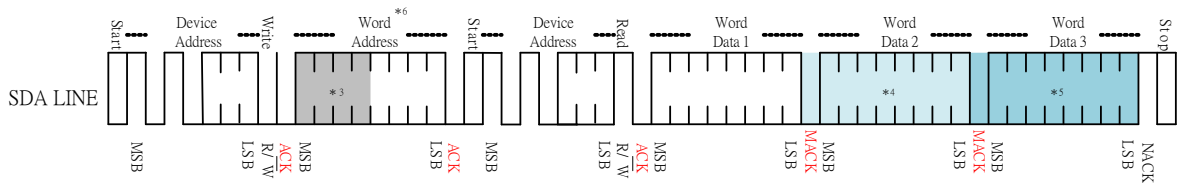


*2 當寫入的 Word Address 大於 04h，將得不到 ACK 回應且 Word Address 的值不會被改變 I2C 通訊終止操作，必須先 Stop 再重新 Start 才可繼續進行通訊。

*3 此4個位元寫入的值必須為 "0"，以免晶片發生誤動作。

圖 16 通訊 I2C 暫存器的寫入

暫存器的讀取 (Read Register)



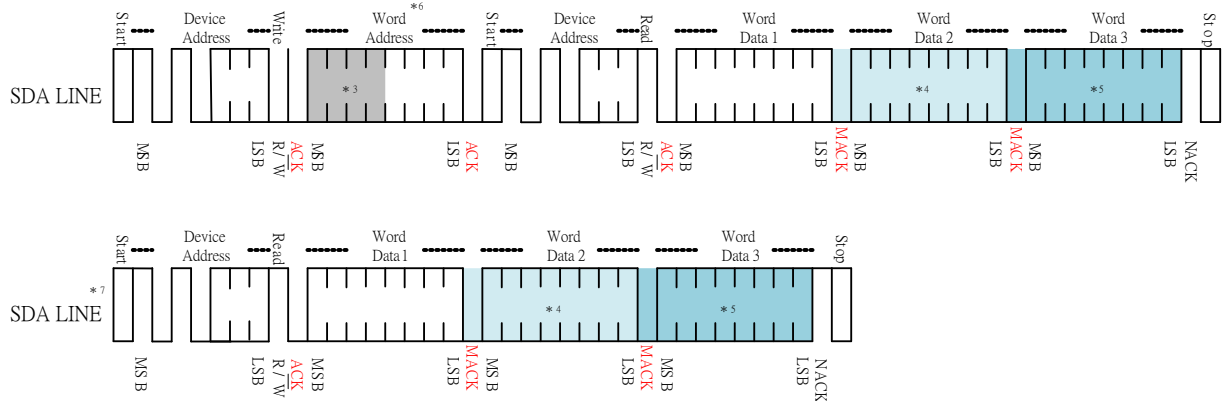
*4 當讀取的 Word Address 在 00h ~ 04h 之間，傳回的資料只有 Word Data 1；

*5 當讀取 Word Address 在 05h (ADO) 的值，則傳回的資料有 Word Data 1 + Word Data 2 + Word Data 3。當需要傳回Data2/Data3資料，則MACK須由主控端設定為Low

*6 當讀取的 Word Address 大於 06h，將得不到 ACK 回應且 Word Address 的值不會被改變 I2C 通訊終止操作，必須先 Stop 再重新 Start 才可繼續進行通訊。

圖 17 通訊 I2C 暫存器的讀取

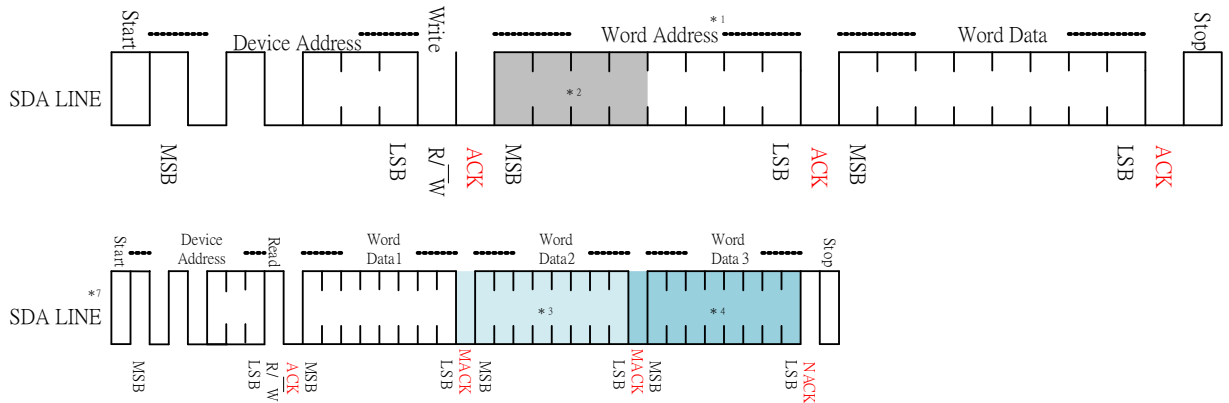
重新讀取暫存器 (Reread Register)



*7 當讀取過指定的 Word Address，再次讀取時無須重新指定 Word Address 即可進行讀取。

圖 18 通訊 I2C 重新讀取暫存器

暫存器的寫入確認 (Write Register then Read Register)



*7 當寫入過指定 Word Address 的 Word Data，接著進行讀取時無須再次指定 Word Address 即可進行讀取。

圖 19 通訊 I2C 暫存器的寫入確認

中斷 IRQ 的 ADO 暫存器讀取(IRQ Read Register)

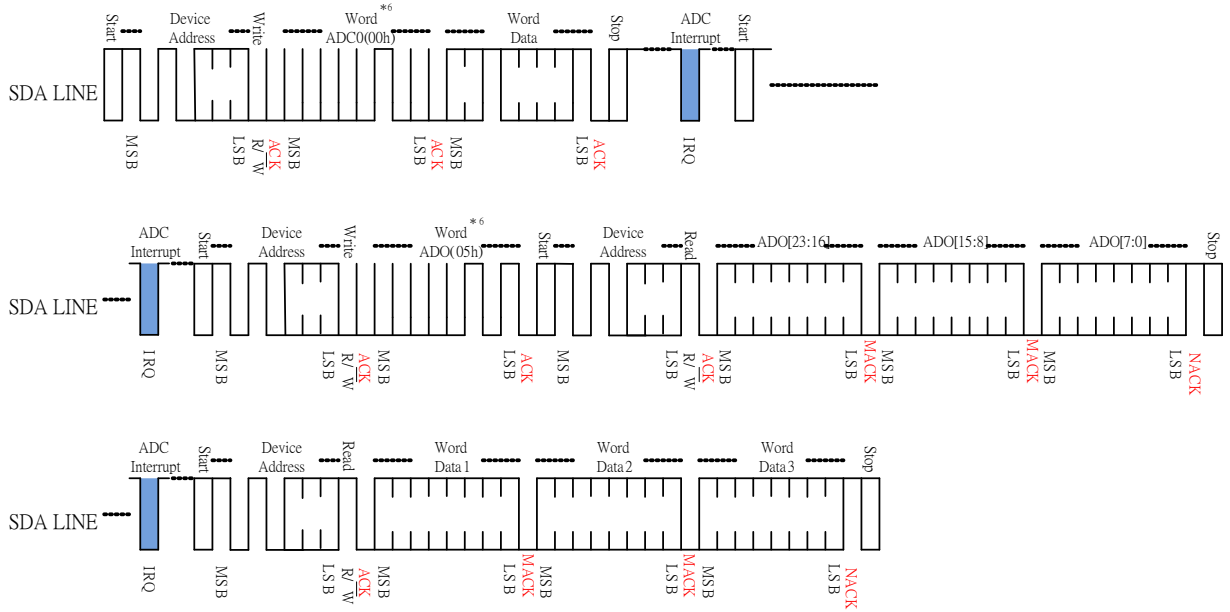


圖 20 中斷 IRQ 的 ADO 暫存器讀取

復位晶片 (Call Chip Reset)

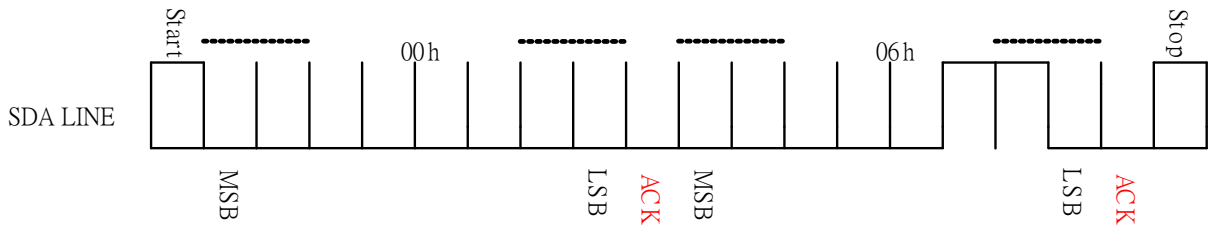


圖 21 通訊 I2C 復位晶片

9. Overview

9.1. 系統工作頻率與低功耗 (Frequency vs. Low Power mode)

- 可選擇內部或外部震盪器
- 低速 RC 震盪器 327KHz
- 高速 RC 震盪器 1000KHz
- 外接震盪器經除頻 5 倍分頻器
- 外接震盪器經除頻 15 倍分頻器
- 可編程工作頻率及 $\Sigma\Delta$ ADC 取樣頻率
- 低功耗模式設計
- 晶片休眠模式
- 自動關閉模式(Auto Power Off)

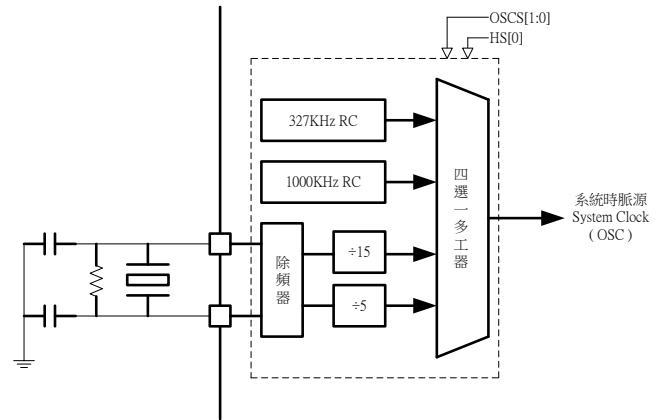


圖 22 系統時脈方塊圖

透過設置暫存器 OSCS[1:0] 選擇系統時脈 (同 ADC 的取樣頻率) 以產生系統工作頻率 OSC。另外，當 $\Sigma\Delta$ ADC 的取樣頻率操作在 327KHz 以上時，必須將暫存器 HS[0] 設置為 “1” 以得切換至高速模式。當 $\Sigma\Delta$ ADC 切換至高速模式時，會增加晶片耗電流。

暫存器	OSCS[1:0]	00	01	10	11
	HS[0]	0	1	0/1	0/1
System Clock		327KHz	1000KHz	EXO ÷ 15	EXO ÷ 5
ADC Sample Rate		327KHz	1000KHz	EXO ÷ 15	EXO ÷ 5

0/1 : System Clock 除頻後超過 327KHz 時，設置 “1”。

EXO : 外部震盪器頻率

表 11 系統工作時脈與 ADC 取樣頻率

當考慮 AC 電源產生的 50/60Hz 干擾時，需選用外部震盪頻率源且建議外接晶體震盪器 Crystal 的頻率為 4.9152MHz。主要原因在於內部 RC 震盪器具有 5% 的誤差，會導致抑制 AC 電源干擾設計效果不佳。

晶片具有兩種低功耗的模式，分別為自動關閉與休眠模式。

- ◆ 使用者預計在最近一筆 ADC 資料轉出後關閉晶片即可啟用自動關閉模式：
 - 測量模式下將 APO[0] 設置 “1” 以啟用自動關閉功能。
 - APO[0] 設置 “1” 後，ADC 會在最近一次轉換輸出 ADO[23:0]並自動將 ENLDO[0] 與 ENADC[0] 設置 “0” 以關閉晶片電源使晶片進入休眠模式。
 - I2C 通訊介面本身為低功耗設計，需注意具上拉電阻引腳不可處於低電位。
- ◆ 休眠模式消耗電流會降至 1uA 以下，使用者按以下說明進行設置即可使得晶片進入該模式：
 - 暫存器 ENADC[0] 設置 “0”，關閉內/外震盪器。
 - 暫存器 ENOP[0]、ENLDO[0] 與 ENREFO[0] 設置 “0”，關閉運算放大器 OPAMP、VDDA 與 REFO。
 - I2C 通訊介面本身為低功耗設計，需注意具上拉電阻引腳不可處於低電位

9.2. VDDA 電源 (Low Dropout Regulator)

- 10mA 負載驅動能力
- 可外部輸入電壓方式設計
- 可編程輸出電壓
- 低溫度係數

低溫飄係數的可編程輸出線性穩壓器 VDDA，其為 ADC、OPAMP、輸入緩衝器的電壓源且具有可編程輸出電壓及 10mA 負載能力的特色，加上採用低溫飄係數電路設計故非常適合用於驅動小電流的傳感器。

當測量系統需要使用共同電源時，亦可關閉 VDDA 而採用外部輸入電壓方式來驅動。將 ENLDO[0] 設置 “1” 即可啟用 VDDA，且透過暫存器 LDO[1:0] 可選擇 VDDA 的輸出電壓值。

暫存器 LDO	ENLDO[0]*1	1	1	1	1	0	0	0	0
	LDO[1:0]	00	01	10	11	00	01	10	11
VDDA*1		3.3V	3.0V	2.7V	2.4V	off/EXT			

*1off/EXT：VDDA 無輸出電壓，此時容許外部輸入電壓

表 12 VDDA 輸出電壓值設置表

9.3. REFO 參考電壓 (Reference Voltage)

- 200uA 負載驅動能力
- 可外部輸入電壓方式設計
- 可編程輸出電壓
- 低溫度係數

低溫飄係數的可編程輸出 REFO 參考電壓，其為類比電路共地電源且具有可編程輸出電壓及 200uA 負載能力的特色，加上採用低溫飄係數電路設計故適合用於當成參考電壓源。

當測量系統需要使用共同參考電源時，亦可關閉 REFO 而採用外部輸入電壓方式來驅動。將 ENREFO[0] 設置 “1” 即可啟用 REFO，且透過暫存器 REFO[0] 可選擇 REFO 的輸出電壓值。

暫存器 REFO	ENREFO[0]*1	1	1	/	/	0	0	/	/
	REFO[0]	0	1	/	/	0	1	/	/
REFO*1		1.2V	1.5V	/	/	off/EXT			

*1off/EXT：REFO 無輸出電壓，此時容許外部輸入電壓

表 13 REFO 輸出電壓值設置表

9.4. 輸入通道多工器與中斷 IRQ (Input Channel Multiplex with IRQ)

- 彈性化的測量與參考信號輸入多工器
- 輸入多工器網路切換設計與 ADC 轉換數據箱制功能
- ADC 轉換數據箱制輸出的穩定時間計算
- ADC 轉換數據完成回應 IRQ 功能

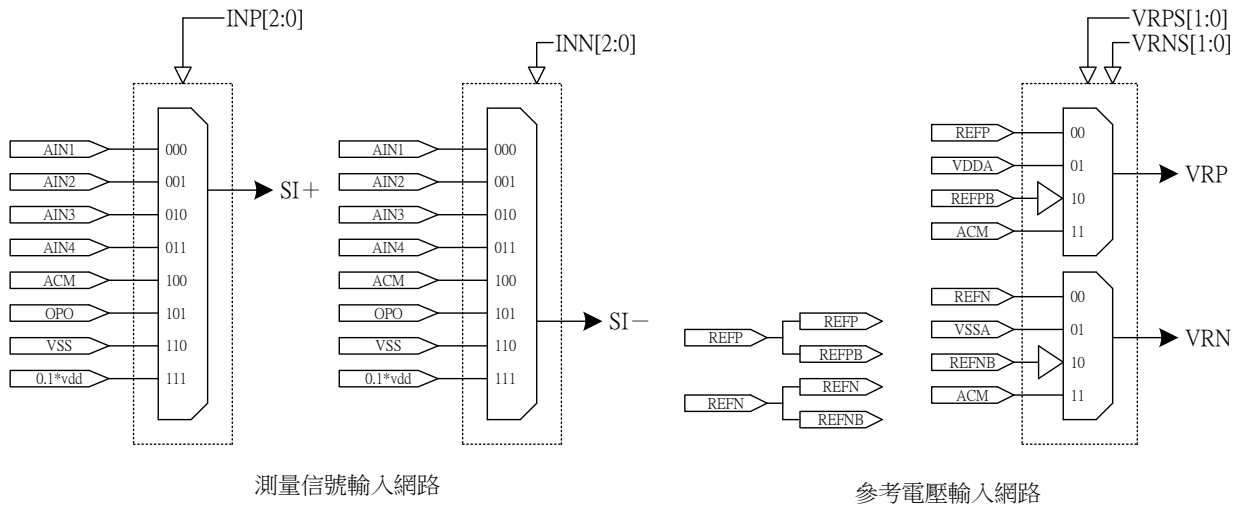


圖 23 輸入通道多工器

信號輸入具彈性化多工器網路切換設計，當輸入網路控制器發生切換後內置的資料轉換箱制器將發生作用，該箱制器主要作用是使得 ADO[23:0]暫存器等待 ADC 轉換數據穩定後資料才被更新，而資料更新穩定時間的計算方式如下：

$$t_{Stable}^{ADC} \cong 128 \times \frac{1}{f_{OSCS}^{ADC}} + 4 \times \frac{1}{f_{OSR}^{ADC}} \dots\dots\dots(式 1)$$

t_{Stable}^{ADC} : ADC網路切換後的穩定時間
 f_{OSCS}^{ADC} : ADC取樣頻率
 f_{OSR}^{ADC} : ADC轉換頻率

此時，若將 ADC4[7:0] 的 IRQEN<0> 設置 1，則當 ADC 資料轉換完畢後會將數據寫入 ADO[23:0] 並於 SDA 引腳產生 IRQ 信號。IRQ 信號為一低電位脈衝信號，當主控端接收到此脈衝信號後即可讀取 ADO[23:0] 暫存器的內容。

必須注意，輸入通道多工器的設置一旦進行切換、正輸負輸入短路或交換、參考電壓變更，都需要 t_{Stable}^{ADC} 的時間 ADC 才會輸出正確的轉換數據或產生中斷回應 IRQ。

9.5. 參考電壓輸入與參考電壓 (Reference Voltage input Chancel with VREF)

- 全差動信號輸入設計
- 軌對軌信號輸入電壓準位 (Rail-to-Rail)
- 低溫飄移係數 (Low-Drift) 與低噪聲設計 (Low-Noise)
- 可編程參考電壓衰減倍率
- 具輸入緩衝器設計
- 輸入阻抗匹配關係

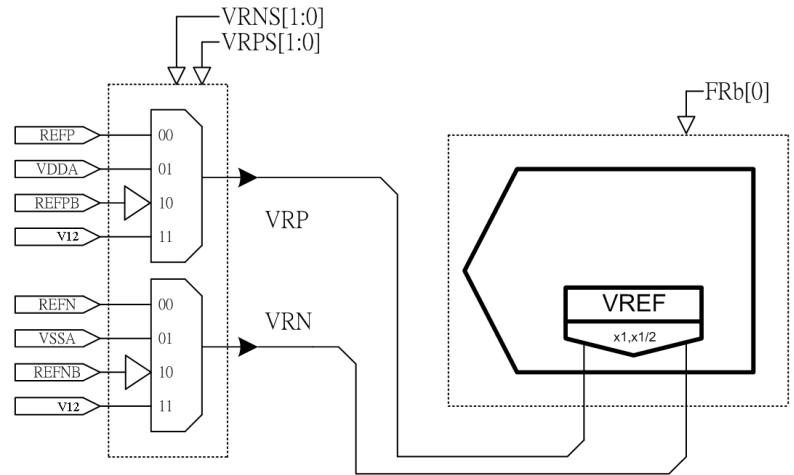


圖 24 參考電壓輸入與衰減器

參考電壓具全差動輸入設計，且內置的可編程輸入衰減器具低飄移 (Low-Drift)、低噪聲 (Low-Noise) 的特性。

參考電壓輸入透過輸入多工器 VRPS[1:0] 與 VRNS[1:0]可選擇合適的信號輸入通道。如下表所示：

暫存器 通道	VRPS[1:0] / VRNS[1:0]						
	00	01	10	11			
VRP	REFP	VDDA	REFPB	V12 ^{*1}			
VRN	REFN	VSSA	REFNB	V12 ^{*1}			

V12: internal reference voltage 1.2V.

表 14 測量信號輸入設置對照表

參考電壓由引腳 REFP 與 REFN 輸入後產生 ΔV_{REF} 電壓差，再經可編程參考電壓衰減器控制暫存器 FRb[0] 選擇衰減倍率產生 $\Sigma\Delta$ ADC 的參考電壓 VREF，且 REFP 輸入電壓必須高於 REFN。

暫存器 G _{REF}	FRb[0]						
	0	1					
Gain	1	1/2					

表 15 參考電壓輸入衰減器倍率對照表

參考電壓 VREF 計算如下：

$$\Delta V_{REF} = V_{REFP} - V_{REFN} \dots\dots\dots (式 2)$$

$$V_{REF} = G_{REF} \times \Delta V_{REF} \dots\dots\dots (式 3)$$

ΔV_{REF} : 外部輸入引腳產生的電壓差值
 V_{REFP} 、 V_{REFN} : 外部輸入引腳電壓值 ($V_{REFP} > V_{REFN}$)
 G_{REF} : 參考電壓輸入衰減器
 V_{REF} : ADC內部參考電壓值

另外，REFP / REFN 的輸入阻抗設計值為 500K Ω ，且 REFP 或 REFN 的輸入電壓不可小於 VSS -100mV，也不可超過 VDDA+100mV；透過設置 VRP / VRN 的輸入為 REFPB / REFNB 可增加 REFP 跟 REFN 的輸入阻抗，但必須注意當使用輸入緩衝器時 REFP 輸入電壓不得小於 1.2V；而 REFN 輸入電壓不得大於 VDDA - 1.2V。

信號端 引腳端	VRP	VRN
REFP	$VSSA - 0.1V \leq REFP \leq VDDA + 0.1V$	
REFN	$VSSA - 0.1V \leq REFN \leq VDDA + 0.1V$	
REFPB	$VSSA + 0.15V \leq REFN \leq VDDA - 1.2V$	
REFNB	$VSSA + 1.2V \leq REFP \leq VDDA - 0.15V$	

表 16 參考電壓輸入限制特性表

9.6. 測量信號輸入通道與可編程信號放大器 (Signal Input Channel with PGA)

- 全差動信號輸入設計
- 軌對軌信號輸入電壓準位 (Rail-to-Rail)
- 低溫飄係數 (Low-Drift) 與低噪聲設計 (Low-Noise)
- 可編程輸入信號放大倍率
- 輸入信號零點偏移設計
- 最小分辨信號 100nV_{RMS}

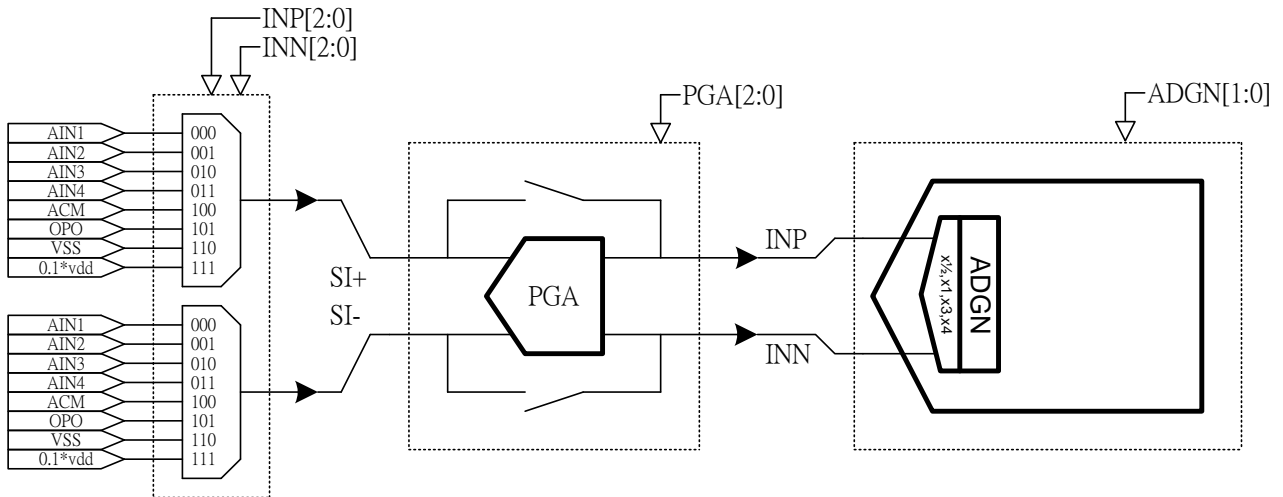


圖 25 信號輸入與放大器

信號量測具全差動輸入設計亦可實現單端信號測量應用，且內置的可編程輸入放大器 PGA 具低飄移 (Low-Drift)、低噪聲(Low-Noise) 的特性，當信號放大倍率達 128 倍 (PGA 設置 32 倍、 $\Sigma\Delta$ D 設置 4 倍)時，最小的信號輸入分辨率可達 100nV_{RMS} 。輸入信號透過多工器可分別連接至 SI+ 或 SI- 通道，多工器的控制暫存器為 INP[2:0] 與 INN[2:0] 。

暫存器 通道	INP[2:0] / INN[2:0]							
	000	001	010	011	100	101	110	111
SI +	AIN1	AIN2	AIN3	AIN4	REFO	OPO	VSSA	0.1*VDD
SI -	AIN1	AIN2	AIN3	AIN4	REFO	OPO	VSSA	0.1*VDD

表 17 測量信號輸入設置對照表

輸入信號的放大倍率則由 PGA 與 $\Sigma\Delta$ D 的增益組成，而放大倍率的選擇與輸入電壓的範圍，如表 18、表 19、表 20 所示，不同的 PGA 與 $\Sigma\Delta$ D 的增益組成所產生的輸入阻抗如表 21 所示：

暫存器 PGA	PGA[2:0]							
	000	001	010	011	100	101	110	111
Gain	off	8	-	16	-	-	-	32

表 18 輸入信號 PGA 放大倍率對照表

暫存器 $\Sigma\Delta$ AD	ADGN[1:0]							
	00	01	10	11				
Gain	1	2	-	4				

表 19 輸入信號 $\Sigma\Delta$ AD 放大倍率對照表

信號端 引腳端	SI+	SI-
AIN0	$VSSA - 0.1V \leq AIN0 \sim AIN3 \leq VDDA + 0.1V$	
AIN1		
AIN2		
AIN3		
VDDA	$2.3V \leq VDDA \leq 3.6V$	
REFO	$1.0V \leq REFO \leq 1.5V$	

表 20 參考電壓輸入限制特性表

Gain	=	PGA	x	ADGN	x	FRb	Sensor output impedance(K Ω)
1	=	1	x	1	x	1	200
2	=	1	x	2	x	1	100
4	=	1	x	4	x	1	32
32	=	8	x	4	x	1	4
64	=	16	x	4	x	1	2
128	=	32	x	4	x	1	1

表 21 輸入阻抗對照表

另外，為了因應不同測量的應用輸入信號皆具有零點偏移功能（ 平移調整 ）；即是透過改變輸入信號零點的位置，以改善因為傳感器輸入偏移電壓過大而導致最大測量範圍溢出的現象。下圖為一測量訊號取 16-bit(± 15 -bit) 的示意圖，輸入信號未做零點偏移調整時在滿量程部分存在溢位現象，而在做了調整 $-1/4 V_{REF}$ 零點偏移準位後可使得測量信號滿量程時不會發生溢位。

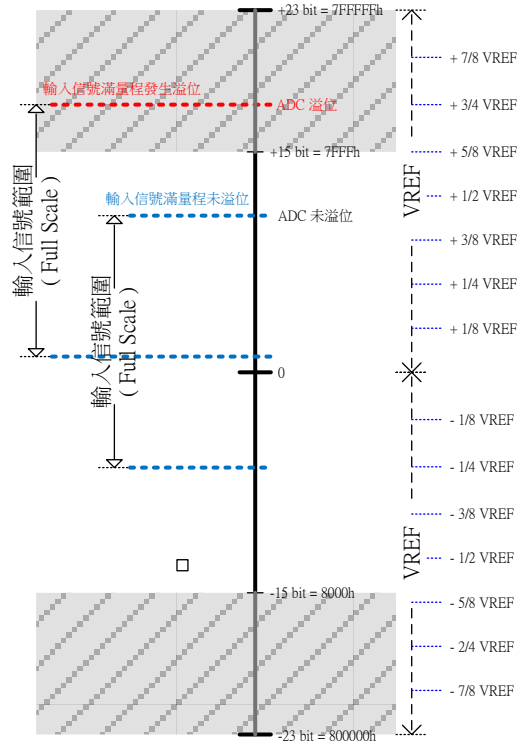


圖 26 取 16-bit 有效位發生溢位的處理方式示意圖

9.7. 梳狀濾波器 (COMB Filter)

- 三階梳狀濾波器
- AC 頻率干擾抑制設計
- 可編程的超取樣頻率

$\Sigma\Delta$ ADC 採用三階的數位濾波器設計，透過設置 OSR[2:0] 可得到不同的數據轉換頻率。

暫存器 OSR	OSR[2:0]							
	000	001	010	011	100	101	110	111
OSR	128	256	512	1024	2048	4096	8192	32768

表 22 超取樣頻率除頻表

OSCS / HS OSR	00	01	10	11	OSCS[1:0]	
	0	1	1	0	HS[0]	
OSR[2:0]	000	2500	7812.5	7680	2560	EXO : 外接 4.9152MHz 石英震盪器
	001	1250	3906.2	3840	1280	
	010	625	1953.1	1920	640	
	011	312.5	976.5	960	320	
	100	156.2	488.2	480	160	
	101	78.1	244.1	240	80	
	110	39	122	120	40	
	111	9.7	30.5	30	10	

表 23 $\Sigma\Delta$ ADC 超取樣轉換頻率對照表

如果外接震盪器使用 4.9152MHz 的震盪器則 $\Sigma\Delta$ ADC 數據轉換有 2560、640、80 和 10Hz 的輸出頻率。**錯誤! 找不到參照來源。** 10SPS 頻率響應圖抑制了 AC 電源的 50/60Hz 干擾。

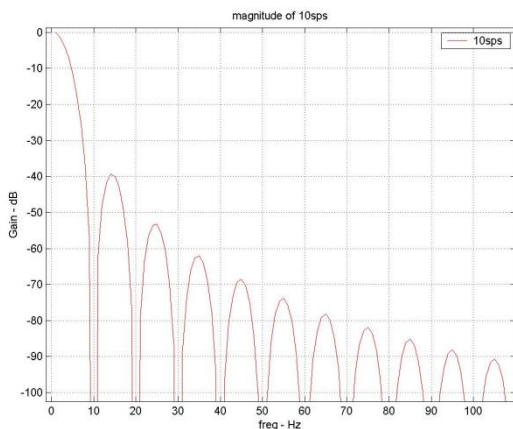


圖 27 10SPS 頻率響應圖

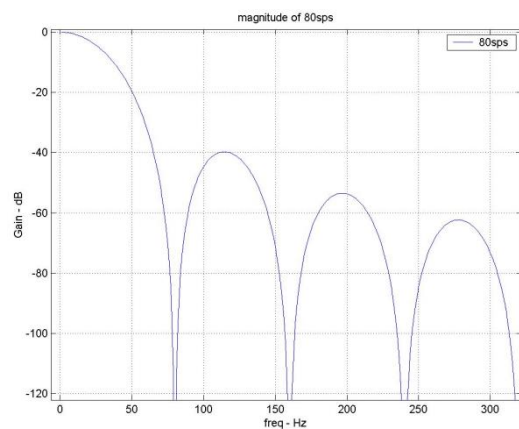


圖 28 80SPS 頻率響應圖

HY3118/HY3116 24-Bit Analog-to-Digital Convert High Resolution $\Sigma\Delta$ ADC

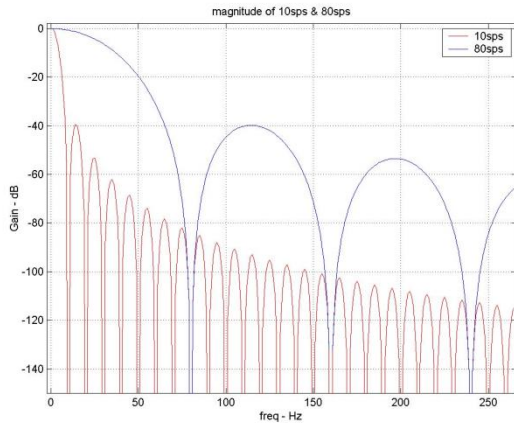


圖 29 10/80SPS 頻率響應圖

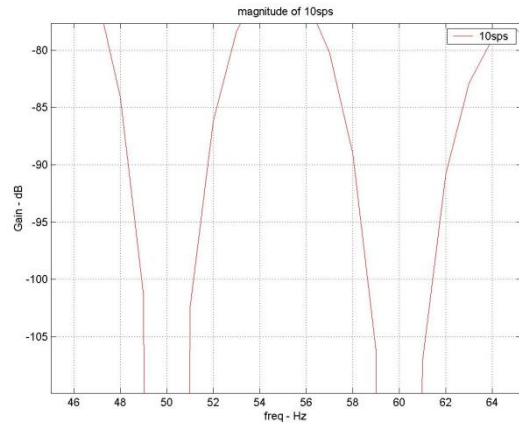


圖 30 10SPS 頻率響應放大圖

9.8. 數據轉換格式 (Data Conversion Format)

- ADO 暫存器
- 24-bit 資料長度
- 兩極性輸出
- 二補數格式

ADO 暫存器為存放梳狀濾波器轉換完成的數據，其存放外部輸入訊號的轉換值於 ADO[23:0]。圖 31 為 ADO[23:0]的數據格式，其 ADO[23:1]為 ADC 的轉換輸出而 ADO[0]位元為 ADO 被讀取的状态旗標 ADST[0]；下圖為 ADO[23:0]的數據格式。

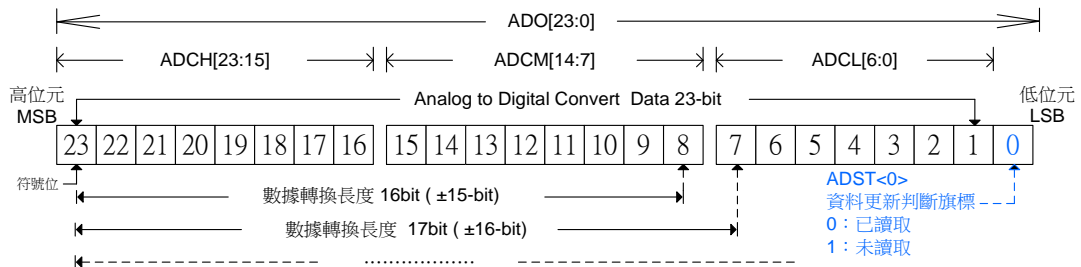


圖 31 ADO 資料轉換格式

	等效待測信號	ADO[23:0]	
		十六進制	二進制
兩極性輸出	ΔVR	7F FF FE	0111-1111 1111-1111 1111-111x
二補數格式	$\Delta VR * (1/2^{22})$	00 00 02	0000-0000 0000-0000 0000-001x
	0	00 00 00	0000-0000 0000-0000 0000-000x
	$-\Delta VR * (1/2^{22})$	FF FF FE	1111-1111 1111-1111 1111-111x
	$-\Delta VR$	80 00 00	1000-0000 0000-0000 0000-000x

表 24 ADO[23:0]與輸入信號關係表

9.9. 軌對軌運算放大器 (Rail-to-Rail OPAMP)

- 軌對軌信號輸入設計
- 具 1mA 輸出與輸入電流能力

軌對軌運算放大器 Rail-to-Rail OPAMP 設計，其具 90dB 的直流增益 (DC gain) 及 70dB 的 CMRR 設計，最大可推動 1uF 的電容負載而運算放大器的輸入信號的電壓範圍出如下表所示。

信號	OPAMP 輸入電壓範圍
OPP	$VSSA \leq OPP \leq VDDA$
OPN	$VSSA \leq OPN \leq VDDA$

表 25 參考電壓輸入限制特性表

另外，運算放大器 OPO 的輸出電壓小於 0.3V 或是大於 $VDDA - 0.3V$ 。此時，運算放大器的輸出阻抗就會增加，下圖是將運算放大器接成單倍增益緩衝器 (unit gain buffer) 時 OPO 輸出電壓呈現的輸出阻抗變化曲線圖。

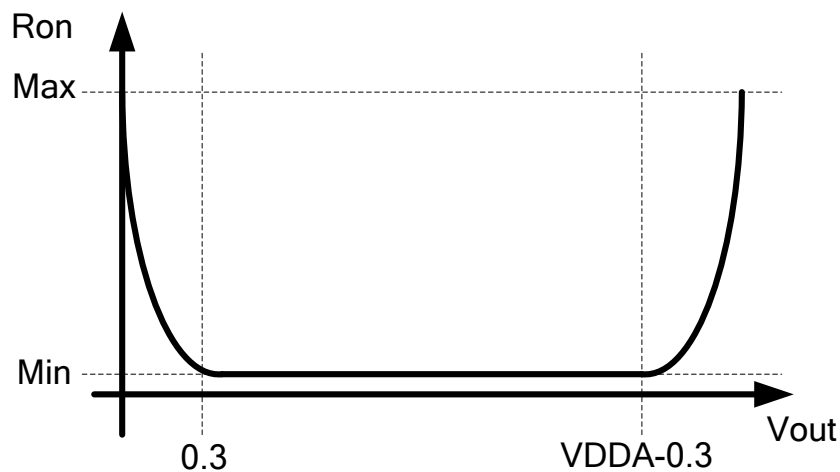


圖 32 OPO 輸出組抗變化圖

使用軌對軌運算放大器時，使用者只要將暫存器 ENOP[0] 設置 “1” 即可啟用。在使用運算放大器的同時必須注意確認 $VDDA$ 是處於開啟的狀態，且透過暫存器 INP[2:0]、INN[2:0] 的設置才能使得 ADC 測量到 OPO 的輸出信號。

10. 訂貨資訊

下單品名 ¹	封裝型式	引腳數	封裝型式 描述方式		出貨包裝 形式	個裝 數量	材料 組成	MSL ²
			E	016				
HY3118-E016	SSOP	16	E	016	Tube	100	Green ³	MSL-3
HY3118-E016	SSOP	16	E	016	Tape & Reel	2500	Green ³	MSL-3
HY3116-M010	MSOP	10	M	010	Tape & Reel	3000	Green ³	MSL-3

¹ 產品名稱 – 封裝型式描述方式 (標準品)

例如：您的需求是 HY3118 封裝片 SSOP16 出貨，則下單品名為 HY3118-E016，

且需以 Tube 出貨，則除下單品名外，請特別註明出貨包裝形式為 Tube

例如：您的需求是 HY3116 封裝片 MSOP10 出貨，則下單品名為 HY3116-M010，

且需以 Tape & Reel 出貨，則除下單品名外，請特別註明出貨包裝形式為 Tape & Reel

² MSL:

濕度敏感性等級係依據 IPC/JEDEC J-STD-020 的規範加以試驗分級，並參考

IPC/JEDEC J-STD-033 的標準處理、包裝、運輸與使用。

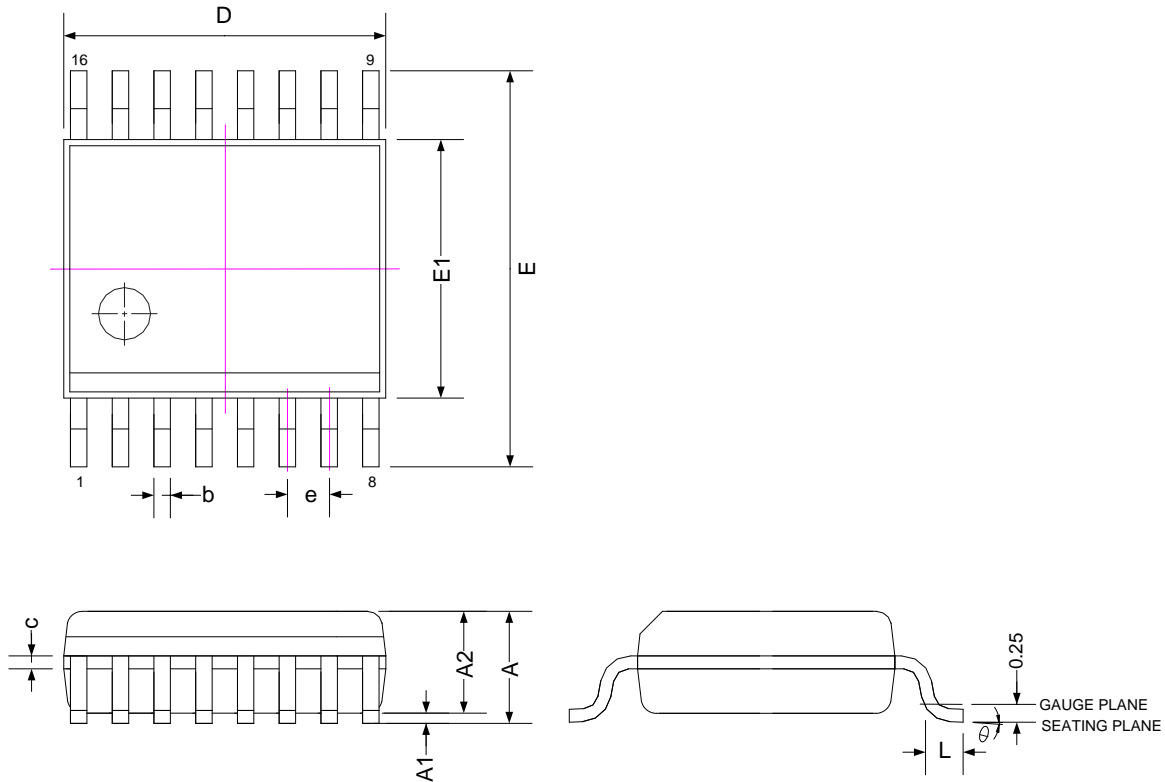
³ Green (RoHS & no Cl/Br):

HYCON 產品皆為 Green Product，符合 RoHS 指令，REACH 高關注物質(SVHC) 以及無鹵素相關規定。

11. 封裝型式資訊

11.1. SSOP16

11.1.1. Package Dimensions

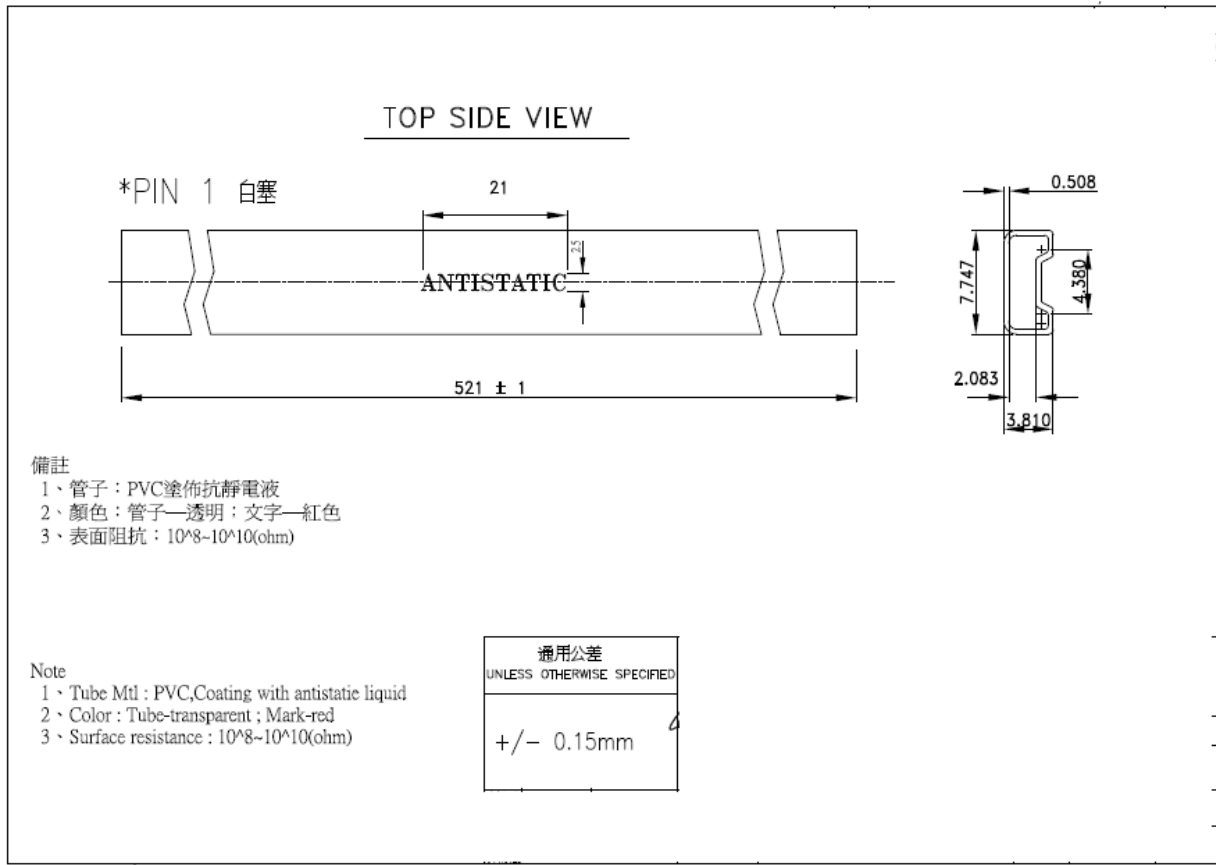
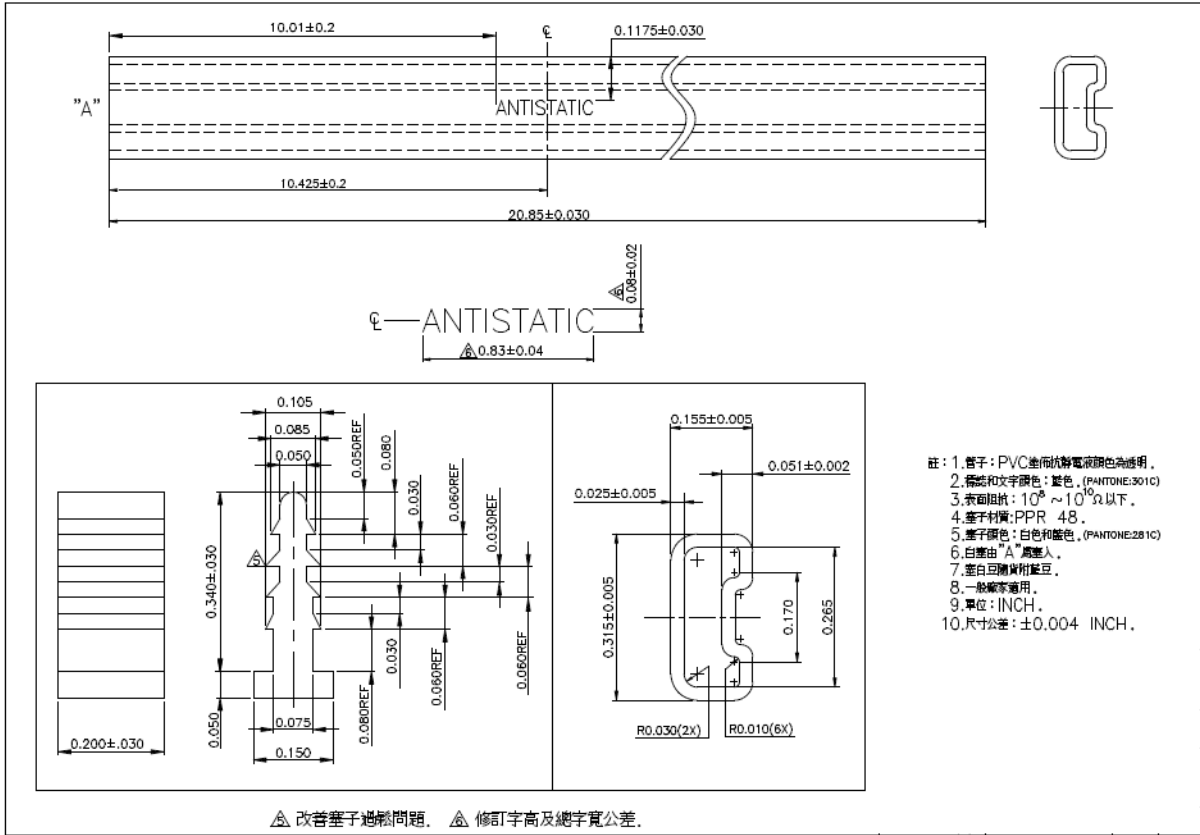


SYMBOLS	MIN	NOM	MAX
A	-	-	1.75
A1	0.10	0.15	0.25
A2	-	-	1.50
b	0.20	-	0.30
c	0.18	-	0.25
D	4.80	4.90	5.00
E1	3.81	3.91	3.99
E	5.79	5.99	6.20
L	0.41	-	1.27
e	0.635 BASIC		
θ°	0	-	8

Note:

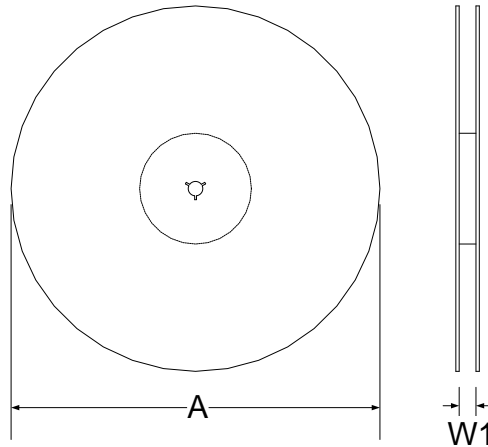
1. All dimensions refer to JEDEC OUTLINE MO-137.
2. Do not include Mold Flash or Protrusions.
3. Unit : mm

11.1.2. Tube Dimensions

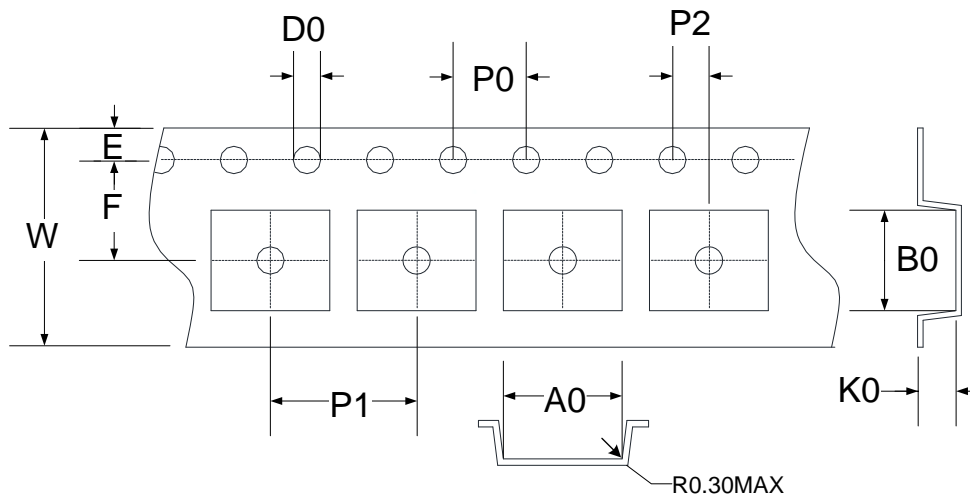


11.1.3. Tape & Reel Information

11.1.3.1. Reel Dimensions-Type 1..... Unit : mm



11.1.3.2. Carrier Tape Dimensions

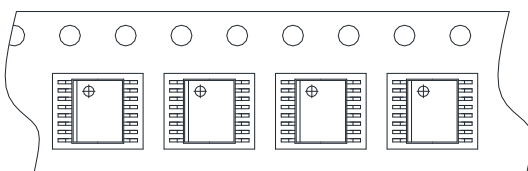


SYMBOLS	Reel Dimensions		Carrier Tape Dimensions									
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W
Spec.	330	12.5	6.90	5.40	2.00	4.00	8.00	2.00	1.75	5.50	1.50	12.00
Tolerance	+6/-3	+1.5/-0	±0.10	±0.10	±0.10	±0.10	±0.10	±0.05	±0.10	±0.05	+0.1/-0	±0.30

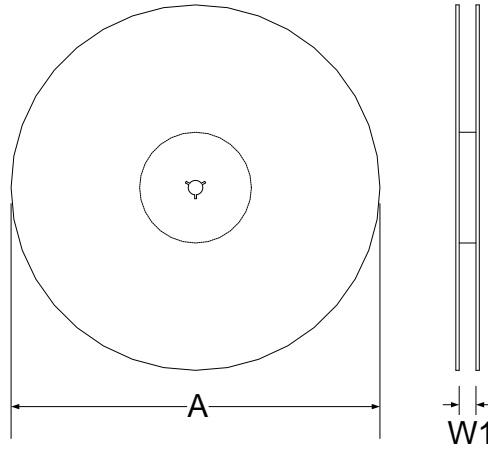
Note: 10 Sprocket hole pitch cumulative tolerance is ± 0.20 mm.

Unit : mm

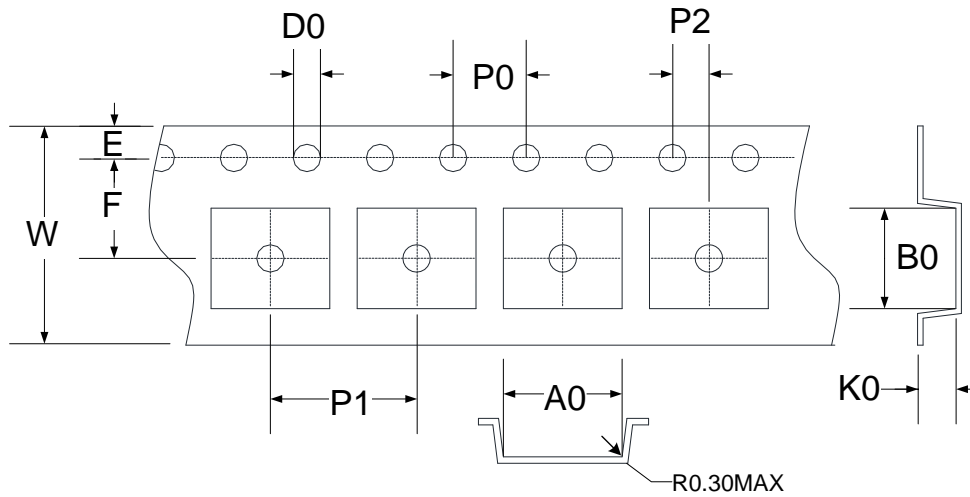
11.1.3.3. Pin1 direction



11.1.3.4. Reel Dimensions-Type 2..... Unit : mm



11.1.3.5. Carrier Tape Dimensions

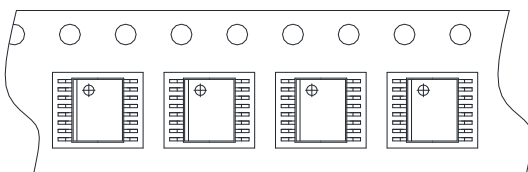


SYMBOLS	Reel Dimensions		Carrier Tape Dimensions										
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W	
Spec.	330	12.5	6.50	5.20	2.10	4.00	8.00	2.00	1.75	5.50	1.50	12.00	
Tolerance	+6/-3	+1.5/-0	± 0.10	± 0.10	± 0.10	± 0.10	± 0.10	± 0.10	± 0.05	± 0.10	± 0.05	+0.1/-0	± 0.30

Note: 10 Sprocket hole pitch cumulative tolerance is $\pm 0.20mm$.

Unit : mm

11.1.3.6. Pin1 direction



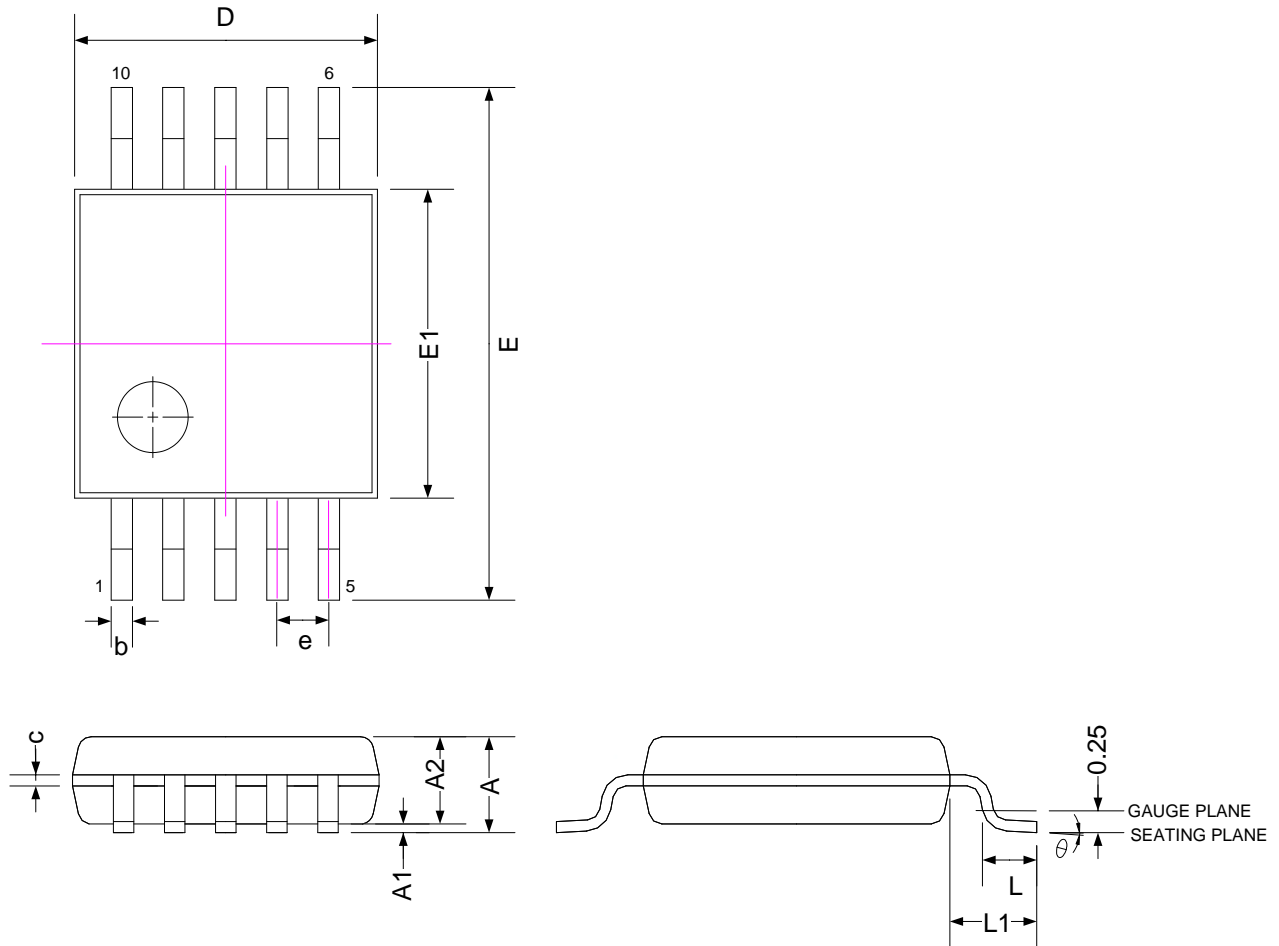
HY3118/HY3116

24-Bit Analog-to-Digital Convert

High Resolution $\Sigma\Delta$ ADC

11.2. MSOP10

11.2.1. Package Dimensions



SYMBOLS	MIN	NOM	MAX
A	-	-	1.10
A1	0.00	0.10	0.15
A2	0.75	0.85	0.95
b	0.17	0.20	0.27
c	0.08	0.15	0.23
D	3.00 BASIC		
E1	3.00 BASIC		
E	4.90 BASIC		
L	0.40	0.60	0.80
L1	0.95 REF		
e	0.50 BASIC		
θ°	0	-	8

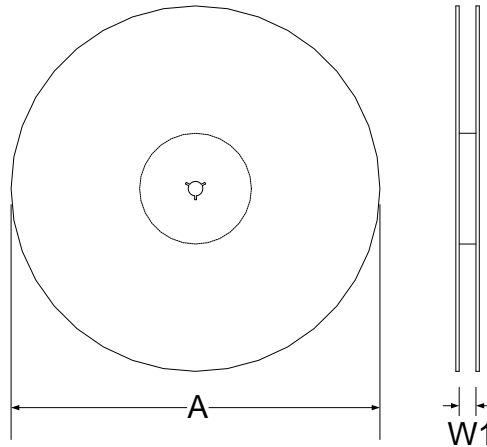
*Note:

- 1.All dimensions refer to JEDEC OUTLINE MO -187.
- 2.Do not include Mold Flash or Protrusions.

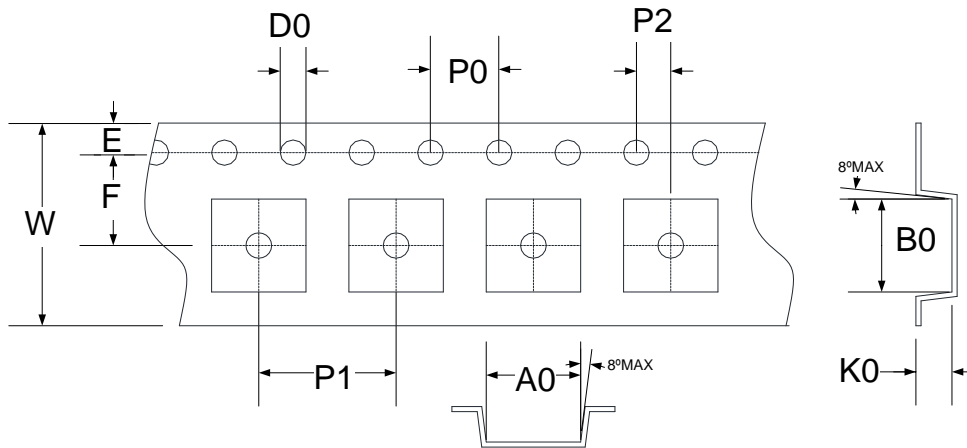
Unit : mm

11.2.2. Tape & Reel Information

11.2.2.1. Reel Dimensions-Type 1..... Unit : mm



11.2.2.2. Carrier Tape Dimensions

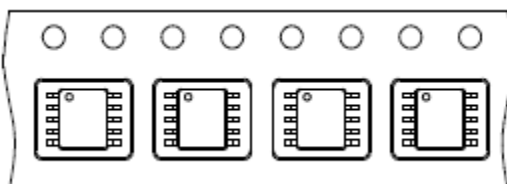


SYMBOLS	Reel Dimensions		Carrier Tape Dimensions									
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W
Spec.	330	12.5	5.30	3.40	1.40	4.00	8.00	2.00	1.75	5.50	1.50	12.00
Tolerance	±2.00	±1.50	±0.10	±0.10	±0.10	±0.10	±0.10	±0.10	±0.05	±0.10	±0.05	+0.1/-0 ±0.20

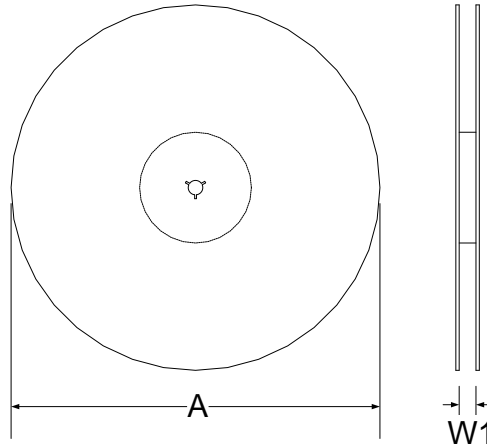
Note: 10 Sprocket hole pitch cumulative tolerance is ±0.20mm.

Unit : mm

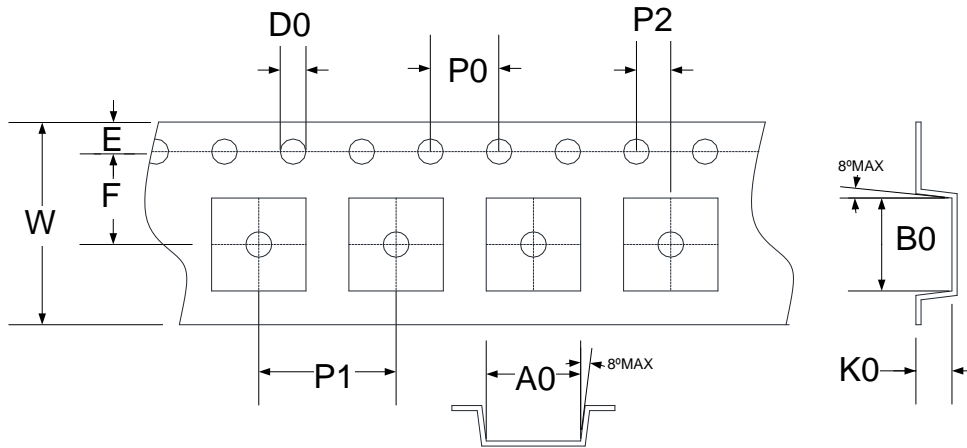
11.2.2.3. Pin1 direction



11.2.2.4. Reel Dimensions-Type 2..... Unit : mm



11.2.2.5. Carrier Tape Dimensions

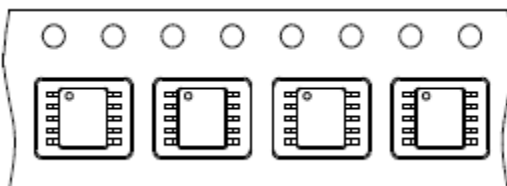


SYMBOLS	Reel Dimensions		Carrier Tape Dimensions									
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W
Spec.	330	12.5	5.20	3.30	1.20	4.00	8.00	2.00	1.75	5.50	1.50	12.00
Tolerance	±2.00	±1.50	±0.10	±0.10	±0.10	±0.10	±0.10	±0.10	±0.05	±0.10	±0.05	+0.1/-0 ±0.30

Note: 10 Sprocket hole pitch cumulative tolerance is ±0.20mm.

Unit : mm

11.2.2.6. Pin1 direction



12. 修訂記錄

以下描述本文件差異較大的地方，而標點符號與字形的改變不在此描述範圍。

版本	頁次	變更摘要
V01	All	初版發行
V02	All	描述與功能修訂
V03	All	增加產品比較表 修改 REFO 名稱 修改電氣特性內容 增加 ADO[ADST]使用說明 增加訂貨資訊內容 修正錯別字描述
V04	6	更正特點內容中的產品對照表
	14	增加 Internal RC Oscillator 規格表
V05	6	修正比較表, ENOB 錯誤描述
	22	更新表 10 轉換頻率與倍數特性表單位
	42	MSOP10 封裝形式修訂
V06	24	增加說明, 晶片地址“固定”
	26	增加圖 13 通訊 I2C 傳送信號波形(MACK)內容
	27-29	更新圖 17~圖 21 說明(ACK --> MACK)
V07	42	更新 SSOP16 封裝型式資訊
V08	36	新增輸入阻抗對照表
V09	9	新增封裝型式與正印說明
	42	更新 Green (RoHS & no Cl/Br)
	44	新增 Tube Dimensions
	45~46	新增 Tape & Reel Information
	48~49	新增 Tape & Reel Information
V10	12	更正 5.2.2 章節 ADC1 寄存器的 bit 描述
	11~15	更正暫存器的地址標示
V11	40	更正表 24 ADO[23:0]與輸入信號關係表
	11	更正 5.1 暫存器列表與 5.2.2 ADC1 暫存器列表，暫存器名稱 ADC1 控制位的 INP 和 INN 交換