



HY17P 系列

開發注意事項

Table of Contents

1.	說明	4
2.	類比(模擬)IP、VDDA 操作注意事項	5
3.	ADC	6
3.1.	高精度模式	6
3.2.	ADC 放大倍率設定	9
4.	低壓燒入操作	10
5.	GPIO 應用注意事項	15
6.	省電模式設定	16
7.	DATA LATCH 機制	17
8.	HY17P58 PGA 放大電路	18
9.	TMB 開發注意事項	19
10.	預防 RS 干擾_硬件	20
10.1.	不採用大範圍的鋪銅(鋪地)	20
10.2.	電源的輸入用最短路徑至 IC、配置的電容靠近 IC。	20
10.3.	IC 正下方的 PAD 需要接至 VSS	21
10.4.	ADC 訊號端的配置注意事項	22
10.5.	ADC 訊號端拉線注意事項	22
10.6.	VDD 與 VSS 拉線方式	23
11.	修訂記錄	24

注意：

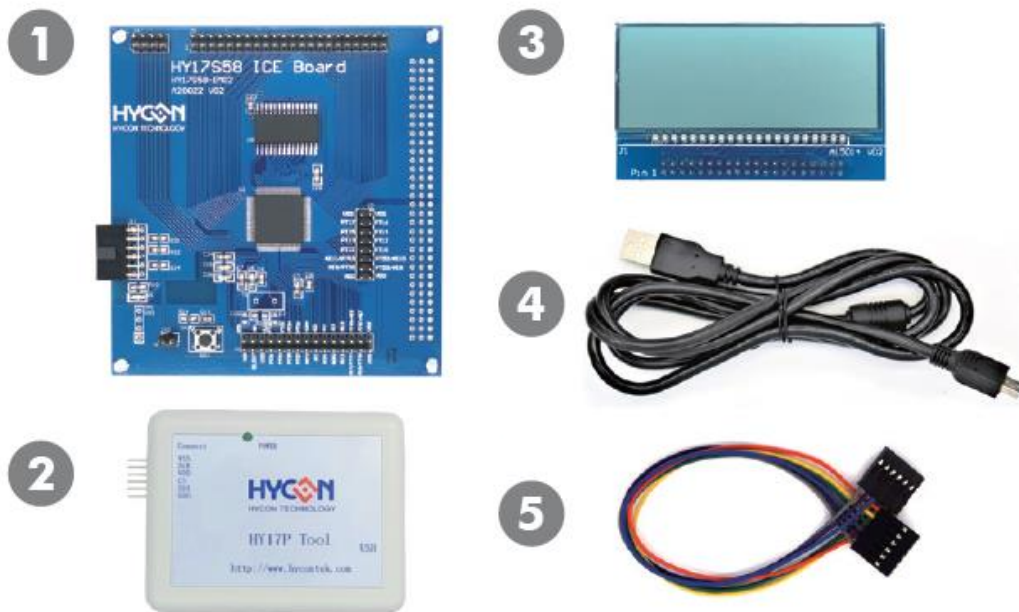
1. 本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新 <http://www.hycontek.com>。
2. 本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
3. 本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
4. 請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
5. 本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
6. 本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
7. 本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計並採用安全指標，這樣可以避免事故的發生。
8. 本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

1. 說明

本文主旨為，將 HY17P 系列新增功能加強說明。以及如果有操作上與 HY11P、HY15P 系列操作不同處特別提出，其餘各 IP 詳細說明請參考 UG-HY17S58。

下列各項說明適用 IC 型號為 HY17P48、HY17P51、HY17P52、HY17P55、HY17P56、HY17P58。配套的相關工具為 HY17S58-DK02。

HY17S58-DK02



No.	Model No.	Description
1	HY17S58-IM02	HY17S58-L128 ICE Board
2	HY17000-CM01	HY17S58 Control Box
3	HY10000-AM01	LCD Board
4	Cable line	USB Type A to Mini B Cable
5	Interface line	6pin/2.54 (2.54mm pitch)

Supported Model : HY17P4x/5x Series

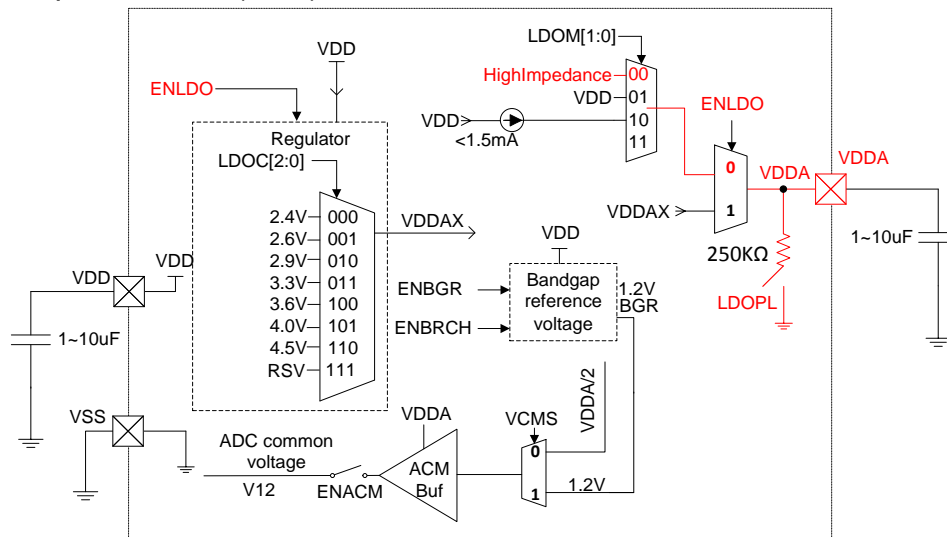
2. 類比(模擬)IP、VDDA 操作注意事項

開啟 IC 內部任何類比(模擬)IP 前都需要先 VDDA 都先要有高於 2.4V 的電壓，以確保類比(模擬)IP 功能正常。

如果 VDDA 的電壓是採用內部 LDO 提供，必須注意 LDOPL 是否已經短路。如果 LDOPL 未短路則 VDDA 僅能輸出 1.2V 的電壓，此時如果開啟類比(模擬)IP 時，恐會使類比 IP 復位不正常，造成類比功能異常問題。

正確的 VDDA 開啟步驟

- Step1 ENBGR=1、LDOPL=1
- Step2 ENLDO=1
- Step3 Delay 10mS
- Step4 開啟類比(模擬)IP



C 語言範例

```
//VDDA Setting
PWR_BGREnable();
PWR_LDOPLenable();
PWR_LDOEnable();
PWR_LDOSel(LDOC_2V4);

//ADC Setting
ADC_Open(DADC_DHCKDIV4, CPUS_DHCK, INP_VSS, INN_VSS, VRH_AI2,
VRL_AI3, ADGN_16, PGAGN_8, VREGN_DIV2, DCSET_N0,
OSR_65536, VCMS_V12);
```

ASM 範例

```
;=====Setup VDDA =====
BSF    AD1CN5,LDOPL    ;開啟,LDOPL
MVL    82H
MVF    PWRCN,F,A      ;ENBGR ENLDO VDDA=2.4V
```

3. ADC

3.1. 高精度模式

HY17P 系列增加了一個新功能，高精度模式。此功能可以有效提高 ADC ENOB、抗干擾能力。但 sps 會下降一半。HY17P 不同的產品於高精度模式下，OSR 有一定的要求，詳細資料參考表 2-1。

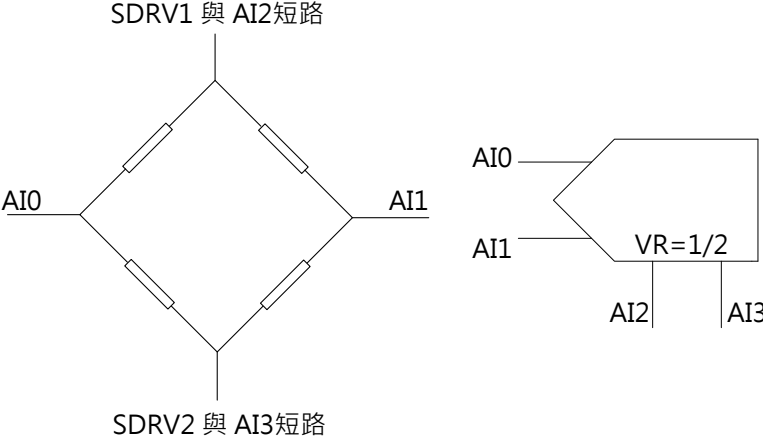
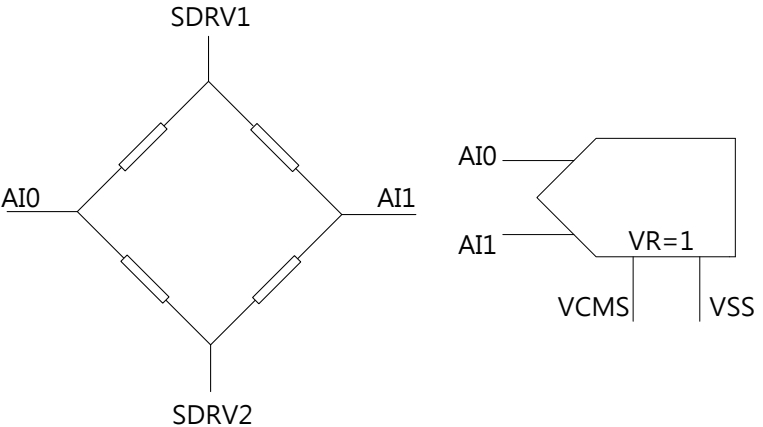
OSR	型號	HY17P55/56/58		HY17P52/48/51	
		仿真芯片	實際芯片	仿真芯片	實際芯片
65536		-		○	
32768		-		○	
16384		○		○	
8192		○		○	
4096		○		○	
2048		○		○	
1024		X		○	
512		X		○	
256		X		○	
128		X		○	
64		X		○	

○：代表芯片有此設定；X：代表芯片無此設定

表 2-1 HY17P 系列 仿真芯片與實際芯片支援高精度模式說明表

由於 HY17P 系列開啟 PGA 放大功能後，ADC 輸入通道會強制切換為 AI0-AI1 因此對於高精度模式開啟分別有兩組不同的設置。有 PGA 及 無 PGA。兩者差異參考表 2-2 說明。

適用型號 HY17P48/51/52/55/56/58

高精度函式	必須對應的 ADC 配置
PGAandADCAccuracyMode	<p>1. $V_{in}=AI0-AI1$ · $VR=AI2-AI3$</p> <p>2. 請由外部電路將 AI2 短路至 SDRV1，AI3 短路至 SDRV2</p> <p>3. $PGA=2\sim8$</p> <p>4. 並注意表 2-1 說明的 OSR 設置</p> 
PGAandADCAccuracyMode2	<p>1. $V_{in}=AI0-AI1$ · $VR=VCMS-VSS$</p> <p>2. $PGA=2\sim8$</p> <p>3. 並注意表 2-1 說明的 OSR 設置</p> <p>4. 相較於模式 1，採用模式 2 的優點 參考電壓從 AI2-AI3 修改為 $VCMS-VSS$。這樣多一組 AI 口可以使用。但這樣的效果在 ADC 的穩定度會犧牲一點。</p> 

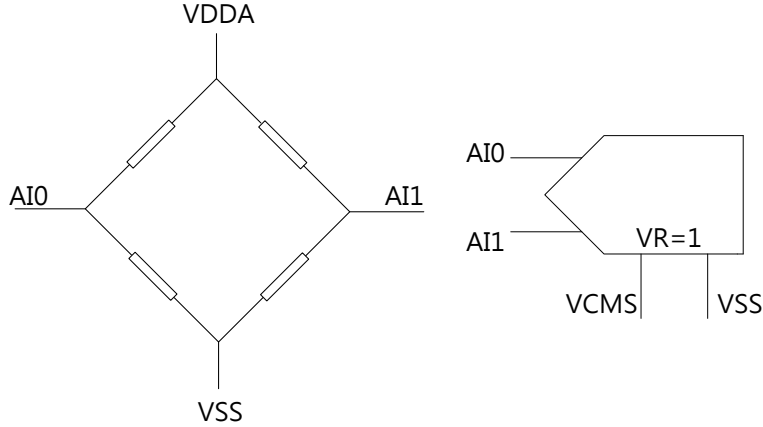
ADCAccuracyMode	<ol style="list-style-type: none"> 1. $V_{in}=AI2-AI3 \cdot VR=VCMS-VSS$ 2. $PGA=1$ 3. 並注意表 2-1 說明的 OSR 設置 <div style="text-align: center; margin-top: 10px;">  </div>
-----------------	---

表 2-2 高精度模式對應 ADC 設定說明

● 開啟高精度模式操作方式

1. 於程序最後加入 `Include HY17P56ADCSetting.obj`

* 注意 不同型號對應的 obj 檔不同(HY17P55 採用 `HY17P56ADCSetting.obj`)

2. 設定好相關 ADC 設定(參考表 2-2 設定說明)

3. 呼叫函式

```
call  PGAandADCAccuracyMode
nopf  PGAandADCAccuracyMode

or

call  ADCAccuracyMode
nopf  ADCAccuracyMode
```

* 依照是否開啟 PGA 決定呼叫哪一組函式

由於高精度模式會將 ENSDRV 設置為 1，使其 SDRV1、SDRV2 輸出電壓。因此當晶片需要進入 Sleep 或者 Idle 時，需要關閉高精度模式已達到省電的需求。

● 關閉高精度模式操作方式

1. 呼叫函式

```
call  AccuracyModeADCOFF
nopf  AccuracyModeADCOFF
```

高精度模式的函式呼叫，不佔用任何 RAM 空間。但操作時會影響到 WREG 暫存器的值。呼叫時需要注意

注意:HY17P51 並無 SDRV1、SDRV2 腳位。但 AI2、AI3 等同於 SDRV1、SDRV2。故應用上如果需要將上表圖內的 SDRV1、SDRV2 的腳位接至 AI2、AI3 即可

3.2. ADC 放大倍率設定

在 ADC 放大倍率分為 PGA、ADGain。由於 HY17P52 設定與正常不太一致，特別點出避免開發程式，設定錯誤導致功能與預期不符。

產品 PGAGN[1:0]	HY17P58/56/55/48	HY17P52/51
00	x 1	x 1
01	x 2	RSVD
10	x 4	RSVD
10	x 8	x 8

RSVD：代表芯片無此設定 (Reserved)

表 2-3 PGAGN 設定表

產品 ADGN[2:0]	HY17P58/56/55/48	HY17P52/51
000	x 0.25	x 1
001	x 0.5	x 4
010	x 1	x 16
011	x 2	x 16
100	x 4	x 16
101	x 8	x 16
110	x 16	x 16
111	RSVD	RSVD

RSVD：代表芯片無此設定 (Reserved)

表 2-5 ADGN 設定表

4. 低壓燒入操作

低壓燒入操作上與其他產品無太多差異，這邊主要說明操作低壓燒入時需要注意的事項。

IC 型號	BIE 函數名稱	備註
HY17P55/56	LV17P56WR3BIE / LV17P56WR7BIE	
HY17P52	LV17P52WR3BIE / LV17P52WR7BIE	
HY17P51	LV17P51WR3BIE / LV17P51WR7BIE	
HY17P48	LV17P48WR7BIE	
HY17P58	LV17P58WR7BIE	

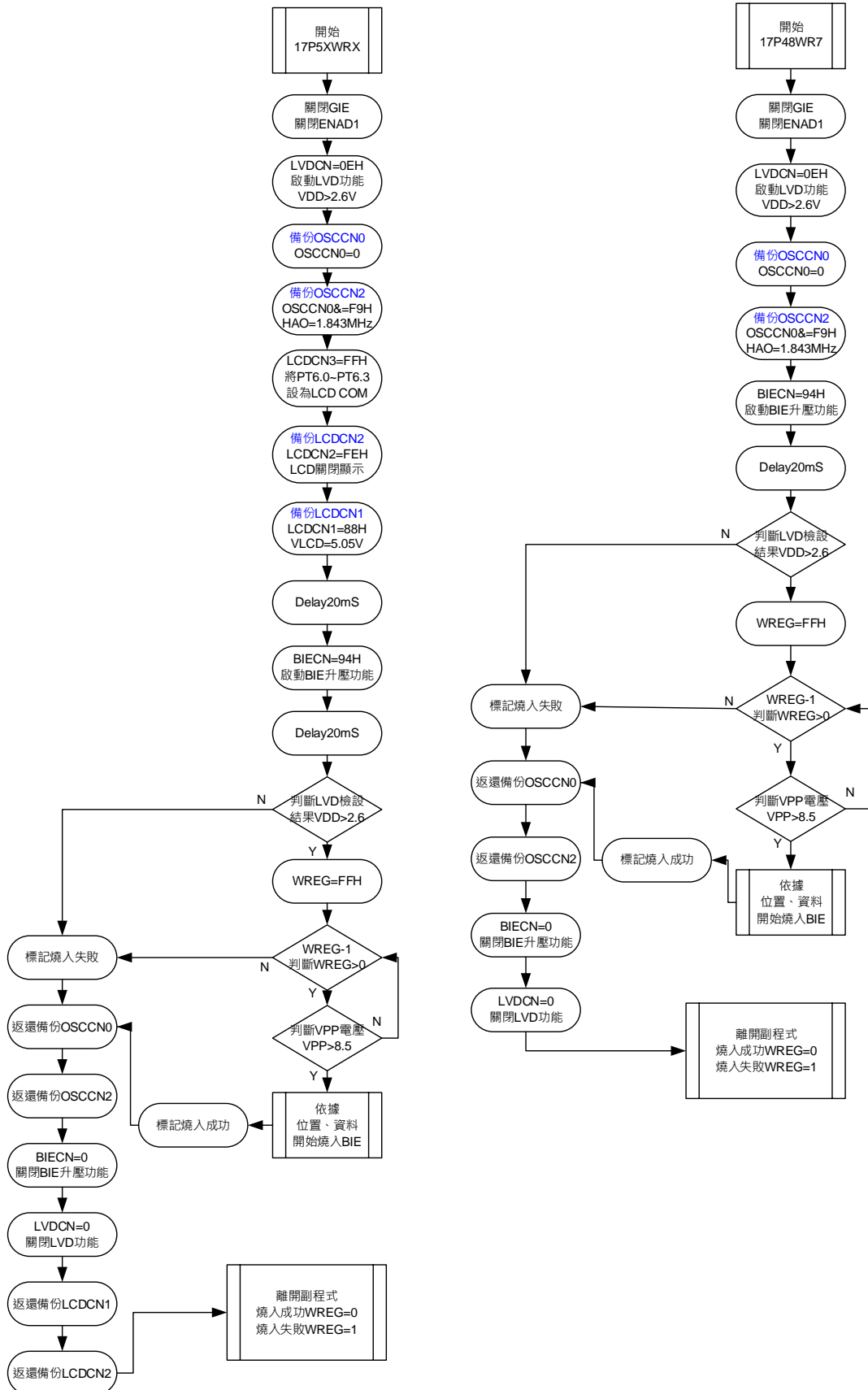
* WR3 會占用 FSR0，WR7 不會占用 FSR0

* C 語言 沒有占用 FSR 的問題，故 C 語言統一都是 WR3

- 呼叫函數進行燒入時，該函式會自動關閉 GIE、ENAD1。開發者記得在燒入完成後，需自行開啟 GIE、ENAD1，並在開啟 ENAD1 後立刻將 CMFR 置 1，重置 ADC Comb Filter。
- 同上，如果使用者有開啟 ADC 的高精度測量模式，於 BIE 燒入前需要關閉高精度模式，呼叫函數進行燒入時，該函式會自動關閉 GIE、ENAD1。燒入完成後需重新呼叫開啟高精度模式的函式，再來開啟 GIE、ENAD1，並在開啟 ENAD1 後立刻將 CMFR 置 1，重置 ADC Comb Filter。
- 讀取 BIE 函式時，由於非呼叫函式因此需要開發者自行關閉 GIE、ENAD1。並在讀取完畢後開發者自行開啟 GIE、ENAD1 並在開啟 ENAD1 後立刻將 CMFR 置 1，重置 ADC Comb Filter。
- 操作 BIE 函數時會將 CPU 頻率切至內部 HAO=1.843MHz，函式結束返還。
- 各電源外部電容值最低需求 VDD=10uF、VPP=0.47uF、VLCD=1uF
- VDD 電源至少高於 2.75V
- 起動低壓燒入時，會導致 VLCD 電壓升至 5V，為避免不同的 LCD 屏產生鬼影或者誤顯示，低壓燒入時會修改 LCD 設定，使 LCD 頻全滅。但隨不同的 LCD 特性，有些可能全顯(HYCON 的 LCD 即是全顯)
- 呼叫燒入函數燒入完後，位置自動加 1。
- HY17P5X 系列操作燒入函數會佔用 F0H~F9H 共 10 個 byte 空間。且影響暫存器有 WREG, LVDCN, FSR0L, FSR0H, INDF0, INTE0[GIE], ADCCN0[ENAD1], LCDCN1~LCDCN3, OSCCN0, OSCCN2, BSRCN(HY17P58 only)。
並使用兩層堆棧 Stack Level: 2
- HY17P48 操作燒入函數會佔用 F0H~F7H 共 7 個 byte 空間。且影響暫存器有 WREG, LVDCN, INTE0[GIE], ADCCN0[ENAD1], OSCCN0, OSCCN2。
並使用兩層堆棧 Stack Level: 2

* HY17PXXWR3BIE 會占用 FSR0。如果是呼叫 HY17PXXWR7BIE 將不佔用 FSR0

- include 17PXXWR3.obj 放置於程序最後方。(17PXXWR7.obj 也是相同)



17PXXWRX 流程說明

HYCON 提供另一個可延長等待時間的 BIE 燒入函式，避免 PCBA 影響 VPP 電壓上升時間，可能會導致 BIE 燒錄失敗，用戶可使用此函式調整等待電壓上升的時間。

IC 型號	BIE 函數名稱	備註
HY17P55/56	LV17P56WR3BIE_Delay / LV17P56WR7BIE_Delay	
HY17P52	LV17P52WR3BIE_Delay / LV17P52WR7BIE_Delay	
HY17P51	LV17P51WR3BIE_Delay / LV17P51WR7BIE_Delay	
HY17P48	LV17P48WR7BIE_Delay	
HY17P58	LV17P58WR7BIE_Delay	

*注意事項請參考上面 BIE 函數說明。

*正常情況下使用上面一般的 BIE 函式即可正常動作。

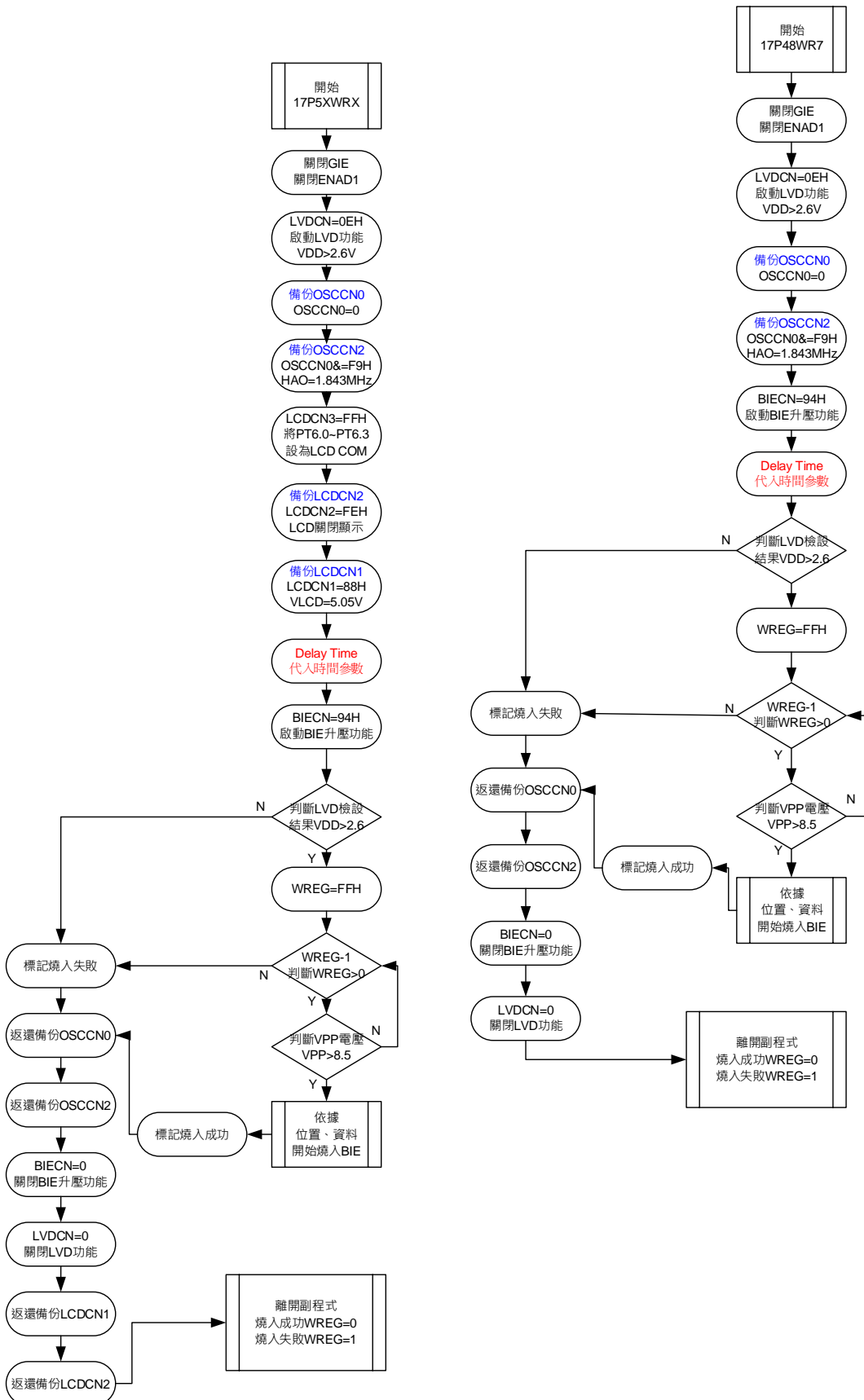
- 使用方式: 進入 BIE 函式前設置時間參數，ASM / C language 使用規則相同，時間參數每增加 1，等待時間增加 10mS。

C Language Demo	
Flag=HY17P58WR3_Delay(0,0x12,0x34,5);	//燒入起始位置 00H //燒入資料 AA11H //等待 VBIE 時間 5*10mS //確認是否燒錄正確
if(Flag== 1) { ... }	

ASM Language Demo	
MVL 00H	;設定燒入起始位置為 00H
MVF BIEARL	
MVL 34H	
MVF BIEDRH,F,A	
MVL 12H	
MVF BIEDRL,F,A	;設定燒入資料為 1234H
MVL 2	;等待 VBIE 時間 2*10mS
Call LV17P58WR7BIE_Delay	;燒入完後，位置自動加 1
BTSZ WREG,0,A	;是否燒錄正確
JMP Fail	

- HY17P5X 系列操作燒入函數 Delay 版本，會佔用 F0H~FAH 共 11 個 byte 空間。且影響暫存器有 WREG, LVDCN, FSR0L, FSR0H, INDF0, INTE0[GIE], ADCCN0[ENAD1], LCDCN1~LCDCN3, OSCCN0, OSCCN2, BSRCN(HY17P58 only)。
並使用兩層堆棧 Stack Level: 2
 - HY17P48 操作燒入函數 Delay 版本會佔用 F0H~F8H 共 9 個 byte 空間。且影響暫存器有 WREG, LVDCN, INTE0[GIE], ADCCN0[ENAD1], OSCCN0, OSCCN2。
並使用兩層堆棧 Stack Level: 2
- * HY17PXXWR3BIE 會占用 FSR0。如果是呼叫 HY17PXXWR7BIE 將不佔用 FSR0

- include 17PXXWR3.obj 放置於程序最後方。(17PXXWR7.obj 也是相同)

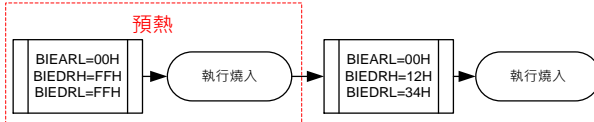


17PXXWRX_Delay 流程說明

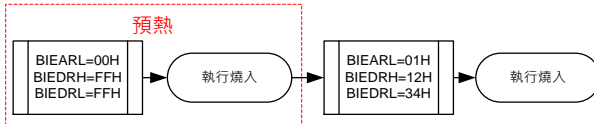
如果在 BIE 應用上，不打算使用 IC 內部的升壓電路。要使用外灌的 8.5V 電源。需要注意以下事項

- 不燒錄時避免 8.5V 長時間掛在 VPP 上面
- 使用 BIE 燒入前，需要有一個預熱的動作。先要在要寫的位置或者前一個位置，先寫一個 FFFFH。參考下面範例

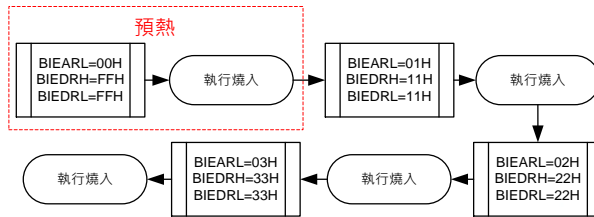
EX1.在位置 00 位置寫入 1234H



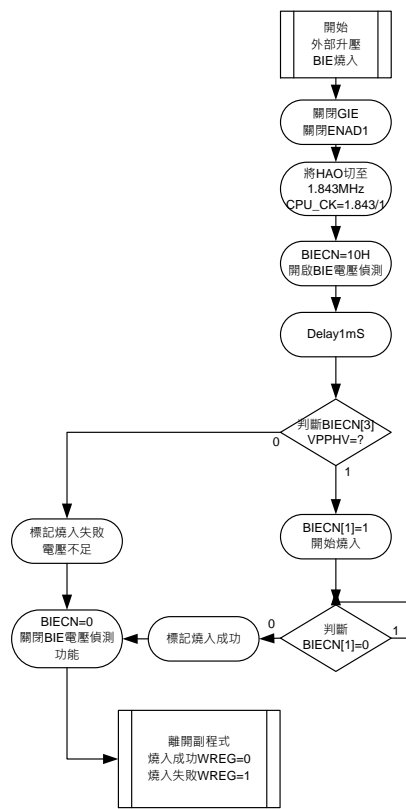
EX2.在位置 01 位置寫入 1234H



EX3.在位置 01 寫入 1111H、位置 02 寫入 2222H、位置 03 寫入 3333H



- 不可以操作 HYCON 提供的 17PXXWRX 的函數。因為開啟函數後會自動啟動內部升壓。避免電源拉扯倒灌等問題。請自行參考下端外灌電壓 BIE 流程寫燒入函數



5. GPIO 應用注意事項

在 HY17P 系列 I/O 口應用上，隨不同型號不同 I/O 口有的不同的驅動能力。這邊依次全盤性的整理出來給，減少開發上因錯誤應用導致，IC 性能不如預期的情況發生。

腳位 型號	PT1.0、PT1.2	PT2.0~PT2.3	PT4.3~PT4.7	PT12.0~PT12.7 註 1
HY17P48	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	僅支持輸入功能	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =8mA

註 1: HY17P48 PT12 8 支腳均有定電流功能，開啟方式請參考 UG-HY17S58

腳位 型號	PT1.0~PT1.5	PT1.6、PT1.7	PT2.0、PT2.1	PT8.0、PT8.1 註 2
HY17P52	V _{DD} ≥4V I _{OH} =5mA V _{DD} <4V I _{OH} =3mA	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	V _{DD} ≥4V I _{OH} =5mA V _{DD} <4V I _{OH} =3mA	V _{DD} ≥4V I _{OH} =5mA V _{DD} <4V I _{OH} =3mA

註 2: HY17P52 PT8.0、PT8.1 僅支援 Output 模式並非雙向 IO

腳位 型號	PT1.0~PT1.7	PT2.0~PT2.3	PT6.X、PT7.X	PT8.0、PT8.1
HY17P55	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA

腳位 型號	PT1.0~PT1.7	PT2.0~PT2.3	PT6.X、PT7.X	PT8.0、PT8.7
HY17P56	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA

腳位 型號	PT1.0~PT1.7	PT2.0~PT2.7	PT6.0~PT6.3 (LCD COM)	PT6.4~PT6.7 PT7.X、PT8.X PT9.X、PT10.X PT11.0~PT11.3 (LCD SEG)
HY17P58	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	V _{DD} ≥4V I _{OH} =15mA V _{DD} <4V I _{OH} =10mA	V _{DD} ≥4V I _{OH} =40mA V _{DD} <4V I _{OH} =20mA	V _{DD} ≥4V I _{OH} =40mA V _{DD} <4V I _{OH} =20mA

註 3: HY17P58 PT4.X 僅支援 Input 模式並非雙向 IO

在 HY17P 系列 I/O 口的配置上，還需要注意的項目有中斷的配置及外部震盪器。

型號 項目	HY17P48	HY17P52	HY17P55	HY17P56	HY17P58
中斷數量	10 個 除 PT12 不支持 其他都支持	2 個 (PT1.0、PT1.1)	12 個 (PT1、PT2 全 部)	12 個 (PT1、PT2 全 部)	16 個 (PT1.0~PT1.7 PT2.0~PT2.7)
LCD 復用 I/O	無 PT12 系列為 LED 定電流使用	2(PT8.0、PT8.1)	18(PT6、PT7 全 部+PT8.0 PT8.1)	24(PT6、PT7、 PT8 全部)	44(PT6、PT7、 PT8、PT9、 PT10、PT11)
外部振盪器	PT2.0、PT2.1	不支援	PT2.0、PT2.1	PT2.0、PT2.1	PT2.0、PT2.1

6. 省電模式設定

由於 HY17P48/55/56/58 多增加了一個 BOR2 的功能，相較於原本的 BOR，他有較精準但耗電的特色。因此進入 Sleep、Idle 等省電需求時，可以透過暫存器的設定將 BOR2 關閉掉。相關操作流程如下：

```
bsf    PWRCN,CSFON    ;啟動解鎖 bit
bcf    CSFCN1,ENBOR2  ;關閉 BOR2
```

名稱	功能	功耗	使用者操作
BOR1	省電	0.2uA	不能關閉
BOR2	精準	10uA	Normal mode 可以關閉

7. Data Latch 機制

HY17P 新增了 Data Latch 機制，因此超過 8bit 的相關設定都要遵照 Low Byte 先讀後寫的原則。

- ADC 資料抓取一定要先從 AD1L 先抓，然後是 AD1M 最後才是 AD1H。
- 如果 ADC 資料不論使用到多少 bit，3 個 byte 都需要讀取。
- TMB 的部分，如果是讀取 TB1R 的數值，依樣是 TB1RL 先抓，後抓 TB1RH
但如果是對 TB1C0~TB1C2 等暫存器，切記是 TB1C0H 先寫，再寫 TB1C0L

9. TMB 開發注意事項

在 TMB 的應用上，除了寫入 TB1C0H~TB1C2L 這些暫存器需要注意章節 7 Latch up 的寫入順序外，還需要注意下面三點事項。

- TB1CN0 暫存器 BIT[1:0] PWM01、PWM00 兩個位置是可以正常寫 1 或者 0 的，但是在讀取的時候，讀回的資料永遠是 0。
- 由於上述的問題，因此在 TB1CN0 的控制上，是不允許使用 BSF、BCF、BTFG 等 BIT 控制。要控制 TB1CN0 需使用 MVF 來整個暫存器的寫入
- 由於 PWM01、PWM00 兩個暫存器回讀是 0，故該位置也無法使用 BTSS、BTSZ 等判斷

ASM Language Demo

```
MVL 80h
MVF TB1C0H,F,A
MVL 000h
MVF TB1C0L,F,A

MVL 40h
MVF TB1C1H,F,A
MVL 000h
MVF TB1C1L,F,A

BCF INTF0,TB1IF
BSF INTe0,TB1IE

MVL 83H ;使用 MVL, MVF 寫入 TB1CN0
MVF TB1CN0,F,A
```

C Language Demo

```
TB1C0Set(0x8000);
TB1C1Set(0x2000);

TB1Enable();
TB1CN0 = 0x83; ;使用"="寫入 TB1CN0
```

10. 預防 RS 干擾_硬件

硬件方式，主要是 PCB 板的規劃。列出下列幾個準則。在 PCB Layout 上盡可能地遵守，才能確保 RS 抗干擾效果。

10.1. 不採用大範圍的鋪銅(鋪地)

如下圖說明，圖 7-1 為大範圍的鋪地，但這樣大面積的鋪銅反而增加 RS 的接收面積。

圖 7-2 為建議的 Layout 方式

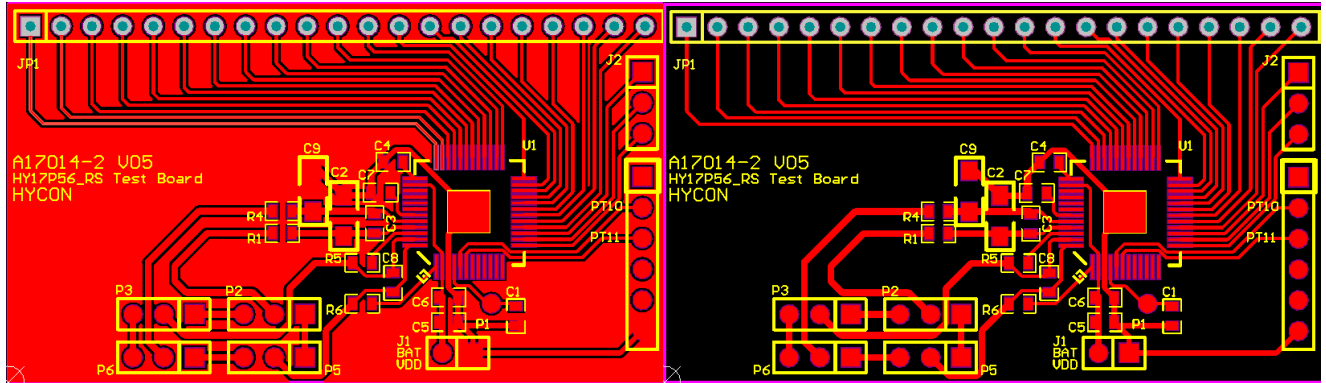


圖 7-1

X

圖 7-2

O

10.2. 電源的輸入用最短路徑至 IC、配置的電容靠近 IC。

不論採用何種電源當作 HY17P55/56 VDD 的電源，在電源到了 PCB 板上後，以最短路徑進入 IC，並配置兩個電容建議分別為 1uF、1nF(1uF 靠近 IC，1nF 靠近電池)。由於 IC 腳位的配置上，VDD 與 VSS 並非相鄰，會使上敘條件難以實現，故建議採用圖 7-3 方式。

由於原本 VDD 腳位於 38pin、VSS 腳位於 3pin。但由於 2pin 為空腳。故採用 38pin 與 2pin 短路的方式實現，外部電源(電池)的正負兩端，採用最短路徑至 IC

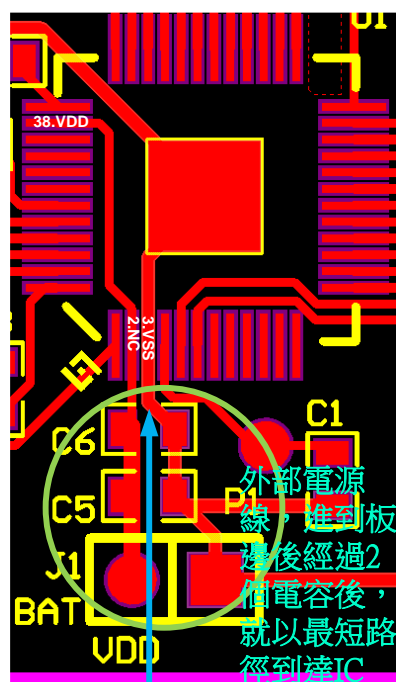


圖 7-3

10.3. IC 正下方的 PAD 需要接至 VSS

如圖 7-4 所示，IC 正下方的 PAD 須接至 VSS，並且建議走較粗一點的線

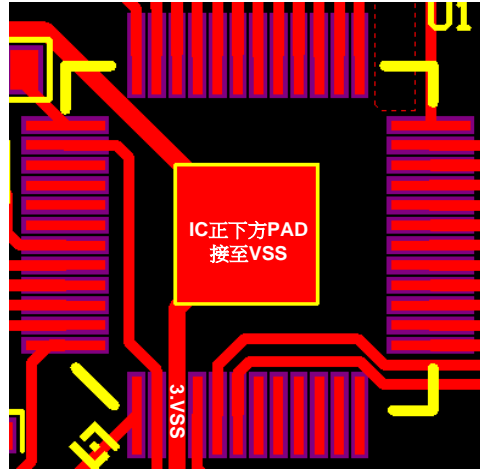


圖 7-4

10.4. ADC 訊號端的配置注意事項

下面線路說明，參考圖 7-5 部分

- R1、R4、C2、C3、C9 為 ADC 訊號的濾波線路。C2、C3、C9 對 RS 抗干擾有非常顯著效果不建議隨意移除。(R1、R4 部分對於 4 腳秤建議為 100ohm、全橋秤建議為 0ohm。建議開發階段，可以依實際對 RS 抗干擾要求去做選擇)
- R3、R2、C4 為 ADC 參考電壓端與 Sensor Power 端。此 3 元件對於 RS 抗干擾有非常顯著效果不建議隨意移除

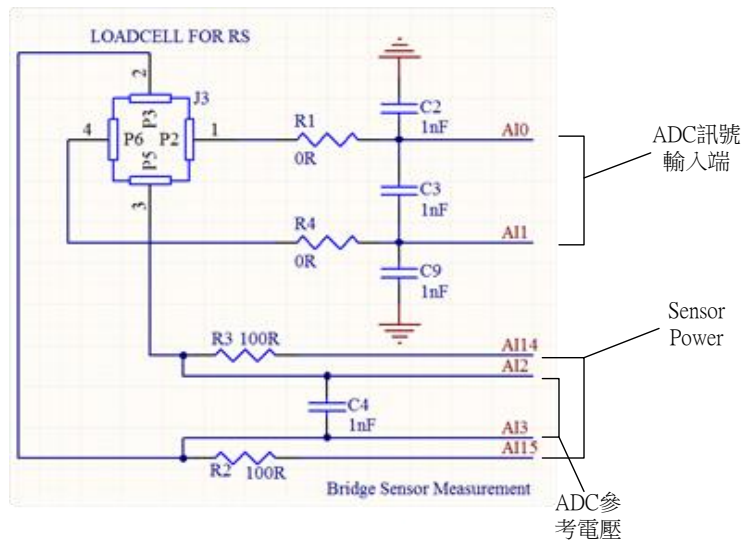


圖 7-5

10.5. ADC 訊號端拉線注意事項

在 ADC 的訊號線、參考電壓的訊號線，佈線上盡可能的對稱、等長

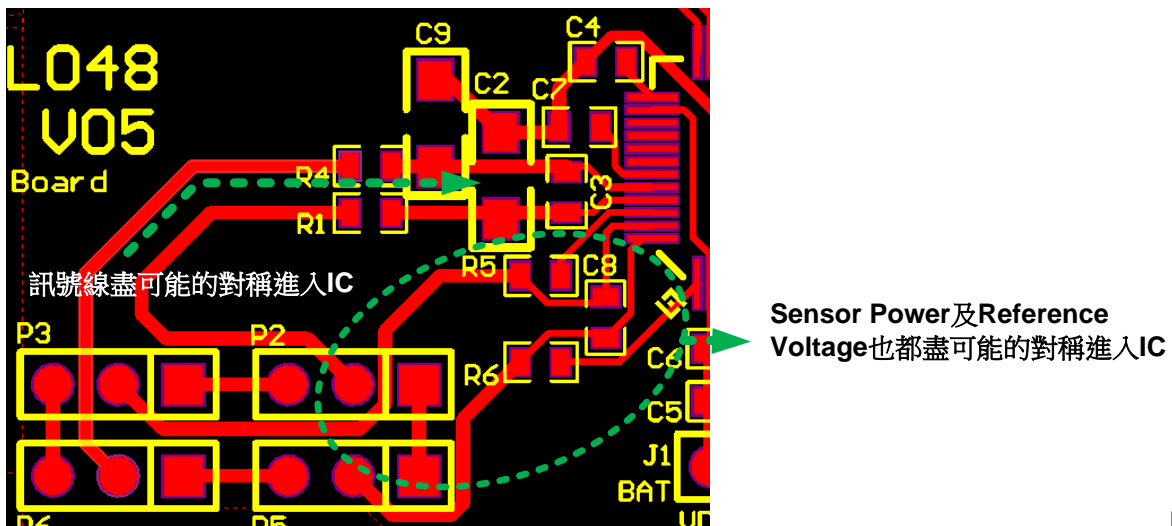


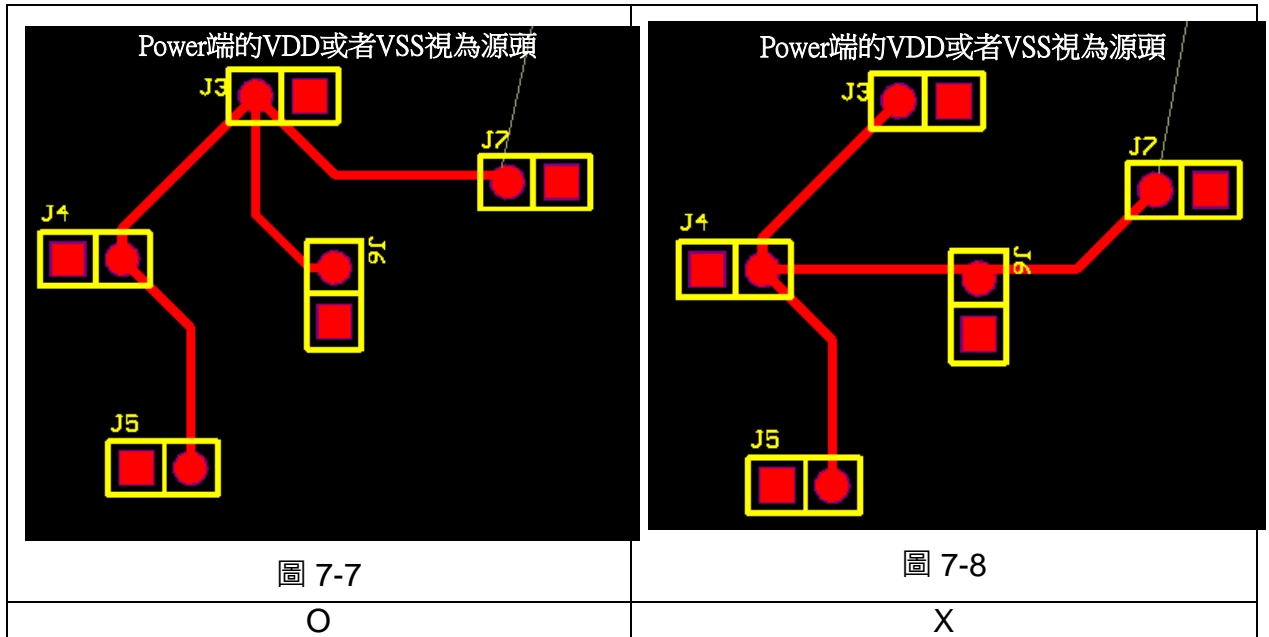
圖 7-6

10.6. VDD 與 VSS 拉線方式

PCB 的 Layout 上各種線路都建議採用星形連接，特別是 VDD 與 VSS 更要遵守此規則。

星形連接：

- 每種裝置的接地電流單獨返回到電源端。
- 圖 7-7 J5 與 J4 共用返回路徑。
- 圖 7-8 J7、J6、J5 都使用 J4 返回路徑，這種畫法要盡可能避免



HY17P55/56 Scale Layout 範例



A17014-2 V05.zip

11. 修訂記錄

以下描述本檔差異較大的地方，而標點符號與字形的改變不在此描述範圍。

日期	文件版次	頁次	摘要
2018/8/16	V01	All	新增
2019/9/25	V02	All	修改 BIE 章節說明 增加 GPIO 章節 Latch up 機制下 · ADC Low byte 必須讀取 增加 HY17P48 相關說明
2020/1/15	V03	11-13	更加詳細的描述 BIE 操作
		4	增加此份文件適用型號說明
		5	增加 VDDA 開啟說明
		15	增加 HY17P48/HY17P58 IO 說明
2021/12/07	V04	All	移除 ICE 與 Body 不相符配置說明 新增 BIE 說明 增加 TMB 開發注意事項 修正 Data Latch 說明