



HY17M 系列

產品開發注意事項

Table of Contents

1. 說明	4
2. HY17M 系列 IP 使用注意事項	4
2.1. CCOPT 控制位元說明	4
2.2. 復位功能說明	4
2.3. 省電模式設定	4
2.4. Data Latch 機制	5
2.5. VDDA 使用注意事項	6
2.6. ADC 使用注意事項	7
2.7. GPIO 使用注意事項	11
2.8. BIEE/BIE 使用注意事項	14
3. HY17M 系列開發工具應用說明	15
3.1. 開發工具版本說明	15
3.2. HY17M24 Demo Board 使用注意事項	15
3.3. 燒錄注意事項	16
4. HY17M 系列晶片硬體設計注意事項	17
4.1. 打線注意事項	17
4.2. 電源的輸入用最短路徑至 IC、配置的電容靠近 IC	17
4.3. IC 正下方的 PAD 需要接至 VSS	18
4.4. ADC 訊號線拉線注意事項	18
4.5. VDD 與 VSS 拉線方式	19
5. 修訂記錄	20

注意：

1. 本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新 <http://www.hycontek.com>。
2. 本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
3. 本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
4. 請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
5. 本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
6. 本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
7. 本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計並採用安全指標，這樣可以避免事故的發生。
8. 本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

1. 說明

本文主旨為，將 HY17M 系列新增功能加強說明以及如果有操作上與本公司其他系列產品操作不同處特別提出，其餘各 IP 詳細說明請參考 UG-HY17M24。

2. HY17M 系列 IP 使用注意事項

2.1. CCOPT 控制位元說明

CCOPT 控制位元是 H08 CIDE 編譯時使用，Compiler 已自動將該位元設為 1，所以使用 CIDE 作程式開發時不需特別設置，但是操作 OSCCN1 暫存器要特別注意，CCOPT 控制位元一定保持為 1，不然有機率性會發生不可預期的錯誤。如使用 HYCON 所提供的 Driver，此控制位元指令在 RST.h 檔案中。如果使用組合語言開發則不影響，不需要作此位元的設置。

2.2. 復位功能說明

HY17M24 的硬體復位功能有兩種，分別是 BOR 電源干擾復位與 RST 外部復位輸入引腳。其中 RST 復位功能使用前必須透過程式設置 MCLR 控制位元使 PT1.0 具有 RST 功能，其設置如下：

```
PWRCN=0b10000001; // CSFON=1b
CSFCN1=0b10000001; // MCLR=1b
```

2.3. 省電模式設定

HY17M24 增加了一個 BOR2 的功能，為防當機電路，可確保電壓在 1.8V 時晶片就可以正常運作(BOR2 上電後自動開啟)，滿足低工作電壓的要求，同時可滿足各種上電波形不死機的要求，不須外接 Reset IC。BOR2 在上電完成後可以透過暫存器的設定將 BOR2 關閉掉，保持 BOR1 運作，監視電源干擾，相較於原本的 BOR1，BOR2 有較精準但耗電的特色。因此進入 Sleep、Idle 等省電需求時可將 BOR2 關閉。相關操作流程如下：

```
bsf    PWRCN,CSFON      ;啟動解鎖 bit
bcf    CSFCN1,ENBOR2    ;關閉 BOR2
```

名稱	功能	功耗	使用者操作
BOR1	省電	0.2uA	不能關閉
BOR2	精準	10uA	Normal mode 可以關閉

2.4. Data Latch 機制

HY17M 的部分暫存器新增了 Data Latch 的設計，當暫存器超過 8bit 的相關設定(如 ADC、DAC)都要遵照以下規則：

- **寫入規則：**如果高低位元同時需要做寫入控制，先寫入高位元再寫入低位元。
當操作 DAC 電壓輸出的時候會設置到 DACBitH 與 DACBitL 兩暫存器。在寫入 DACBitH 與 DACBitL 的時候，需要先對 DACBitH 寫入，再對 DACBitL 寫入，則資料才會真正被寫入兩個暫存器中；反之則會發現 DACBitH 的位置內容沒有被成功寫入，其操作如下。

```
MVL 002h
MVF DACBitH,F,A
MVL 097h
MVF DACBitL,F,A
```

- **讀取範例：**如果高低位元同時需要做讀取控制，先讀取低位元再讀取高位元。
當操作 ADC 功能時會讀取三個暫存器分別是 AD1H、AD1M 與 AD1L。讀取控制時其順序應為先讀取 AD1L，然後是 AD1M，最後才是 AD1H，其操作如下。

```
MVFF AD1L,ADCBuffer+0
MVFF AD1M,ADCBuffer+1
MVFF AD1H,ADCBuffer+2
```

2.5. VDDA 使用注意事項

開啟 IC 內部任何類比(模擬)IP 前都需要先開啟 VDDA，且開啟前須要有高於 2.4V 的電壓，以確保類比(模擬)IP 功能正常。如果 VDDA 的電壓是採用內部 LDO 提供，必須注意 LDOPL 是否已經短路。如果 LDOPL 未短路則 VDDA 僅能輸出 1.2V 的電壓，此時如果開啟類比(模擬)IP 時，恐會使類比 IP 復位不正常，造成類比功能異常問題。當外接 1uF (10uF) 穩壓電容時至少需要 500us (5ms)的穩定時間。

正確開啟 VDDA 的步驟如下:

Step1 ENBGR=1, LDOPL=1

Step2 ENLDO=1

Step3 Delay 10ms (根據過往經驗與客戶產品反饋，建議穩定時間為 10ms)

Step4 開啟類比(模擬)IP

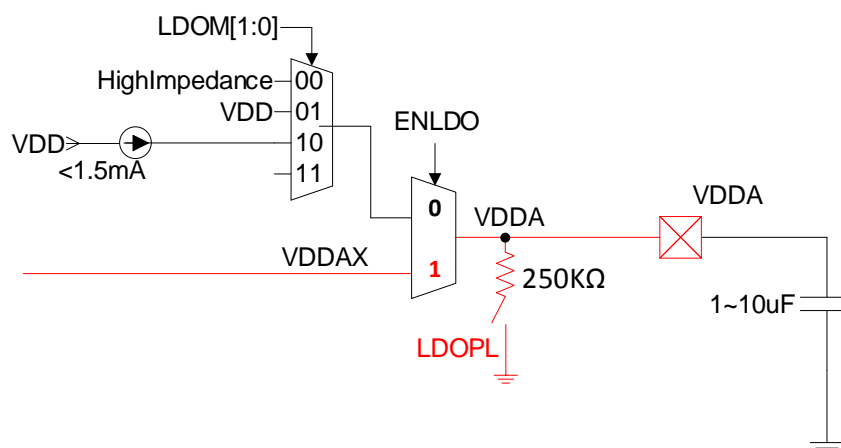


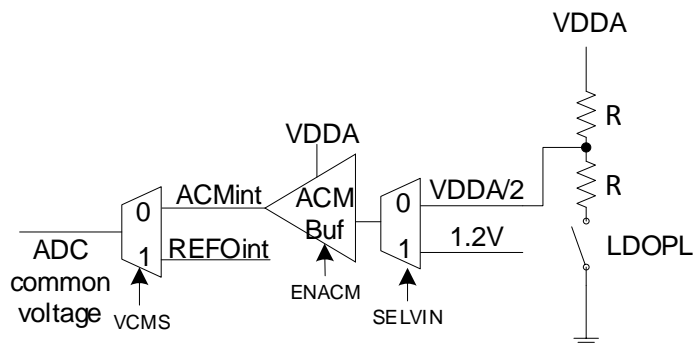
圖 2-1

2.6. ADC 使用注意事項

2.6.1. ADC Common Voltage 選擇說明

ADC 配置中 common voltage 電壓源可選擇 REFOint 或 ACMint，其中 ACMint 又可選擇 VDDA/2 或 BGR 1.2V，視應用方案選擇該輸入源，以下說明其差異。

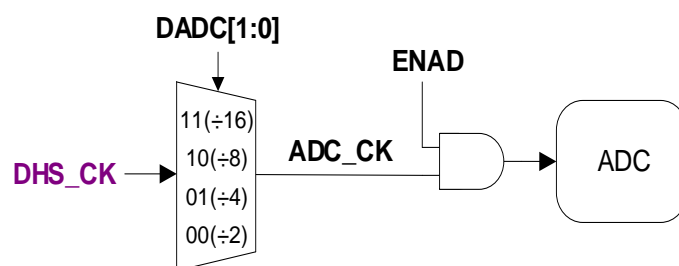
1. ACMint- VDDA/2: 適用於外部輸入訊號 V_{in} 比較寬範圍的應用。舉例: $V_{DDA}=5V$ ，量測 ADC V_{in} 的電壓變化是 $5V/2=2.5V \rightarrow 2.5V*0.9=2.25V$
(HY17M24 規格書 ADC ENOB Table 表格也是選用此設置，建議使用者參照規格書設置)
2. ACMint- BGR1.2V: 選擇 BGR 1.2V 作為 ADC 共模電壓
3. REFOint: 選擇 REFO 1.2V 作為 ADC 共模電壓，此 1.2V 經過 REFO 電容，效果與 BGR1.2V 差不多



注意:選擇 VDDA/2 時需參考 VDDA 開啟步驟(參考 2.5 章節)，其中 LDOPL 必須先短路

2.6.2. ADC 頻率設置使用說明

不論晶片工作頻率為多少，ADC 頻率必須設置在 1MHz 以確保精度與規格書一致。舉例: HAO 選擇內部 17.51MHz，且 $HAO=HS_CK=DHS_CK$ ，則 DADC 除頻選擇器必須設置除 16，使得 ADC_CK 為 1MHz；同理，HAO 選擇內部 1.843MHz，則 DADC 除頻選擇器必須設置除 2，使得 ADC_CK 盡量保持在 1MHz。



2.6.3. ADC Chopper off/on 時間差異

設置 ADC Chopper on 可有效提升 ADC ENOB 與抗干擾能力，但 ADC output rate 速度會下降一半，以下舉例說明當 OSR 選擇 65536，ADC output rate 為 15 筆/s，因此

假設 ADC Chopper off，使用 2 階 Comb filter reset，ADC 開始動作後

得到第一筆 ADC1：花費 140ms

得到第二筆 ADC2：花費 70ms

得到第三筆 ADC3：花費 70ms

得到第四筆 ADC4：花費 70ms....後續依此類推

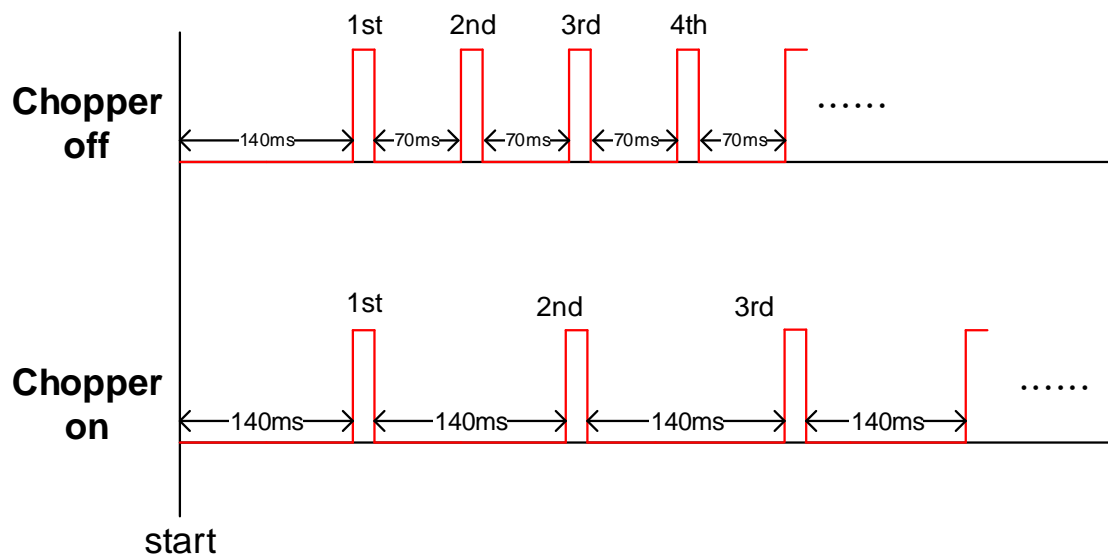
假設 ADC Chopper on，使用 2 階 Comb filter reset，ADC 開始動作後

得到第一筆 ADC1：花費 140ms (客戶自行軟件捨棄)

得到第二筆 ADC2：花費 140ms

得到第三筆 ADC3：花費 140ms

得到第四筆 ADC4：花費 140ms....後續依此類推



當 ADC 開始動作或是使用者切換輸入通道時，此時 ADC 所採樣到的模擬值是不穩定的，因此晶片自動根據 OSR 的配置(Comb filter Order)捨棄 2-3 筆資料，所以第一筆有效值的時間為 2-3 倍。然而開啟 Chopper on 的速度又下降一半，故第一筆有效值的時間應為 Chopper on 2nd，至於 Chopper on 1st 則需要客戶自行軟件捨棄，以避免接收到不穩定的資料。

下表為 ADC Chopper off/on 的測試結果，其測試條件為 ADC clock=1M Hz, VDD=3.6V, VDDA=2.4V, VREF=(VDDA-VSS)/2。(參考 HY17M24 規格書)

ENOB(RMS) with OSR/GAIN at A/D Clock=1MHz, VDD=3.6V, VDDA=2.4V, VREF=(VDDA-VSS)/2=1.2, Chopper Off																
Max. Vin(mV) =0.9*VREF ⁽¹⁾	OSR				64	128	256	512	1024	2048	4096	8196	16384	32768	65536	
	Output rate(Hz)				15625	7813	3906	1953	977	488	244	122	61	31	15	
	Gain	=	PGAGN	x												ADGN
±2160	0.25	=	off	x	0.25	15.09	16.51	17.14	17.58	18.23	18.77	19.12	19.6	20	20.52	20.94
±2160	0.5	=	off	x	0.5	14.17	16.41	17.09	17.45	18.09	18.75	19.04	19.46	19.93	20.32	20.73
±1080	1	=	off	x	1	13.31	16.33	17.1	17.39	17.96	18.43	18.91	19.31	19.89	20.27	20.74
±540	2	=	off	x	2	13.88	16.14	16.91	17.19	17.71	18.11	18.57	19.03	19.61	19.99	20.53
±270	4	=	off	x	4	14.48	15.85	16.52	16.84	17.38	17.64	18.01	18.45	19.25	19.87	20.05
±135	8	=	off	x	8	10.75	15.56	16.11	16.16	16.55	16.8	17.18	17.69	18.63	19.34	19.75
±68	16	=	off	x	16	9.77	15.01	15.41	15.16	15.75	16.04	16.28	16.72	17.91	18.86	19.25

(1) Max. Vin(mV) is the max. input voltage of single end to ground(VSS).

RMS Noise(uV) with OSR/GAIN at A/D Clock=1MHz, VDD=3.6V, VDDA=2.4V, VREF=(VDDA-VSS)/2=1.2, Chopper Off																
Max. Vin(mV) =0.9*VREF ⁽¹⁾	OSR				64	128	256	512	1024	2048	4096	8192	16384	32768	65536	
	Output rate(Hz)				15625	7813	3906	1953	977	488	244	122	61	31	15	
	Gain	=	PGAGN	x												ADGN
±2160	0.25	=	off	x	0.25	274.44	102.81	66.21	48.94	31.23	21.45	16.83	12.07	9.10	6.35	4.75
±2160	0.5	=	off	x	0.5	259.22	54.92	34.26	26.74	17.15	10.88	8.89	6.64	4.78	3.65	2.75
±1080	1	=	off	x	1	235.84	29.07	17.00	13.89	9.40	6.76	4.86	3.68	2.46	1.89	1.37
±540	2	=	off	x	2	79.17	16.58	9.72	7.97	5.57	4.22	3.08	2.23	1.49	1.15	0.79
±270	4	=	off	x	4	26.11	10.14	6.36	5.09	3.50	2.93	2.26	1.67	0.96	0.62	0.55
±135	8	=	off	x	8	173.09	6.19	4.23	4.10	3.12	2.62	2.01	1.41	0.74	0.45	0.34
±68	16	=	off	x	16	170.67	4.54	3.42	4.08	2.70	2.22	1.88	1.39	0.61	0.31	0.24

(1) Max. Vin(mV) is the max. input voltage of single end to ground(VSS).

表 2-1 ADC Chopper off

ENOB(RMS) with OSR/GAIN at A/D Clock=1MHz, VDD=3.6V, VDDA=2.4V, VREF=(VDDA-VSS)/2=1.2, Chopper On																
Max. Vin(mV) =0.9*VREF ⁽¹⁾	OSR				64	128	256	512	1024	2048	4096	8196	16384	32768	65536	
	Output rate(Hz)				7813	3906	1953	977	488	244	122	61	31	15	8	
	Gain	=	PGAGN	x												ADGN
±2160	0.25	=	off	x	0.25	15.59	17.06	17.79	18.15	18.72	19.25	19.54	20.07	20.65	21.08	21.42
±2160	0.5	=	off	x	0.5	15.69	16.99	17.62	18.09	18.75	19.22	19.49	19.94	20.54	20.99	21.54
±1080	1	=	off	x	1	15.66	16.96	17.56	18.04	18.5	19.05	19.45	19.88	20.47	20.85	21.32
±540	2	=	off	x	2	15.56	16.74	17.31	17.79	18.35	18.73	18.99	19.66	20.24	20.56	21.14
±270	4	=	off	x	4	15.46	16.27	17.04	17.55	17.98	18.21	18.32	19.18	19.84	20.34	20.75
±135	8	=	off	x	8	15.14	15.54	16.6	16.9	17.3	17.38	17.57	18.51	19.45	19.95	20.41
±68	16	=	off	x	16	14.97	14.61	15.99	16.12	16.45	16.45	16.47	17.6	19.08	19.52	19.89

(1) Max. Vin(mV) is the max. input voltage of single end to ground(VSS).

RMS Noise(uV) with OSR/GAIN at A/D Clock=1MHz, VDD=3.6V, VDDA=2.4V, VREF=(VDDA-VSS)/2=1.2, Chopper On																
Max. Vin(mV) =0.9*VREF ⁽¹⁾	OSR				64	128	256	512	1024	2048	4096	8196	16384	32768	65536	
	Output rate(Hz)				7813	3906	1953	977	488	244	122	61	31	15	8	
	Gain	=	PGAGN	x												ADGN
±2160	0.25	=	off	x	0.25	193.97	69.95	42.35	33.01	22.14	15.30	12.56	8.71	5.83	4.33	3.40
±2160	0.5	=	off	x	0.5	90.61	36.72	23.72	17.17	10.85	7.81	6.49	4.74	3.13	2.29	1.57
±1080	1	=	off	x	1	46.17	18.70	12.34	8.88	6.45	4.41	3.34	2.49	1.64	1.26	0.92
±540	2	=	off	x	2	24.74	10.93	7.34	5.28	3.59	2.75	2.29	1.44	0.97	0.77	0.52
±270	4	=	off	x	4	13.28	7.58	4.43	3.12	2.31	1.97	1.82	1.01	0.64	0.45	0.34
±135	8	=	off	x	8	8.31	6.27	3.00	2.44	1.85	1.75	1.54	0.80	0.42	0.30	0.21
±68	16	=	off	x	16	4.67	5.98	2.29	2.10	1.67	1.67	1.65	0.75	0.27	0.20	0.15

(1) Max. Vin(mV) is the max. input voltage of single end to ground(VSS).

表 2-2 ADC Chopper on

2.6.4. ADC Chopper on 設置

開啟 ADC Chopper 的相關暫存器與設置如下：

CSFCN1: 特殊控制位暫存器 1

位元	名稱	描述
Bit5	ENINXCH	控制 ADC 輸入端 INX[1:0]自動切換開關 <0> 不啟動, INX 維持原本使用者設定 (預設) <1> 啟動自動切換; 分別控制 INX[1:0]=00b 與 INX[1:0]=11b 輪流切換。

※ CSFCN1 在正常模式使用者可以操作, 該位元具有保護, 需要須將 CSFON[0]設為 1, 才能修改此位元設定。

LVDCN: LVD 控制暫存器

位元	名稱	描述
Bit7	DAFM[0]	Comb filter 輸出資料格式. <0> 正常資料輸出 (預設) <1> Chopper Result 資料輸出. $(ADC1 + (ADC2))/2$, 下一筆則為: $(ADC2 + ADC3)/2$...依此類推.
Bit6	ENCH[0]	ADC Chopper 控制器 <0> 關閉 (預設) <1> 啟用。必須先設定 ENINXCH, 最後再開啟 ENCH.

C 語言範例

```
CSFON_Enable();
ADC_ENINXCH_Enable();
ADC_DAFM_CHOPPER();
ADC_ENCH_Enable();
ADC_Enable();
ADC_CMFR_Enable();           //CMFR=1, Comb Filter Reset
CSFON_Disable();
```

ASM 範例

```
BSF PWR CN,CSFON,a
MVL 20h           ;ENINXCH=1b
IORF CSFCN1,f,a
MVL 0C0h         ;DAFM=1b, ENCH=1b
IORF LVDCN,f,a
BSF AD1CN0,ENAD1,A ;ADC Enable
BSF AD1CN0,CMFR,A ;CMFR=1, Comb Filter Reset
BCF PWR CN,CSFON,a
```

2.7. GPIO 使用注意事項

2.7.1. 類比/數位功能設置

HY17M24 部分 PTx Port 可以選擇複用功能如下圖，當設置好腳位並開啟功能後發現動作異常，並且從 IDE 或軟體讀取暫存器的值發現該腳位並未變化，可能原因是未確實對該腳位進行類比或數位功能的設置。其他未使用的腳位不需要做設定類比或數位功能的設置，皆維持預設值“0”即可。

PT1IN: PT1 引腳輸入控制暫存器		
位元	名稱	描述
Bit6~0	PT1.x	PT1.x 引腳數位輸入控制器， $0 \leq x \leq 6$ <0> 關閉數位輸入功能 <1> 啟用數位輸入功能

TRISC1: PT1 引腳特性控制暫存器		
位元	名稱	描述
Bit6~0	TC1.x	PT1.x 引腳輸出特性控制器， $0 \leq x \leq 6$ <0> 關閉輸出功能，引腳只為輸入特性 <1> 啟用輸出功能，引腳為輸出/輸入特性

PT1DA: PT1 類比輸入控制暫存器		
位元	名稱	描述
Bit6~0	DA1.x	PT1.x 類比輸入控制器， $0 \leq x \leq 6$ <0> 關閉 <1> 啟用

PT1PU: PT1 引腳上拉電阻控制暫存器		
位元	名稱	描述
Bit6~0	PU1.x	PT1.x 引腳上拉電阻控制器， $0 \leq x \leq 6$ <0> 關閉 <1> 啟用

下列以 PT1 舉例說明，欲將 PT1.x 設為數位功能時需要對暫存器 PT1IN 該位元設為 1，此時 PT1.x 才能正常執行數位輸入或輸出功能。欲將 PT1.x 設為類比功能時需要對暫存器 PT1DA 該位元設為 1，此時 PT1.x 才能正常執行類比輸入或輸出功能。如未使用 PT1.x 則不需要做任何設置，維持預設值即可。

PT1IN	PT1DA	用途
0	0	高輸入阻抗(IC 上電預設為此狀態)
0	1	作為數位引腳功能
1	0	作為類比引腳功能
1	1	錯誤，類比量測可能會有漏電現象

2.7.2. PT1 中斷設置

PT1 可以當作中斷的腳位為 PT1.0~PT1.6，但中斷功能(IE 旗標、IF 旗標、信號產生條件)的控制位元不在同一個暫存器，以下對於 PT1 中斷控制位元做整理與說明，如下表所示。

IE 旗標控制位元			
腳位	位址	暫存器	控制位元
PT1.0	023h	INTE0	E0IE
PT1.1	023h	INTE0	E1IE
PT1.2	024h	INTE1	E2IE
PT1.3	024h	INTE1	E3IE
PT1.4	060h	PT1INTE	INTE1.4
PT1.5	060h	PT1INTE	INTE1.5
PT1.6	060h	PT1INTE	INTE1.6
IF 旗標控制位元			
腳位	位址	暫存器	控制位元
PT1.0	026h	INTF0	E0IF
PT1.1	026h	INTF0	E1IF
PT1.2	027h	INTF1	E2IF
PT1.3	027h	INTF1	E3IF
PT1.4	061h	PT1INTF	INTF1.4
PT1.5	061h	PT1INTF	INTF1.5
PT1.6	061h	PT1INTF	INTF1.6
信號產生條件控制位元			
腳位	位址	暫存器	控制位元
PT1.0	05Ch	PT1M1	INTG0
PT1.1	05Ch	PT1M1	INTG1
PT1.2	05Fh	PT1INT	INTG1.2
PT1.3	05Fh	PT1INT	INTG1.3
PT1.4	05Fh	PT1INT	INTG1.4
PT1.5	05Fh	PT1INT	INTG1.5
PT1.6	05Fh	PT1INT	INTG1.6

備註:PT2 與 PT3 的中斷控制位元定義方式與 PT1.4~PT1.6 相同。

2.7.3. UART/I2C 複用引腳功能設置

選擇 UART 引腳時須注意對應的 PTx 是否設定該腳位為 TX 功能以及是否開啟數位功能，選擇腳位功能只需設置 TX 引腳，其對應的 RC 引腳會自動設置，如下圖所示，PT3.6 可設置為 TX_2 輸出功能，此時對應的 PT3.7(RC_2)會自動設為 RC 輸入功能。

Bit5~4	PM3.6[1:0]	PT3.6 I/O 數位輸出模式	
		PM3.6[1:0]	PT3.6
		00	VOHL
		01	TR11_1
		10	TX_2
		11	
Bit1~0	PM3.4[1:0]	PT3.4 I/O 數位輸出模式	
		PM3.4[1:0]	PT3.4
		00	VOHL
		01	BZ_2
		10	TX_3
		11	

圖 2-3

正確的設置方式如下：

- BSF PT3IN,IN36,A ;開啟 PT3.6 數位功能
- BSF PT3IN,IN37,A ;開啟 PT3.7 數位功能
- BSF PT3M2,PM361,A ;
- BCF PT3M2,PM360,A ;設置 PT3.6 為 TX_2, PT3.7 自動設為 RC_2

選擇 I2C 引腳時須注意對應的 PTx 是否設定該腳位為 SCL 功能以及是否開啟上拉電阻，選擇腳位功能只需設置 SCL 引腳，其對應的 SDA 引腳會自動設置，如下圖所示，PT3.0 可設置為 SCL_2 輸出功能，此時對應的 PT3.1(SDA_2)會自動設為 SDA 功能。

位元	名稱	描述	
Bit5~4	PM3.2[1:0]	PT3.2 I/O 數位輸出模式	
		PM3.2[1:0]	PT3.2
		00	VOHL
		01	PWM0_2
		10	SCL_3
		11	
Bit1~0	PM3.0[1:0]	PT3.0 I/O 數位輸出模式	
		PM3.0[1:0]	PT3.0
		00	VOHL
		01	SCL_2
		10	TBU_1
		11	

圖 2-4

正確的設置方式如下：

- BSF PT3M1,PM300,A ;PT3.0 為 SCL_2, PT3.1 自動設為 SDA_2
- MVL 03H ;SCL/SDA Set PullHigh Port
- MVF PT3PU,F,A ;PT3.0/PT3.1 開啟上拉電阻

2.8. BIEE/BIE 使用注意事項

HY17M24 提供 32bytes EEPROM 資料記憶體(BIEE)；HY17M26 提供 128words EPROM 資料記憶體(BIE)；HY17M28 提供 32/64bytes EEPROM 資料記憶體(BIEE)。

Model No.	Built-in EPROM (Word)	Built-in EEPROM (Byte)
HY17M24	-	32
HY17M26	128	-
HY17M28	-	32 / 64

BIEE 燒錄/讀取動作是對全部資料記憶體執行，因此使用者要修改資料時建議先讀取一次，此時資料會存放在 EERD 暫存器，隨後把要修改的資料寫入對應的 EERD 暫存器後再進行燒錄，避免原始資料遺失。

BIE 燒錄/讀取以 word 為單位，燒錄的位置寫入 BIEARL[7:0]，資料寫入 BIE1DRH[7:0] 以及 BIE1DRL[7:0]，操作 BIE 前需要先將 ENBIE[0]=1，清除動作是一次對 128words 執行。

BIE/BIEE 的燒錄/讀取時間與 HAO、CPU clock 無關，是一固定時間。清除資料時間最長約 704ms(每顆晶片特性不同，此項目會產生較大的差異)，燒錄時間約為 5ms，讀取時間約為 70us。

BIE 清除/寫入/讀取屬於硬體行為，此時 CPU 會停止動作，因此要確保操作過程的電源穩定，工作電壓必須保持在 2.75V 以上確保正常動作，以下建議兩點操作：

建議 1: (電池供電產品視情況加入)

上電之後，把 BOR2 的穩定電壓改為 2.75V 以上
PWRCN|=0b00000001; //CSFCN0[0]=1b
CSFCN1=0b00010001; // BOR2_TH[2:0]=2.75V

建議 2:

每次要讀寫 BIE/BIEE 之前，利用 HY17M 內建的 CMP 先做電壓偵測，判斷 VDD 是否大於 2.75V，確認大於 2.75V 才執行 BIE/BIEE 的寫入

注意:

HY17M 系列產品在執行 BIE/BIEE 讀寫之前，必須先關閉中斷 GIE=0。

3. HY17M 系列開發工具應用說明

3.1. 開發工具版本說明

HY17M 系列產品支援 ASM 與 C IDE 雙平台開發，使用時需注意控制盒(HY17M Control Box)之版本是否正確。使用 ASM IDE(V1.2 Beta2 或以上)或 C IDE(V1.1.2 或以上)必須搭配 HY17M Control Box 的版本為 W17M10.4 或以上，才能正常連接。關於 Control Box 版本更新可參考”HY14E/HY17M 模擬器控制盒韌體線上更新說明書”操作。

3.2. HY17M24 Demo Board 使用注意事項

使用 HYCON 提供的 HY17M24 Demo Board(如圖 3-1 所示)需注意 J6 (Power Switch) 是否短路到正確的電源輸入端，如搭配 HY17M Control Box 作為電源輸入端，應將 J6 的 VDDIN 與 VDDICE 短路，且 D4 會亮代表正常供電；如使用外部電源作為電源輸入時，應將 J6 的 VDDIN 與 VDDEXT 短路，且 D3 會亮代表正常供電，外部電源最大 5V，避免超過造成晶片損毀。

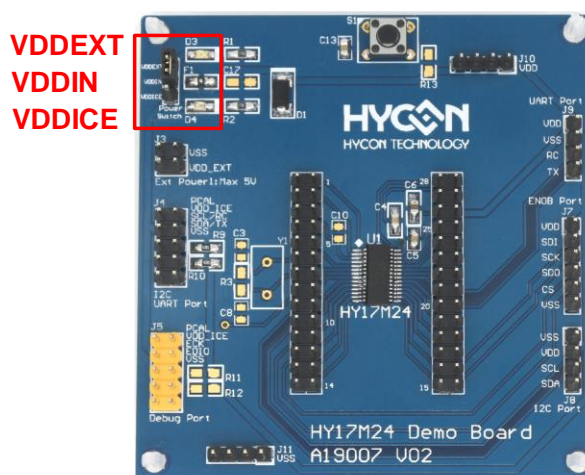


圖 3-1

Demo Board 中 S1 為外部硬體 Reset 按鍵，使用該功能前必須先設置暫存器(參考 2.2 章節)才能正常動作。

3.3. 燒錄注意事項

HY17M 系列封裝的晶片提供兩組仿真及燒錄腳位，專用燒錄腳以及復用功能燒錄腳。客戶設計產品時建議提前規劃這復用功能腳位的用途，燒錄時評估是否移除該腳位零件，避免漏電流導致後續無法正確執行在板燒錄(On Board Programming)。

以下為 HY17M 系列產品復用功能燒錄腳位對應表以及專用燒錄腳的產品以及封裝型式

Model No.	PCAL	VDD	SCL/RC	SDA/TX	VSS
HY17M24	PT1.3	VDD	PT3.1	PT2.0	VSS
HY17M26	PT3.2	VDD	PT3.1	PT3.0	VSS
HY17M28	PT3.7	VDD	PT3.3	PT3.2	VSS

復用功能燒錄腳位表

Model No.	有專用燒錄腳封裝	無專用燒錄腳封裝
HY17M24	SSOP28	QFN24 SSOP24 SOP16
HY17M26	QFN32	SSOP28 SSOP16
HY17M28	無	QFN32 SSOP28 SSOP20

專用燒錄腳產品型號表

注意:

仿真 ICE 時用的復用功能引腳在該模式下 GPIO 復用功能無法使用。

4. HY17M 系列晶片硬體設計注意事項

4.1. 打線注意事項

打線時第一隻腳應為 VSS，避免造成 ESD 擊穿等生產不良品。

4.2. 電源的輸入用最短路徑至 IC、配置的電容靠近 IC

不論採用何種電源當作 VDD，電源進入 PCB 板後以最短路徑進入 IC，並配置兩個電容建議分別為 1uF、1nF(1uF 靠近 IC，1nF 靠近電源)。由於 IC 腳位的配置上，VDD 與 VSS 並非相鄰，會使上述條件難以實現，故建議採用下圖方式。

假使原本 VDD 腳位於 38pin、VSS 腳位於 3pin，但由於 2pin 為空腳，故採用 38pin 與 2pin 短路的方式實現，外部電源(電池)的正負兩端，採用最短路徑至 IC

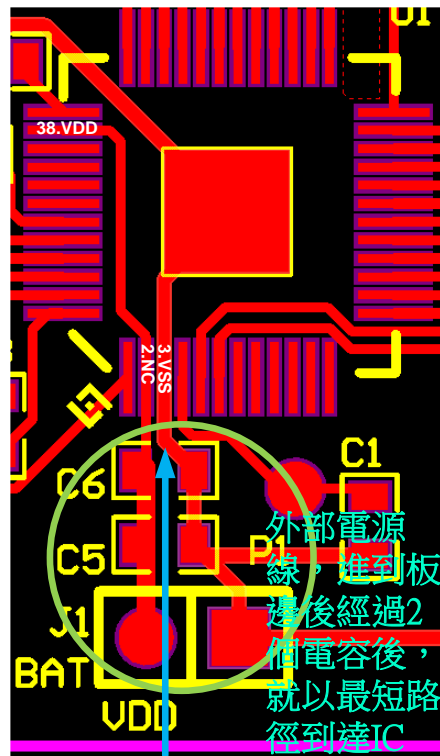


圖 4-1

4.3. IC 正下方的 PAD 需要接至 VSS

如圖 4-2 所示，IC 正下方的 PAD 須接至 VSS，並且建議走較粗一點的線

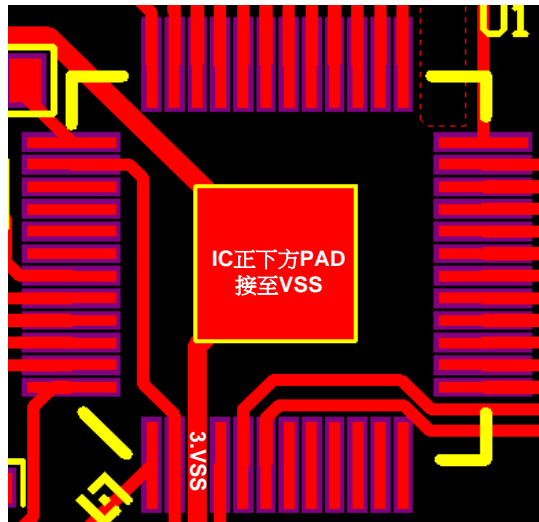


圖 4-2

4.4. ADC 訊號線拉線注意事項

Layout 時 ADC 的訊號線、參考電壓的訊號線盡可能的對稱、等長。

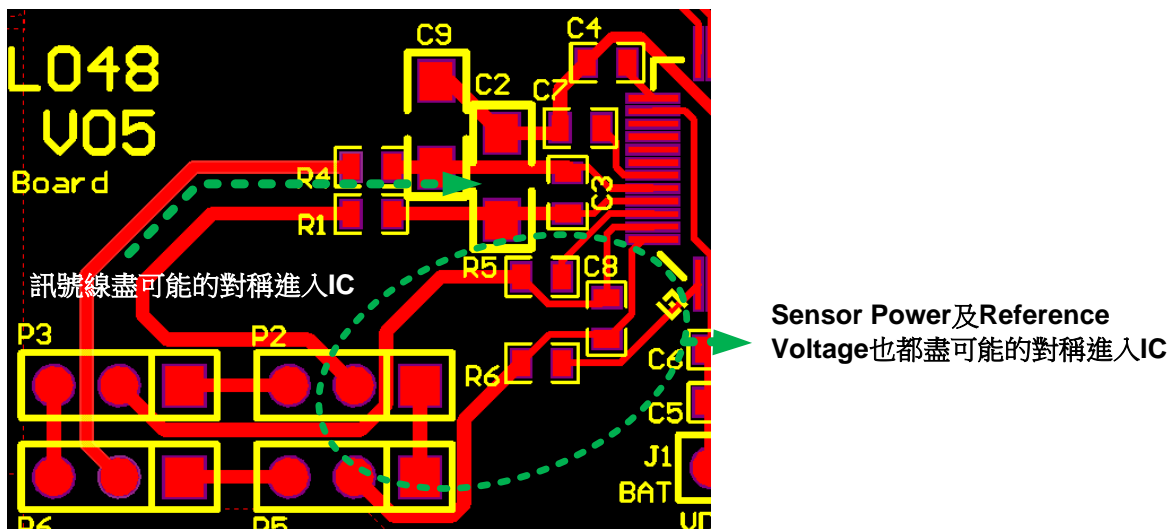


圖 4-3

4.5. VDD 與 VSS 拉線方式

PCB 的 Layout 上各種線路都建議採用星形連接，特別是 VDD 與 VSS 更要遵守此規則。
星形連接：

- 每種裝置的接地電流單獨返回到電源端。
- 圖 4-4 為 J5 與 J4 共用返回路徑。
- 圖 4-5 為 J7、J6、J5 都使用 J4 返回路徑，這種畫法要盡可能避免

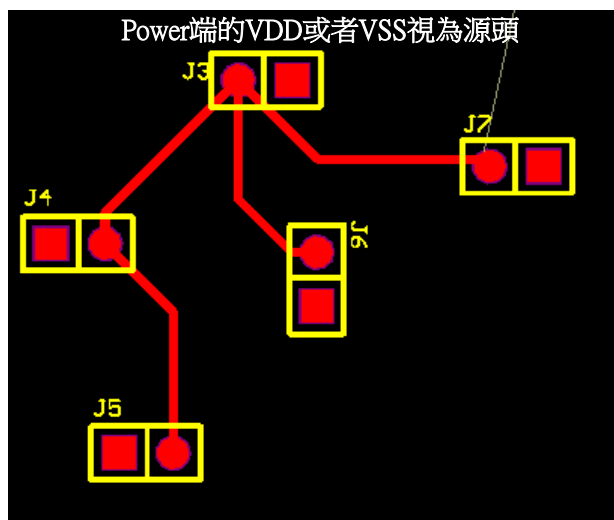


圖 4-4

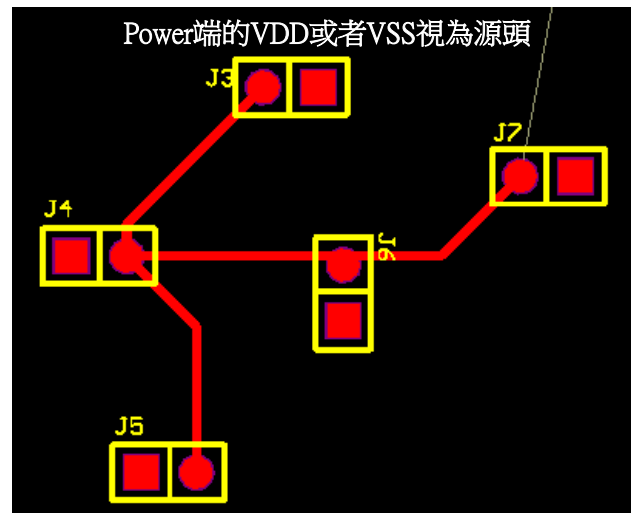


圖 4-5

5. 修訂記錄

以下描述本檔差異較大的地方，而標點符號與字形的改變不在此描述範圍。

日期	文件版次	頁次	摘要
2020/04/28	V01	All	新增
2020/06/11	V02	P6 P7-10 P11 P14 P16	1. 補充 VDDA 穩定時間說明 2. 新增 ADC 使用注意事項 3. 補充 GPIO 未使用狀態之設置說明 4. 新增 BIE 低壓燒錄使用注意事項 5. 新增晶片燒錄注意事項
2021/08/02	V03	P4 P14	1. 修改 CCOPT 的描述 2. 補充 BIE 操作建議與燒錄時間
2021/12/16	V04	P5	1. 修改 2.4 章節描述
2023/02/23	V05	P14 P16	1. 修改 2.8 章節內容描述以及新增注意事項 2. 修改 3.3 章節說明以及新增燒錄腳位表